

論文96-33A-7-20

Smart Power IC용 RESURF EDMOSFETs의 제조공정과 최적설계

(The Fabrication Process and Optimum Design of RESURF EDMOSFETs for Smart Power IC Applications)

鄭訓鎬*, 權五敬*

(Hoon-Ho Jeong and Oh-kyong Kwon)

요 약

기존 LDMOSFET의 단점을 극복하기 위하여 다양한 응용회로 구성이 가능하고, 전하펌핑회로가 필요없으며, 문턱전압도 조절이 가능한 smart power ICs용 RESURF EDMOSFET를 제안하였다. 제안한 소자는 게이트 주변을 제외한 드리프트 영역을 게이트 형성전에 고온확산 공정을 거쳐 형성하였으며 게이트 형성후 게이트 주변의 드리프트 영역 일부분을 개방하여 자기정합 방식으로 드리프트 영역을 형성함으로써 게이트 길이를 최소화할 수 있을뿐만 아니라, 게이트 끝 드리프트 영역의 접합모양을 보정하여줌으로써 단위면적당 드레인-소스사이의 전도저항도 낮추었다. 또한 필드 산화막대신 금속전계판을 사용하여 제조공정을 간단히 하였을뿐만 아니라 항복전압을 극대화하였으며 이 금속전계판에 일정한 전압을 인가하여 줌으로써 전도저항도 더욱 낮출 수 있었다. 공정 및 소자 시뮬레이터인 TMA사의 TSUPREM-4와 MEDICI를 이용하여 최적화한 RESURF EDMOSFET는 n-채널 소자의 항복전압이 101.5V, 단위면적당 전도저항이 $1.14 \text{ m}\Omega \cdot \text{cm}^2$, p-채널 소자의 항복전압이 98V, 단위면적당 전도 저항이 $1.28 \text{ m}\Omega \cdot \text{cm}^2$ 이 됨을 확인하였으며, 이는 시뮬레이션 결과와 잘 일치하였다. 이 결과는 기존에 발표된 소자들에 비하여 매우 우수한 결과이다.

Abstract

To overcome the drawbacks of conventional LDMOSFETs, we propose RESURF EDMOSFETs which can be adapted in various circuit applications, be driven without charge pumping circuitry and whose threshold voltage can be adjusted. The devices have the diffused drift region formed by a high temperature process before the gate oxidation. After the polysilicon gate electrode formation, a fraction of the drift region around the gate edge is opened for supplemental self-aligned ion implantation to obtain self-aligned drift region. This leads to a shorter gate length and desirable drift region junction contour under the gate edge for minimum specific-on-resistance. In addition, a metal field plate in place of the field oxide makes it possible to simplify the fabrication processes and maximize the breakdown voltage. Also, by biasing the metal field plate, we can reduce the specific-on-resistance further. The devices are optimized by using the TSUPREM-4 process simulator and the MEDICI device simulator. The optimized devices have the breakdown voltage and the specific-on-resistance of 101.5V and $1.14 \text{ m}\Omega \cdot \text{cm}^2$, respectively for n-channel RESURF EDMOSFET, and 98V and $2.75 \text{ m}\Omega \cdot \text{cm}^2$, respectively for p-channel RESURF EDMOSFET. To check the validity of the simulations, we fabricated n-channel EDMOSFETs and confirmed the measured breakdown voltage of 97V and the specific-on-resistance of $1.28 \text{ m}\Omega \cdot \text{cm}^2$. These results are superior to those of any other reported power devices for smart power IC applications.

* 正會員, 漢陽大學校 電子工學科

(Dept. of Electronic Engineering, Hanyang Univ.)

※ 본 논문은 '94년 한국과학재단의 연구비에 의하여

연구되었음

接受日字:1996年1月18日, 수정완료일:1996年6月24日

I. 서론

지금까지의 전력소자는 주로 고전압 및 고전류에 중점을 두어 개별소자로 개발되었으나 기술이 발달함에 따라 전력 소자와 이를 제어 및 보호하기 위한 회로가 한 칩내에 집적되는 Intelligent PIC(Power Integrated Circuit)가 개발되었다^[1-2]. 이 중 다수의 전력소자와 이를 제어하는 회로가 한 칩내에 집적되는 Smart PIC는 다양한 응용범위, 즉 자동차용 제어 LSI, 디스플레이 구동용 LSI, PWM 전력 변환장치와 같은 분야에서 다양하게 쓰이고 있다. 이런 Smart PIC에 사용되는 전력소자는 주로 수평형 소자인데 그 중 LDMOSFET (Lateral Double-diffused MOSFET), RESURF (REduced SURface Field) LDMOSFET, lateral IGBT (Insulated Gate Bipolar Transistor)가 주로 쓰인다^[3-5]. 그러나 LDMOSFET의 경우 다양한 회로 구성에 응용할 수 있으나 성능이 우수하지 못하고, RESURF LDMOSFET와 같은 경우 성능은 우수하나 LSD (Low Side Driver)로만 쓸 수 있다는 단점이 있다. 더구나 이런 DMOSFET(Double-diffused MOSFET) 계열의 소자는 채널을 이중확산으로 형성하였기 때문에 채널도핑이 높고 불균일하여 문턱전압이 높아지는 단점이 있다.

본 논문은 이런 기존 LDMOSFET계열 소자의 단점을 극복하기 위해 작은 면적에서 높은 항복전압을 얻을 수 있고, 전도저항이 작으며, 문턱전압도 일반 저전압 MOS 소자와 같이 조정 가능한 RESURF ED(Extended Drain) MOSFET를 제안하였다. 이 RESURF EDMOSFET는 금속 전계판을 이용하여 항복 전압을 극대화하였으며, 드리프트 영역의 일부분을 게이트에 자기정합으로 형성하여 게이트 길이를 최소화하여 전체적인 소자의 피치(pitch)를 줄일 수 있었다. 또한 n-채널, p-채널 소자를 만들 수 있어 다양한 응용회로 구성이 가능하다.

TMA사의 공정 시뮬레이터인 TSUPREM-4^[6]와 소자 시뮬레이터인 MEDICI^[7]를 사용하여 제안한 100V급 n-채널과 p-채널 RESURF EDMOSFETs의 최적설계를 수행하였으며, 이를 검증하기 위하여 n-채널 소자를 1.2 μm CMOS 제조공정을 사용하여 제작하고 그의 특성을 측정하였다.

II. RESURF EDMOSFET의 제조공정

전력소자는 높은 항복전압을 구현하기 위하여 드리프트 영역이 필요하다. 이 영역을 형성하기 위해서는 기존에 있는 방식과 같이 에피층을 형성하여 구현하거나 이온주입을 하고 난 후 확산을 통해 구현하거나 또는 이 두가지 방식을 혼용하기도 한다. 그러나 에피층을 사용하면 제조단가가 높을 뿐 아니라, 에피층의 두께와 도핑농도의 변화에 따라서 항복전압과 전도저항이 변하는 단점이 있다. 따라서 RESURF

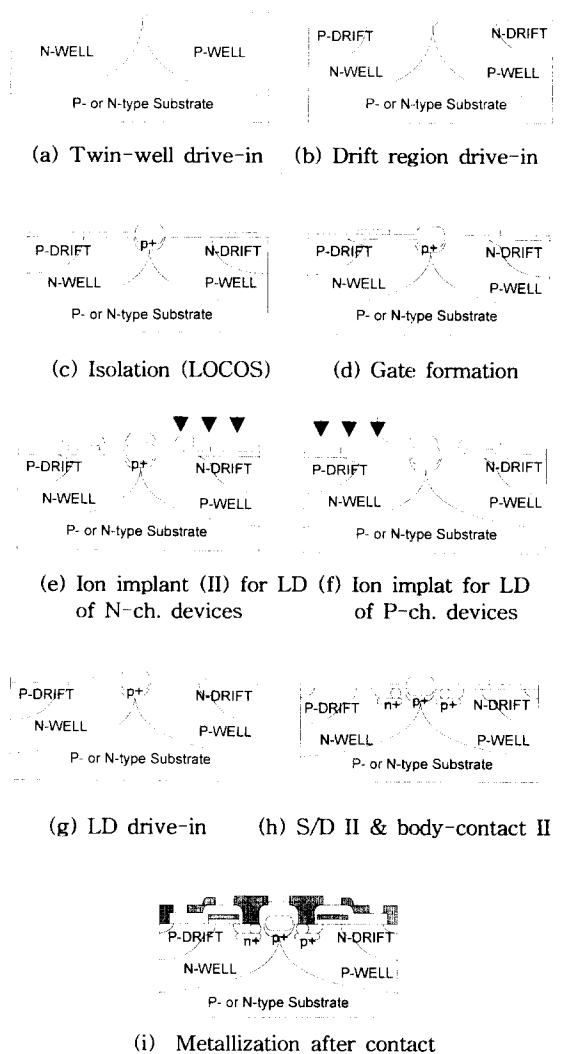


그림 1. RESURF EDMOSFETs의 제조 공정 순서
Fig. 1. The fabrication process flow of the RESURF EDMOSFETs.

EDMOSFET는 이온주입을 하고 난 후 확산을 통하여 드리프트 영역을 형성하였다. 이 RESURF EDMOSFET의 제조 공정은 쉽게 Smart Power IC에 응용될 수 있도록 일반 CMOS 제조 공정과 호환성이 있게 설계하였으며 그림 1과 같다.

우선 LEVEL0 마스크를 이용하여 웨이퍼 위에 정합 키(Align Key)를 만든다음 그림 1(a)와 같이 n-채널 소자와 p-채널 소자가 들어갈 액티브 웰(active well)을 twin 웰공정을 이용하여 형성한다. 다음에 그림 1(b)와 같이 n-채널과 p-채널의 드리프트 영역을 형성하기 위하여 phosphorus와 boron을 각각 이온주입을 한 후 확산공정을 통하여 드리프트 영역을 형성한다. 그런다음 그림 1(c)와 같이 다른 종류의 소자를 격리시키기 위하여 채널 스톱 이온주입(channel stop ion implant)를 하고 나서 그 위에 LOCOS를 성장시킨다. 게이트가 형성될 영역에 문턱전압조정을 위한 이온주입을 한 후 그림 1(d)와 같이 게이트를 형성한다. 게이트 형성 후 그림 1(e)~(g)와 같이 게이트와 자기정합으로 드리프트 영역과 게이트 채널과의 단절 영역을 이어줄 LD(Lightly Doped) 영역을 형성한다. 이 LD영역을 형성함으로써 드리프트 영역의 미스-얼라인에 상관없이 드리프트 영역의 길이와 채널의 길이를 일정하게 형성할 수 있어 게이트 길이를 줄일 수 있고 게이트 산화막을 형성함으로써 보론이 산화막으로 침투(segregation)하여 생기는 드리프트 영역 모양의 왜곡을 방지할 수 있다. 그런 다음 그림 1(h)와 같이 기생 바이폴라소자의 동작을 방지하기 위하여 소오스 영역에 고에너지로 보디콘택을 위한 이온주입을 실시하고 소오스와 드레인 영역 형성을 위한 이온주입을 한다. 다음으로 그림 1(i)와 같이 BPSG reflow를 실시하고 금속으로써 각각의 단자와 금속 전계판(field plate)을 형성한다. 그런다음 보호 산화막을 입히고 외부단자와 연결하기 위하여 pad opening을 실시하여 공정을 완료한다.

본 소자를 제작함에 있어 공정상의 특징은 게이트 형성후에 게이트와 자기정합으로 드리프트 영역의 일부분에 이온주입을 다시하여 게이트 형성전에 생길 수도 있는 드리프트 영역의 미스-얼라인에 의하여 드리프트 영역의 길이와 채널 길이가 변하여 항복전압과 전도저항이 변하는 것을 방지하고 boron이 게이트 산화막 형성중에 산화막으로 침투하여 생기는 드리프트 영역의 왜곡현상을 보정할 수 있다는 점이다. 또한 소

오스, 드레인 전극을 만드는 중에 금속 전계판을 같이 만들어 줌으로써 추가적인 공정이 필요없이 간단하게 전력소자의 성능을 극대화할 수 있다는 장점이 있다.

III. 항복전압의 최적화

전력 소자를 설계하는데 있어서 가장 중요한 것은 항복 전압과 전도저항이다. 수평형 전력소자에서 항복 전압은 다음의 식 (1)로 표현된다.

$$BV = f(N_d, L_{drift}, \text{structure}) = f(E_{crit}) \quad (1)$$

여기서, N_d 는 드리프트 영역의 도핑농도, L_{drift} 는 드리프트 영역의 길이, structure는 전력소자의 기하학적인 모양이다. 이 변수들은 실리콘 소자내에서의 전계의 분포에 영향을 미치므로 항복전압도 이들에 의해 결정된다. 전력소자에서 드레인 전압의 대부분이 인가되는 곳은 드리프트 영역이다. 따라서 이 드리프트 영역의 도핑과 길이를 최적화함으로써 항복전압을 극대화하고 전도저항을 낮출 수 있다.

본 논문에서 제안한 RESURF EDMOSFETs중 n-채널 소자의 단면 구조를 그림 2에 나타내었다. 제안한 전력소자의 드리프트 영역 구조는 RESURF 원리를 이용하여 드레인에 고전압이 인가될 경우 표면에서의 전계의 크기가 전체 드리프트 영역에 걸쳐 균일하도록 설계하여 항복전압을 극대화하였다. 그러나 제안한 RESURF EDMOSFET의 드리프트 영역 도

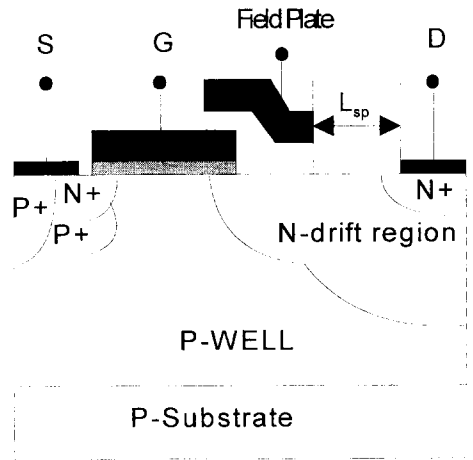


그림 2. n-채널 RESURF EDMOSFET의 단면구조
Fig. 2. The cross-sectional structure of the n-channel RESURF EDMOSFET.

핑은 금속 전계판이 없는 구조에서 RESURF 효과를 일으킬 수 있는 드리프트 영역의 도핑보다 높다. 하지만 게이트끝에서의 최대전계를 이 금속전계판이 지지해주고 공핍층은 계속 드레인쪽으로 확장되어 가서 전체적인 전계분포는 드리프트 영역내에서 균일하게 된다. 따라서 높은 드리프트 영역의 도핑 때문에 전도저항도 낮아지게 된다.

본 논문에서 제안한 RESURF EDMOSFET를 최적화하기 위하여 고려하여야 할 사항은 웰의 doping profile, 드리프트 영역의 doping profile, 드리프트 영역의 길이, 게이트 후 형성할 LD영역의 doping profile 등이다. 100V급 소자의 전도저항을 최소화하기 위해서는 소오스와 드레인사이에 100V의 전압이 인가되었을때 드리프트 영역이 완전공핍되는 최대의 드리프트 영역 도핑농도와 최소의 길이로 소자를 설계해야 한다. 드리프트 영역의 도핑농도와 웰의 도핑농도를 최적화하기 위하여 계단형 접합으로 가정하여 포아송 방정식을 1차원적으로 풀어서 100V에서 드리프트 영역이 완전공핍되며 이 접합에서 항복이 일어날 조건을 적용하면 웰과 드리프트 영역의 이온주입 도즈량과 접합의 깊이를 계산할 수 있다. 드리프트 영역의 길이는 실리콘의 항복전계를 3×10^5 V/cm로 가정하고 드리프트 영역이 완전공핍이 일어나면 이 영역내에서 전압이 균일하게 걸린다고 가정하면 최소 드리프트 영역의 길이를 구할 수 있다.

계산에 의하여 구한 웰과 드리프트 영역의 이온주입 도즈량과 접합 깊이, 드리프트 영역의 길이를 바탕으로 2차원 시뮬레이터인 TSUPREM-4와 MEDICI를 사용하여 항복전압이 100V인 RESURF EDMOSFETs의 공정변수와 구조변수를 최적화하였다. 그림 3은 웰의 이온주입 도즈량을 $1.4 \times 10^{13} \text{ cm}^{-2}$, 드라이브-인 온도와 시간을 1200°C 와 220분으로 각각 고정한 상태에서 드리프트 영역의 이온주입 도즈량에 따른 항복전압의 변화이다. 한편 드리프트 영역의 드라이브-인 시간과 온도는 750분, 1200°C 로 고정한 상태이다. 그림 3에서 보는 바와 같이 드리프트 영역의 도즈량이 $1.7 \times 10^{13} \text{ cm}^{-2}$ 일때 항복전압이 최대가 되고 그 도즈량을 넘어서면 항복전압이 급격히 감소한다. 그 이유는 도즈량이 $1.7 \times 10^{13} \text{ cm}^{-2}$ 이하일때는 공핍층이 n⁺ 드레인내부까지 확장되고 최대전계가 드레인 영역에 걸려서 항복전압이 낮아진다. 한편 도즈량이 $1.7 \times 10^{13} \text{ cm}^{-2}$ 이상이면 공핍층이 드리프트 영역의 일부에만 생기게 되어 게이

트 끝에서 최대전계가 걸려 이곳에서 항복현상이 일어난다. 따라서 도즈량이 $1.7 \times 10^{13} \text{ cm}^{-2}$ 일때 전계가 게이트 끝에서 드레인까지 비교적 균일하게 분포되어 있어 항복전압은 최대가 되고 이때 정확한 RESURF 현상이 일어났다고 한다. RESURF 효과를 얻기 위해서는 드리프트 영역의 도핑뿐만 아니라 접합 깊이도 고려를 하여야 하므로 도즈량뿐만 아니라 확산 온도와 시간도 최적화하여야 한다.

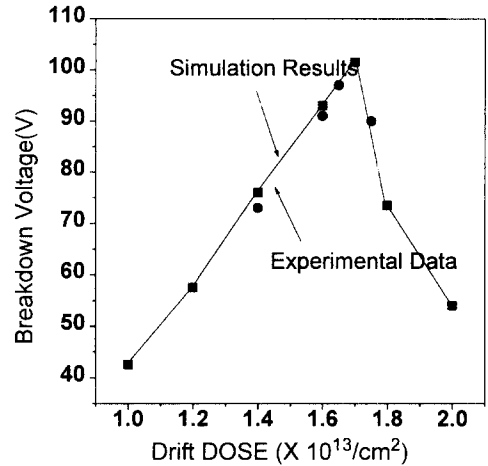


그림 3. 채널 길이가 $1.25 \mu\text{m}$, 드리프트 영역의 길이가 $3.75 \mu\text{m}$ 인 n-채널 RESURF EDMOSFET의 드리프트 도즈량에 따른 항복전압

Fig. 3. Breakdown voltage versus ion implantation dose of drift region for n-channel RESURF EDMOSFET with channel length of $1.25 \mu\text{m}$ and drift region length of $3.75 \mu\text{m}$.

그림 4는 그림3에서 최적화된 도핑 농도를 적용하여 드리프트 영역의 길이를 변화시켜가며 항복전압을 시뮬레이션한 결과이다. 그림 4에서 보는 바와 같이 드리프트 영역의 길이가 커질수록 항복전압도 비례하여 선형적으로 증가한다. 드리프트 영역의 길이증가에 따른 항복전압의 증가율은 드리프트 영역의 길이가 $3.75 \mu\text{m}$ 일 때 가장 크고 그 이후엔 다소 감소한다. 그 이유는 본 RESURF EDMOSFET를 100V소자로 최적설계를 하였고 그때의 드리프트 영역 길이가 $3.75 \mu\text{m}$ 이었기 때문이다. 원하는 항복전압에 대해 소자를 최적화하기 위해서는 드리프트 영역의 길이와 도핑 profile을 조절하여 RESURF 현상이 항복전압 직전에 일어나도록 설계한다.

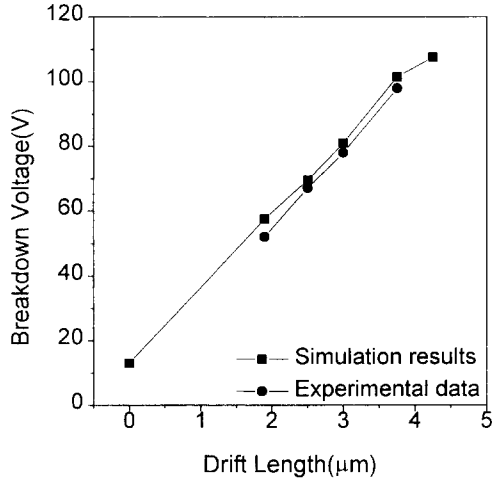


그림 4. 채널 길이가 1.25 μm, 드리프트 영역의 길이가 3.75 μm인 n-채널 RESURF EDMOSFET의 드리프트 길이에 따른 n-채널 RESURF EDMOSFET의 항복전압

Fig. 4. Breakdown voltage versus drift region length for n-channel RESURF EDMOSFET with channel length of 1.25 μm and drift region length of 3.75 μm.

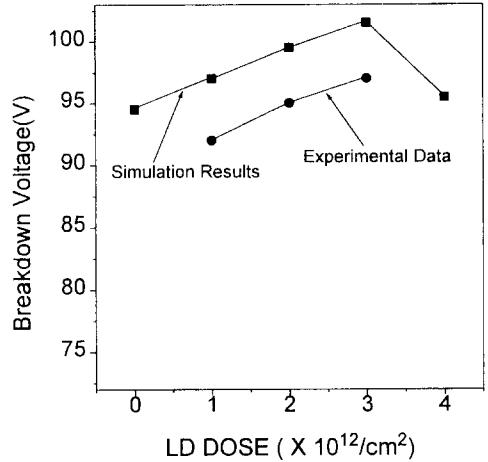


그림 5. 채널 길이가 1.25 μm, 드리프트 영역의 길이가 3.75 μm인 n-채널 RESURF EDMOSFET의 LD 도즈량에 따른 n-채널 RESURF EDMOSFET의 항복전압

Fig. 5 Breakdown voltage versus ion implant dose of LD region for n-channel RESURF EDMOSFET with channel length of 1.25 μm and drift region length of 3.75 μm.

그림 5는 드리프트 영역 형성후 게이트를 만들고 이 게이트와 자기정합으로 드리프트 영역의 일부분에 다시 이온주입하는 LD영역의 도즈량의 변화에 따른 항복전압의 변화를 나타낸 그림이다. 그림 5에서 보는 바와 같이 LD의 도즈량이 증가함에 따라 항복전압은 증가하다가 LD 도즈량이 $3.0 \times 10^{12}/\text{cm}^2$ 에서 최대가 되고 이 도즈량을 넘으면 다시 감소한다. 이것은 드리프트 영역의 도즈량의 변화에 대한 항복전압의 변화와 마찬가지로 도즈량이 $3.0 \times 10^{12}/\text{cm}^2$ 보다 낮으면 드레인쪽에서 최대전계가 형성되어 항복전압이 낮고 도즈량이 그 이상이면 게이트 끝에서 최대전계가 형성되어 항복전압이 낮아지는 것이다. 이 LD영역에 다시 이온주입을 하여 드리프트 영역을 재형성하는 것은 두가지 이유때문이다. 우선 항복전압에 따라 드리프트 영역의 도핑 프로파일(doping profile)과 접합깊이를 조절하여야 하는데 고전압 소자에서는 이 접합깊이가 비교적 깊다. 따라서 게이트 형성 이전에 이 영역에 이온주입을 하여 확산을 하여야 하는데 이때 마스크의 불일치 (mis-alignment)로 인하여 채널과 드리프트 영역과의 단절이 있을수 있고 또한 액티브 웰(active-well)의 도핑에 따라 수평확산(lateral diffusion)되는 정도가

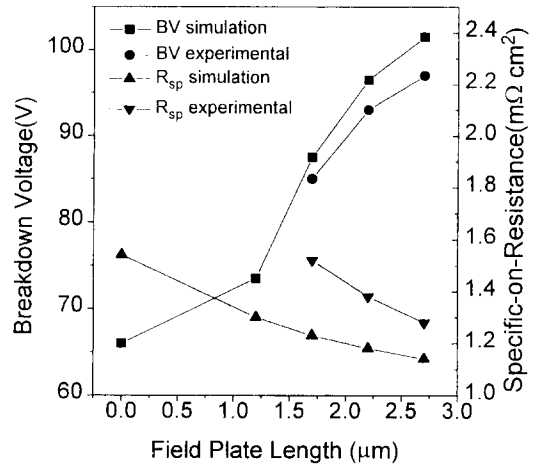


그림 6. 채널 길이가 1.25 μm, 드리프트 영역의 길이가 3.75 μm인 n-채널 RESURF EDMOSFET의 필드 플레이트의 길이에 따른 n-채널 RESURF EDMOSFET의 항복전압과 전도저항

Fig. 6. Breakdown voltage and specific-on-resistance as a function of metal field plate length of n-channel RESURF EDMOSFET with channel length of 1.25 μm and drift region length of 3.75 μm.

틀리므로 이를 보정해야 하기 때문이다. 다른 이유는 게이트 산화막을 형성하는 중 보론이 산화막내로 침투(segregation)되어 게이트 산화막쪽의 드리프트 영역 도핑에 변화가 생기므로 이를 보정해야 하기 때문이다.

그림 6은 금속전계판의 길이에 따른 항복전압의 변화와 단위면적당 전도저항을 보인 그림이다. 그림 6에서 보는 바와 같이 금속전계판의 길이가 증가하여 금속전계판과 드레인 금속단자사이의 간격이 좁아질수록 항복전압은 증가한다. 그 이유는 간격이 좁아질수록 게이트 끝에서의 최대전계벡터가 수직한 방향으로 유도되어 실리콘보다는 산화막층쪽으로 향하기 때문이다. 이 결과로부터 항복전압을 증가시키기 위해서는 전계판의 길이를 증가시키는 방법을 사용할 수 있으나 항복전압이 아주 높은 소자를 설계할때는 수직한 전계의 크기가 산화막의 항복전계보다 작아지도록 해야한다.

IV. 전도저항의 최적화

최적의 전력소자는 높은 항복 전압을 가지면서 전도저항은 가능한한 작아야하는데 그 이유는 칩내에서 전력소자의 단위면적당 구동전류를 극대화하기 위해서이다. 전력소자에서의 전도저항은 식 (2)로 표현된다.

$$R_{sp, on} = f(N_d, L_{drift}, V_{gs}, t_{ox}, \text{structure}) \quad (2)$$

여기서 N_d , L_{drift} , structure는 식 (1)에서와 같이 각각 드리프트 영역의 도핑, 드리프트 영역의 길이, 소자의 기하학적인 모양이며, V_{gs} , t_{ox} 는 각각 게이트 바이어스 전압과 게이트 산화막의 두께이다. 식 (1)과 식 (2)에서 보듯이 항복전압과 전도저항은 같은 인자로 구성되어 있다. 그러나 실제로 이 두 가지 항을 적당히 절충하기는 매우 힘든 일이다. 왜냐하면 높은 항복전압을 얻기위하여서는 드리프트 영역의 길이가 길어져야 하고 도핑은 낮아져야 한다. 하지만 이렇게 되면 전도저항이 높아지게 되므로 먼저 드리프트 영역의 길이와 도핑을 최적화하여 항복전압을 최대로 구현함과 동시에 낮은 전도저항을 가질 수 있도록 설계하여야 한다.

본 논문에서 제안한 RESURF EDMOSFET는 금속전계판을 사용하여 게이트에서의 전계벡터를 산화막내로 유도하였기때문에 이 전계판에 의하여 게이트쪽의 전계를 계속 지지해주는 동안 공핍층은 드레인 영역으로 확장되어간다. 따라서 금속전계판을 사용하지 않은 소자에 비하여 드리프트 영역의 도핑을 높일 수

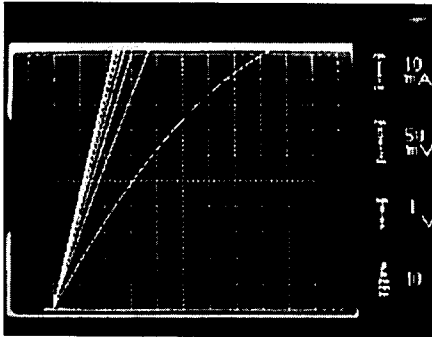
있기 때문에 전도저항은 전계판을 사용하지 않은 소자보다 낮아질 수 있다. 이 금속전계판에 일정한 전압을 가하여 줌으로써 전도저항을 더욱 낮출 수가 있다. 그림 6은 이 금속전계판을 게이트와 연결하여 같은 전압을 인가하였을때 금속전계판의 길이에 따른 전도저항의 변화를 나타낸 그림이다. 그림 6에서 보듯이 금속전계판의 길이가 늘어날수록 전도저항은 감소하는데 그 이유는 금속전계판에 전압을 인가함에 따라 전계판 아래의 드리프트 영역에 다수 캐리어들이 축적(accumulation)되어 전도도가 증가되기 때문이다. 이때 금속전계판은 앞에서와 같이 게이트와 연결하여 전압을 인가할 수도 있고 독립적으로 외부에서 전압을 인가할 수도 있다. 금속전계판의 길이는 항복전압의 등전위선 분포나 드레인 전극과의 최소거리를 고려하여 결정된다.

V. 제작, 측정 및 검토

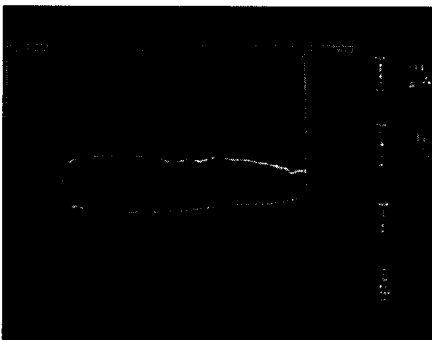
본 논문에서 제안한 RESURF EDMOSFET의 성능을 점검하기 위하여, n-채널 소자를 비저항이 50-80 $\Omega \cdot \text{cm}$ 인 (100) 실리콘 웨이퍼에 1.2 μm CMOS 공정을 이용하여 제작하였다. P-웰의 보론 도즈량을 $1.4 \times 10^{13} \text{ cm}^{-2}$ 사용하고 웰의 드라이브-인은 1200°C에서 230분 수행하고 n-드리프트 영역의 phosphorus의 이온주입 도즈량은 $1.65 \times 10^{13} \text{ cm}^{-2}$ 을 기준으로 변화하여 시켰으며, 이의 드라이브-인은 1150°C에서 800분동안 수행하였다. 게이트 산화막의 두께는 저전압 소자와 공통으로 사용하기 위하여 200Å을 사용하였다. 폴리실리콘 게이트를 패터닝한 후에 LD 마스크를 사용하여 게이트에 자기정합하여 게이트쪽의 드리프트 영역을 형성하기 위하여 $3 \times 10^{12} \text{ cm}^{-2}$ 의 도즈량으로 phosphorus를 이온주입하고 1050°C에서 600분동안 드라이브-인 하였다. 이 n-채널 RESURF EDMOSFET를 제작하기 위하여 총 9개의 마스크를 사용하였다.

제작한 n-채널 소자의 측정된 I-V 특성과 항복특성을 그림 7(a)와 (b)에 각각 나타내었으며, 이 소자의 n-드리프트 영역의 이온주입 도즈량은 $1.65 \times 10^{13} \text{ cm}^{-2}$ 이며, 소자의 크기는 $11.5 \times 10^{-4} \text{ cm}^2$ 이다. 본 실험에서는 그림3에서 보는 바와 같이 시뮬레이션에 의한 최적 도즈량인 $1.7 \times 10^{13} \text{ cm}^{-2}$ 을 사용하지 않고 $1.65 \times 10^{13} \text{ cm}^{-2}$ 을 사용한 이유는 도즈량이 $1.7 \times 10^{13} \text{ cm}^{-2}$ 이상에서는 드리프트 영역이 완전 공핍이 일어나

지 않아 항복전압이 급격히 감소하고 이때 항복은 게이트 끝에서 일어나는 표면 항복현상이기 때문이다. 그림 7(b)에서 보는 바와 같이 $V_{gs}=0$ 에서 드레인 전압이 97V에서 항복현상이 일어나는 것을 보였으며, 이 항복은 RESURF현상에 의한 bulk에서 일어남을 관찰하였다. 단위면적당 전도저항은 그림 7(a)에서 보는 바와 같이 $V_{gs}=7V, V_{ds}=0.1V$ 에서 측정했을 때 $1.28m\Omega \cdot cm^2$ 였다. 이 소자의 문턱전압이 저전압 소자와 같이 0.78V 이기 때문에 $V_{gs}=5V$ 에서의 단위면적당 전도저항이 실제 응용에서는 중요한데 이 값도 $1.44m\Omega \cdot cm^2$ 으로 우수하여 charge pumping 회로를 사용하지 않고 고전압 소자를 구동할 수 있음을 보여주었다. 그림 3, 4, 5, 6에서 보는 바와 같이 시뮬레이션한 결과와 측정치가 매우 잘 일치함을 보였다.



(a)



(b)

그림 7. 채널길이가 1.25 μm , 드리프트 영역의 길이가 3.75 μm 인 n-채널 RESURF EDMOSFET의 (a) I-V 특성과 (b) 항복 특성

Fig. 7 (a) Typical I-V characteristics and (b) breakdown characteristics of n-channel RESURF EDMOSFET with channel length of 1.25 μm and drift region length of 3.75 μm .

전력소자의 성능은 주로 항복전압에 대한 전도저항의 값으로 비교하게 된다. 그러나 항복전압과 전도저항은 식 (3)과 같은 관계식을 가지고 있어 항복전압은 높이면 전도저항을 낮추기는 매우 어려운 일이다.

$$BV \propto R_{sp(on)}^m \tag{3}$$

여기서 m 은 소자의 구조마다 틀리지만 일반적으로 2~2.5사이이다.

본 논문에서 제안한 RESURF EDMOSFET은 n-채널 소자에 대하여 드레인에 0.1V, 게이트에 7V를 인가한 후 측정한 결과이다. 이 때의 전도저항은 $1.28m\Omega \cdot cm^2$ 으로 그림 8에서 보는 바와 같이 기존에 발표한 소자보다 매우 우수함을 알 수 있다. p-채널 소자의 경우는 드레인에 -0.1V, 게이트에 -7V를 인가한 후 시뮬레이션한 결과 전도저항이 $2.75m\Omega \cdot cm^2$ 으로 역시 기존에 발표한 소자보다 우수함을 알 수 있다.

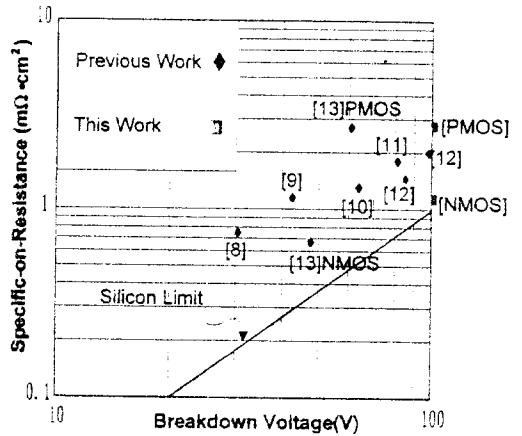


그림 8. 제안한 소자와 보고된 수평형 전력소자들의 전도저항 대비 항복전압 특성

Fig. 8. Specific-on-resistance versus breakdown voltage of proposed devices and other reported lateral MOS power devices.

VI. 결론

Smart power IC용 RESURF EDMOSFET를 제안하였다. 이 소자는 기존에 많이 쓰이는 LDMOSFET, RESURF LDMOSFET와는 달리 이 중화산으로 채널을 형성하지 않기 때문에 채널영역의 도핑이 비교적 균일하고 문턱전압도 문턱전압조정 이온주입을 통하여 조정할 수 있다. 또한 게이트 형성후

에 게이트와 자기정합방식으로 드리프트 영역의 일부 분에 다시 이온주입을 실시하기때문에 게이트 형성이 전에 이온주입하여 형성하는 드리프트 영역의 미스-얼 라인 여부에 상관없이 게이트 길이를 줄일 수 있다는 장점이 있다. 또한 RESURF 원리를 이용하여 항복전압을 극대화하고 전체 소자의 크기에서 드리프트 영역이 차지하는 비율을 줄였다. 이렇게 설계한 n-채널 RESURF EDMOSFET는 마스크상에서의 드리프트 길이가 $3.75\mu\text{m}$ 인 경우 항복전압은 97V를 얻었다. 이 소자의 드레인 단자에 0.1V, 게이트와 금속전계판을 연결하여 7V를 인가하였을때 전도저항은 $1.28\text{ m}\Omega\cdot\text{cm}^2$ 이고 소자의 크기와 구조가 n-채널 소자와 같은 p-채널 RESURF EDMOSFET의 경우 드레인에 -0.1V, 게이트와 금속전계판을 연결하여 -7V를 인가했을때 전도저항은 $2.75\text{ m}\Omega\cdot\text{cm}^2$ 으로 기존에 발표된 소자에 비해 매우 우수하였다.

참 고 문 헌

- [1] M. S. Adler *et. al.*, "The Evolution of Power Device Technology," IEEE Trans. Electron Device, vol. 31, No. 11, pp. 1570-1591, 1984.
- [2] IEEE, "Power devices are in the chips," IEEE Spectrum, vol. 22, pp. 42-48, July 1985.
- [3] Z. Parpia and C. A. T. Salama, "Optimization of RESURF LDMOS Transistor: An Analytical Approach," IEEE Trans. Electron Device, vol. 37, No. 3, pp. 789-796, March 1990.
- [4] Y. S. Kim, *et. al.*, "Physical DMOST Modeling for High-Voltage IC CAD," IEEE Trans. Electron Device, vol. 37, No. 3, pp. 797-803, March 1990.
- [5] Y. S. Kim, *et. al.*, "New Physical Insights and Models for High-Voltage LDMOST IC CAD," IEEE Trans. Electron Device, vol. 38, No. 7, July 1991.
- [6] Technology Modeling Associates, Inc., TMA TSUPREM-4 Manual, Version 6.1, California, U.S.A. 1994.
- [7] Technology Modeling Associates, Inc., TMA MEDICI Manual, Version 2.0, California, U.S.A. 1994.
- [8] M. Morikawa *et. al.*, "A 30V, $75\text{m}\Omega\cdot\text{cm}^2$ Power MOSFET for Intelligent Driver LSIs," ISPSD, pp. 150-152, 1992.
- [9] M. Hoshi *et. al.*, "Low On-resistance Power LDMOSFET using Double Metal Process Technology," ISPSD, pp. 61-64, 1991.
- [10] O. K. Kwon *et. al.*, "Optimized 60V Lateral DMOS Device for VLSI Power Application," 1991 Symposium on VLSI Technology, Oiso, Japan, pp. 115-116, May 28-30, 1991.
- [11] R. S. Wrathall *et. al.*, "Charge Controlled 80V Lateral DMOSFET with Very Low Specific-On-resistance Designed for An Integrated Power Processes," Tech. Digest of IEDM, pp. 954-957, 1990.
- [12] O. K. Kwon *et. al.*, "An Optimized RESURF LDMOS Power Device Module Compatible with Advanced Logic Processes," Technical Digest of IEDM, pp.237-240, 1992.
- [13] T. Efland *et. al.*, "Optimized Complementary 40V Power LDMOSFETs Use Existing Fabrication Steps in Submicron CMOS Technology," Technical Digest of IEDM, pp. 399-402, 1994.

— 저 자 소 개 —

鄭 訓 鎬(正會員)

1994년 2월 한양대학교 전자공학과 졸업. 1996년 2월 한양대학교 전자공학과(석사) 1996년 2월~현재 LG 반도체. 주 관심분야는 Smart Power IC Design and System Integration

**權 五 敬(正會員)**

1955년 4월 7일생. 1978년 2월 한양대학교 전자공학과 졸업. 1986년 5월 Stanford University, 전기공학과(석사). 1988년 3월 Stanford University, 전기공학과 (박사). 1980년~1983년 금성전기(주) 기술연구소 연구원. 1983년~1987년 Stanford University, 연구 조교. 1987년~1992년 Texas Instruments Inc., 책임연구원. 1992년 9월~현재 한양대학교 공과대학 전자공학과 조교수. 주 관심분야는 Smart Power IC Design and Process Integration for Display Drivers and Automotive Applications, Power Device and Short Channel MOS Device Design, Multi-Chip Packaging Technology, Novel Display Devices and Silicon MMIC Technology.