

論文96-33A-11-1

# 광통신 수신기용 클럭/데이터 복구회로 설계

## (Design of Clock/Data Recovery Circuit for Optical Communication Receiver)

李正奉\*, 金成煥\*, 崔坪\*

(Jung Bong Lee, Sung Hwan Kim, and Pyung Choi)

## 요 약

본 논문에서는 622.08 Mbps급 광통신 수신기용 클럭/데이터 복구회로의 새로운 알고리즘을 제안한다. 제안된 알고리즘은 622.08 Mbps NRZ 직렬 데이터로부터 여덟 채널의 병렬 데이터로 변환 및 복구하기 위해 전하펌프 PLL 구조를 응용하고 있으며 77.76 MHz의 주파수를 가지며 각각 주기의  $i/8$  ( $i=1,2, \dots, 8$ )만큼 위상 지연된 여덟 채널의 클럭신호를 추출한다. 제안된 회로는 데이터가 입력되지 않을 경우에도 정상적으로 클럭신호를 출력할 수 있도록 클럭 발생부를 포함하고 있으며 입력 데이터와 클럭신호의 동기를 위해 1/2 비트지연된 입력 데이터와 추출된 클럭신호에 의해 결정된 데이터를 비교하는 방식을 사용하였다. 그리하여 클럭신호 추출과 함께 데이터 변환 및 결정이 동시에 가능할 뿐만 아니라 기존의 수신기에 비해 전체 구조를 단순화시킬 수 있었다. 또한 전송단락에 의해 데이터가 입력되지 않을 때와 입력 데이터의 왜곡에 대해서도 클럭신호의 주파수나 위상을 그대로 유지하는 장점을 얻을 수 있었다. 제안된 알고리즘은 SPICE의 아날로그 동작 모델과 변형된 디지털 회로 모델을 이용하여 전체적인 동작상태를 검증해 봄으로써 그 타당성을 증명하였다.

## Abstract

In the following paper, new architectural algorithm of clock and data recovery circuit is proposed for 622.08 Mbps optical communication receiver. New algorithm makes use of charge pump PLL using voltage controlled ring oscillator and extracts 8-channel 77.76 MHz clock signals, which are delayed by  $i/8$  ( $i=1,2, \dots, 8$ ), to convert and recover 8-channel parallel data from 622.08 Mbps NRZ serial data. This circuit includes clock generation block to produce clock signals continuously even if input data doesn't exist. And synchronization of data and clock is done by the method which compares 1/2 bit delayed input data and decided data by extracted clock signals.

Thus, we can stabilize frequency and phase of clock signal even if input data is distorted or doesn't exist and simplify receiver architecture compared to traditional receiver's. Also it is possible to realize clock extraction, data decision and conversion simultaneously.

Verification of this algorithm is executed by DESIGN CENTER (version 6.1) using test models which are modeled by analog behavior modeling and digital circuit model, modified to process input frequency sufficiently, in SPICE.

## I. 서 론

대부분의 데이터 전송 시스템에서는 정보를 변조 또

는 비변조된 디지털 비트 형태로 송수신하며 하드웨어 구성비용을 절감하기 위해 클럭신호를 제외한 데이터 신호만을 전송한다. 그러므로 수신기에서는 전달된 데이터로부터 송신부에서 사용된 클럭신호를 추출하고 이를 수신된 데이터의 비트율과 동기시켜 데이터의 상태를 정확히 결정하기 위한 클럭 및 데이터 복구 회로(clock & data recovery circuit)를 필수적으로 포함한다. 클럭 및 데이터 복구회로는 Disk-drive read channel, LAN, 광통신 등 여러 분야에서 연구 및 응

\* 正會員, 慶北大學校 電子工學科

(Dept. of Elec. Eng., Kyungpook Nat'l Univ.)

※ 본 연구는 전자통신연구소(ETRI)의 연구비 지원에 의해 이루어졌음.

接受日字:1995年10月2日, 수정완료일:1996年6月21日

용되고 있으며 특히 최근에는 응답특성이 양호하고 온도 등 주변환경의 변화에도 비교적 영향을 적게 받는 PLL(Phase Locked Loop)회로가 각광받고 있다.<sup>[1]</sup> 일반적으로 측정 장비에서 사용되는 주파수 합성기와 같은 기존의 PLL구조에서는 입력신호가 주기성을 가지므로 위상 비교기의 출력이 연속적이고 쉽게 동기되어 안정화된다.<sup>[2]</sup> 그러나 광통신용 수신기에서는 입력되는 '1' 과 '0'의 상태가 불규칙하게 변하는 비주기성의 신호가 수신되므로 이로부터 주기성의 클럭신호를 추출하기 위해서는 PLL의 기본구조를 변형한 새로운 알고리즘이 요구된다. 또한 500 Mbps급 이상의 고속 광통신 수신기에서는 직렬 데이터를 수신하여 다 채널 병렬 데이터로 복구하기 위해 클럭 및 데이터 복구회로와 함께 데이터 변환회로를 포함하여야 한다.<sup>[3]</sup> 기존의 수신기구조는 이와 같이 필수적으로 요구되어지는 블럭들을 각각 분리하여 구성함으로써 병렬데이터로의 변환을 위해 디멀티플렉서(demultiplexer)와 주파수분배기(frequency divider) 블럭을 추가하여야 하는 단점이 있다. 그리하여 본 논문에서는 622.08 Mbps급 광통신 수신기에서 클럭 및 데이터 복구와 함께 데이터 변환이 동시에 이루어지는 새로운 회로의 알고리즘을 제안한다. 제안된 회로는 전체적인 구조가 단순할 뿐만 아니라 송신신로의 단락이나 송신측의 전송중단으로 인해 데이터가 입력되지 않을때에도 항상 안정된 클럭신호를 발생하도록 구성되어있다.<sup>[4]</sup> 그리고 입력 데이터의 왜곡이 있을 경우에도 입력 데이터와 추출된 클럭신호가 정확히 동기를 유지할 수 있도록 입력 데이터와 클럭신호를 비교하는 기존의 방식과는 달리 송신부의 클럭정보를 가진 입력 데이터와 추출된 클럭신호에 의해 결정된 데이터를 비교하는 방식을 사용하였다.

제안된 알고리즘의 타당성은 SPICE의 아날로그 동작 모델(analog behavior model)과 변형된 디지털 회로 모델(modified digital circuit model)로 구성된 검증모델을 이용하여 DESIGN CENTER (Version 6.1)로 검증해 봄으로써 전체적인 동작상태를 확인하였다.

## II. 제안된 클럭/데이터 복구회로의 세부 구조와 동작원리

제안된 클럭/데이터 복구회로는 622.08 Mbps

NRZ(Non Return to Zero) 직렬 데이터로부터 여덟 채널의 병렬 데이터로의 변환 및 결정을 위해 입력 데이터율의 1/8인 77.76 MHz 클럭신호를 추출한다. 그리고 동일 주파수를 가지며 각각 주기의  $i/8$  ( $i=1,2, \dots, 8$ )만큼씩 위상지연된 여덟 채널의 클럭신호들이 데이터 결정에 이용되어 여덟 비트의 데이터를 독립적으로 복구함과 동시에 병렬 데이터로 변환된다.

제안된 회로의 구조는 그림 1에서 나타난 바와 같이 C.G.B.(Clock Generation Block)로 나타난 클럭 발생부, C.R.B.(Clock Regeneration Block)로 나타난 클럭 재발생부, 그리고 입력 데이터의 유무에 따라 스위칭하는 데이터 감시회로(data monitoring circuit)로 구성된다. 본 회로는 정상적으로 데이터가 입력될 경우, 클럭 재발생부가 주 루프(main loop)를 따라 동작하여 입력 데이터와 클럭신호의 동기를 맞추고 입력 데이터가 없을 경우에도 클럭 발생부에 의해 고정된 주파수의 클럭신호가 자체발전하도록 한다. 그리하여 전송중단이나 전송선로의 단락과 같은 특수한 상황에서도 항상 안정된 클럭신호를 출력하여 입력 데이터와 정확한 동기를 이루기위한 프리앰블 시간(preamble time)을 최소화하였다.

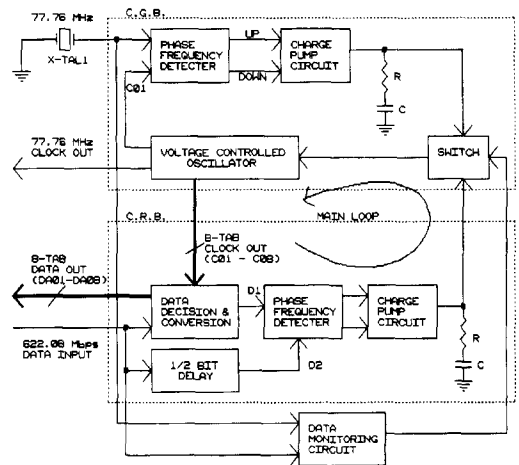


그림 1. 제안된 클럭/데이터 복구회로  
Fig. 1. Proposed clock/data recovery circuit.

클럭 발생부는 위상 및 주파수 검출기(phase frequency detector), 전하 펌프회로(charge pump circuit), 저항과 커패시턴스가 직렬 연결된 루프 필터(loop filter) 그리고 전압제어 발진기(voltage controlled oscillator, VCO)로 구성된 전하펌프 PLL

구조로 이루어져 있다. 입력 데이터가 없을 경우, 위상 및 주파수 검출기에서는 77.76 MHz의 기준클럭 X-TAL1과 클럭신호 C01를 비교하여 두 신호의 주파수차 또는 위상차에 의한 UP/DOWN신호를 출력한다. 출력된 UP/DOWN신호는 전하 펌프회로와 루프 필터에 의해 VCO의 제어전압으로 변환되어 출력되는 클럭신호의 주파수와 위상을 조정하게 된다.<sup>[4]</sup> 그리하여 공급전압의 작은 변화와 주위온도의 변화에 관계없이 항상 77.76MHz의 고정된 주파수와 위상을 가진 클럭신호를 출력한다. 반대로 입력되는 데이터가 있을 경우에는 데이터 감지회로와 연결된 스위치( switch)에 의해 VCO의 제어단이 클럭 발생부에서 클럭 재발생부로 변환되도록 한다.<sup>[11]</sup> 클럭 발생부의 VCO블럭은 이중출력 인버터(double ended inverter) 여덟 개로 구성된 전압제어 링발진기(voltage controlled ring oscillator)를 사용하고 있으며 여덟 개의 탭으로 77.76 MHz 주파수를 가지며 위상차가 주기의  $i/8$  ( $i=1,2, \dots, 8$ )만큼 발생하는 여덟 채널의 클럭신호 C01~C08를 출력한다. 출력된 클럭신호들은 클럭 재발생부의 데이터 결정 및 변환회로에 인가되어 입력되는 622.08 Mbps 직렬 데이터를 처리한다. 그러나 데이터 전송이 시작되는 시간이 불규칙하여 클럭 발생부의 클럭신호들과 입력 데이터와의 동기가 맞지않아 위상차가 발생할 수 있다. 그러므로 발생가능한 위상차를 최소화하기 위해 클럭 재발생부를 이용하여 주 루프를 따라 전압제어 링발진기의 클럭신호들을 조절한다.

클럭 재발생부는 주 루프를 따라 데이터 결정 및 변환(data decision & conversion) 회로, 1/2비트 지연(1/2 bit delay)블럭과 전하 펌프 PLL구조로 구성되어 있다. 데이터 결정 및 변환회로에서는 입력되는 622.08 Mbps 직렬 데이터의 여덟 비트를 한 단위로 하여 각각의 데이터 비트 D01~D08이 클럭신호 C01~C08에 의해 각각 독립적으로 결정되도록 한다. 결정된 각 데이터들은 여덟 채널의 병렬 데이터로 출력되고 동시에 이를 다시 직렬 데이터로 합성한 D1신호를 출력한다. 이때 D1신호는 수신기의 내부 클럭에 의해 결정된 신호이므로 추출된 클럭정보를 포함한 데이터신호로 나타난다. 1/2비트 지연블럭에서는 입력되는 622.08 Mbps 직렬 데이터를 1/2비트 즉 0.8 nsec만큼 지연시킨 D2신호를 출력하게 된다. D2신호는 송신부의 클럭에 의해 발생되어 전송된 입력 데이터를 그대로 지연시킨 신호이므로 송신부의 클럭정보를 포함

하는 데이터신호라고 할 수 있다. 클럭 재발생부의 전하펌프 PLL은 D2신호를 기준으로 하여 D1신호를 동기시키는 구조로 이루어져 있으므로 송신부의 클럭신호를 기준으로 추출된 클럭신호가 동기되는 형태가 된다. 이때 입력 데이터의 변환 및 결정을 위한 클럭신호의 인가는 입력 데이터비트의 1/2되는 점에서 이루어지는 것이 이상적이므로 1/2비트 지연블럭을 이용하여 초기에 입력 데이터비트의 어느 부분에서 클럭신호가 인가되더라도 클럭신호의 인가 위치를 데이터비트의 1/2되는 지점으로 이동되도록 한다.

### III. 제안된 클럭/데이터 복구회로의 검증 모델

제 2 절에서는 제안된 클럭 복구회로의 기본 구조와 적용된 기본 개념에 대해 간단히 살펴보았다. 본 절에서는 제안된 알고리즘을 검증하기 위한 각 블럭별 모델을 제시하며 검증방법을 살펴본다.

각 세부블럭의 검증모델은 매크로모델링(macro-modeling)기법을 이용한 아날로그 동작 모델과 SPICE에 포함되어 있는 7400시리즈의 시간정보를 변형한 디지털 회로 모델을 이용하여 구현하였으며 DESIGN CENTER (Version 6.1)을 이용하여 각 블럭별 동작상태와 그 타당성을 검증한다.

#### 1. 전하펌프 PLL

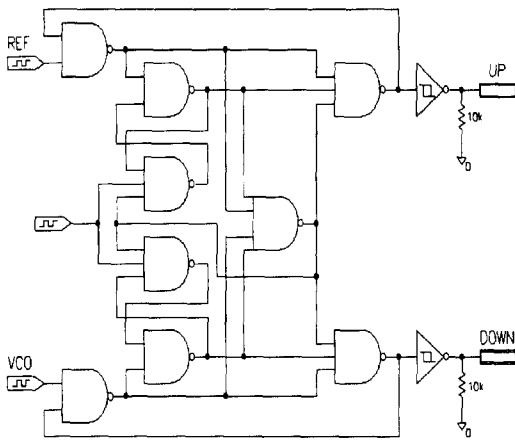
제안된 알고리즘은 추출되는 클럭신호가 클럭 발생부의 기준클럭에 의해 동기되거나 클럭 재발생부의 입력 데이터에 의해 동기되도록 하기 위해 전하펌프 PLL을 응용하였다. 전하펌프 PLL은 비교되는 두 신호의 위상차 및 주파수차의 검출이 가능하고 넓은 추적범위(tracking range)를 가지며 디지털회로로 구현이 가능하므로 현재 널리 사용되고 있다. 위상 및 주파수 검출기, 전하 펌프회로, 루프 필터 그리고 전압제어 발진기로 구성되며 적용되는 각 블럭별 이득을 조정함으로써 설계자가 원하는 성능을 얻을 수 있다.

#### 1) 위상 및 주파수 검출기

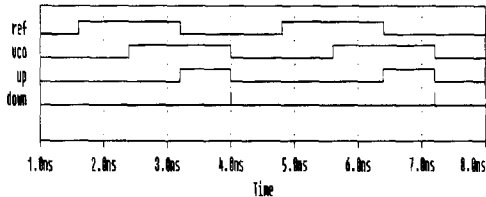
제안된 알고리즘에서의 위상 및 주파수 검출기는 그림 2의 a)과 같이 구현된 순차 위상 및 주파수 검출기(sequential phase frequency detector)로서 NAND 게이트 9개와 인버트 2개로 구성되어 있다. 일반적으로 전하펌프 PLL구조에서 널리 사용되고 있는 본 회로는 기존의 곱셈기(multiplier)를 이용한 위상 검출기에 비하여 주파수 검출기 기능이 추가되어 있

며 입력되는 두 신호의 하강 천이를 이용하여 위상차 혹은 주파수차이를 검출한다. 검출된 위상차 또는 주파수차이는 UP/DOWN신호 형태로 출력되어 전하 펌프회로에 인가하게 되며 두 신호의 위상차 또는 주파수차가 없을 경우에는 어떠한 UP신호 혹은 DOWN신호도 발생 시키지 않는다. 그리하여 본 회로는 두 개의 출력단을 가지고 세 가지 상태를 출력하는 특성을 가진다.

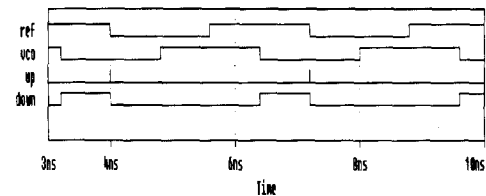
그림 2의 b)와 c)의 타이밍도는 입력되는 두 신호가 위상차를 가질 경우를 나타내고 있으며 b)와 같이 vco가 ref에 비해 위상이 지연될 경우, 발생하는 위상



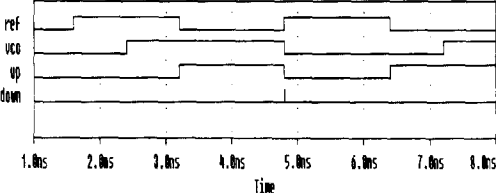
(a)



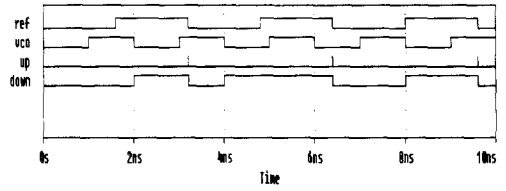
(b)



(c)



(d)



(e)

그림 2. 위상 및 주파수 검출기의 회로와 검증 결과

- (a) 위상 및 주파수 검출기의 내부 회로
- (b) vco가 ref에 비해 위상이 늦은 경우
- (c) vco가 ref에 비해 위상이 빠른 경우
- (d) vco가 ref에 비해 주파수가 낮은 경우
- (e) vco가 ref에 비해 주파수가 빠른 경우

Fig. 2. Phase frequency detector circuit and test results.

- (a) Phase frequency detector circuit.
- (b) When ref is leading vco at the same frequency.
- (c) When vco is leading ref at the same frequency.
- (d) When ref is leading vco at the different frequency.
- (e) When vco is leading ref at the different frequency.

차만큼의 UP신호를 출력한다. c)는 그 반대의 경우를 나타내며 위상차만큼의 DOWN신호를 출력하게 된다. 또한 d)와 e)의 타이밍도는 입력되는 두 신호가 주파수 차이가 있는 경우를 나타낸 것이며 d)와 같이 vco가 ref에 비해 주파수가 낮을 경우, 발생하는 주파수차만큼의 UP신호를 출력하고 반대의 경우 e)와 같이 DOWN신호를 출력한다. [51] [7]

2) 전하 펌프회로와 루프 필터

그림 3은 전하 펌프회로와 루프 필터의 검증모델을 나타내고 있다. 전하 펌프회로는 두 개의 전류원과 두 개의 스위치로 구성되어 있으며 위상 및 주파수 검출기에서 발생된 UP/ DOWN신호에 의해 두 개의 스위치가 번갈아가며 제어된다. 입력되는 두 신호의 위상차 또는 주파수차에 의해 UP신호가 발생하였을 경우, SW1이 on됨으로써 정전류원 G1의 Ip는 루프 필터의 저항 RL을 거쳐 커패시터 CL에 충전되고 DOWN신호가 발생하였을 경우에는 SW2를 on시킴으로써 정전류원 G2의 Ip에 의해 CL의 충전된 전하가 저항 RL을 거쳐 방전된다. 충전된 전하에 의해 변하는 커패시터 CL양단의 전압과 저항 RL양단 전압의 합이 VCO의

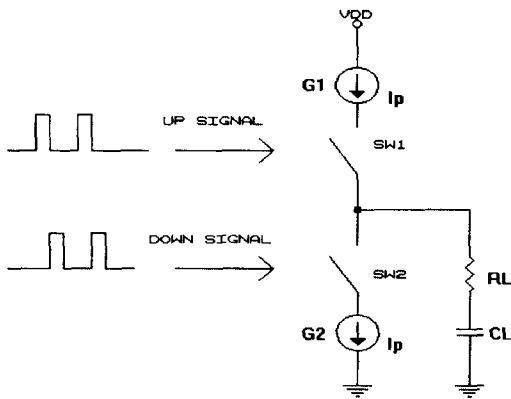


그림 3. 전하 펌프회로와 루프 필터  
Fig. 3. Charge pump circuit and loop filter.

제어전압으로 인가되어 클럭신호의 주파수와 위상을 변화시키게 된다. 그리고 전하펌프 PLL에서의 VCO 출력은 전하 펌프회로의 스위치가 동작하여 전류를 충방전할 때에만 상태변화가 가능하며 선형회로로서의 해석이 가능하게 된다. 스위치가 동작하는 매 사이클마다 순간적인 제어전압인 루프 필터의 출력은

$$V_{CONTROL} = V_C(0) + \Delta V_R \quad (1)$$

와 같이 표현할 수 있으며  $V_C(0)$ 는 커패시터의 초기 전압,  $\Delta V_R$ 는 펌프 전류  $I_p$ 와 저항  $RL$ 에 의한 점프전압을 나타낸다. 그리하여 제어전압은 매 동작 사이클에서 직각모양의 리플형태를 가지며 리플이 적절하지 못할 경우 VCO가 정상상태에서 기준신호와 동기되지 못할 가능성이 있으므로 리플의 폭과 크기는 정전류원의 전류량  $I_p$ 와 루프 필터의  $RL$ 값과  $CL$ 값에 의해 적절하게 조정되어야 한다.<sup>14)</sup> 본 모델에서는 클럭 발생부와 클럭 재발생부에서 사용된  $I_p$ ,  $RL$ , 그리고  $CL$ 의 크기를 표 1과 같이 정의하여 검증에 사용하였다.

표 1. 클럭 발생부와 클럭 재발생부에서 사용된 각 패러미터의 값

Table 1. The parameter values used in C.G.B. and C.R.B.

패러미터	정 의	클럭 발생부	클럭 재발생부
$I_p$	펌프 전류의 양	2.5 mA	2.5 mA
$RL$	루프 필터의 저항	500 ohm	400 ohm
$CL$	루프 필터의 커패시터	100 nF	100 nF

3) 전압 제어 링발진기  
링발진기는 인버터(inverter)의 지연시간(delay time)과 인버터의 갯수를 이용하여 발진기의 동작 주파수를 가변할 수 있으며 크게 단일 출력의 링발진기(single ended ring oscillator)와 이중 출력의 링발진기(double ended ring oscillator)로 나눌 수 있다. 단일 출력의 링발진기는 홀수개의 인버터로 구성하여 각 단마다 한 개의 출력을 하게 되며 이중 출력의 링발진기는 짝수개의 인버터로 구성하며 각 단마다 서로 180도 위상차를 가지는 두 개의 파형을 출력할 수 있다.

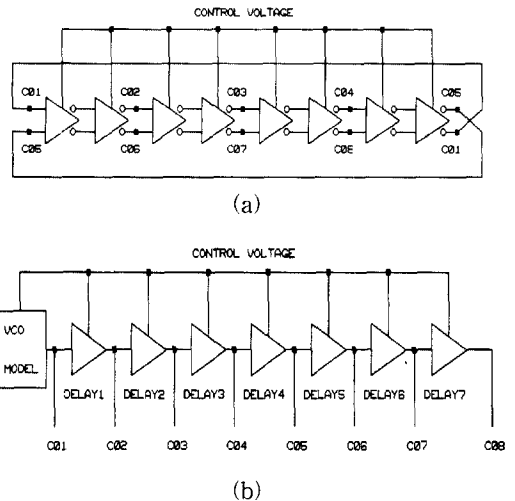


그림 4. 전압제어 링발진기 회로와 검증모델  
(a) 이중 출력 링발진기 b) VCO의 검증 모델

Fig. 4. Voltage controlled ring oscillator and test model.  
(a) Double ended ring oscillator. b) Test model of VCO.

그림 4는 전압제어 링발진기 회로와 그 검증모델을 나타낸 것이다. 제안된 알고리즘에서 사용된 전압제어 링발진기는 a)와 같이 이중 출력 인버터 여덟 개로 구성되며 제어전압이 2.5V일때 자유발진 주파수(free running frequency)가 77.76 MHz 되도록 설계되어야 한다. 제안된 전압제어 링발진기에서는 모두 16개의 노드를 얻을 수 있으며 각 노드는 77.76 MHz의 동일 주파수를 가지며 각각 주기의 1/16 ( $i=1,2, \dots, 16$ )만큼 위상지연을 가진다. 이에 본 알고리즘에서는 a)와 같이 여덟 노드에서 각각 주기의  $i/8$  ( $i=1,2, \dots, 8$ )만큼 위상지연된 출력신호 C01 ~ C08를 데이터 변환 및 결정회로의 클럭신호로 인가하게 된다. 본 논

문에서는 제안된 링발진기를 실제 회로로 구현하지 않고 SPICE의 아날로그 동작 모델을 이용하여 링발진기와 동일한 특성을 가진 모델을 개발하여 검증에 사용하였다.

검증 모델은 b)와 같이 전압제어 발진기블럭과 일곱 개의 전압제어 지연블럭(voltage controlled delay block)으로 구성된다. 전압제어 발진기블럭에서는 제어전압 2.5 V를 중심으로 31 MHz/V의 감도(sensitivity)를 가지는 77.76 MHz의 구형파를 출력하여 다음단의 전압제어 지연블럭에 전달한다. 전압제어 지연블럭에서는 출력된 구형파를 제어전압과 역비례관계의 지연시간을 가지며 각각 순차적으로 지연시킴으로써 실제 링발진기의 동작상태와 동일한 효과를 얻을 수 있다.

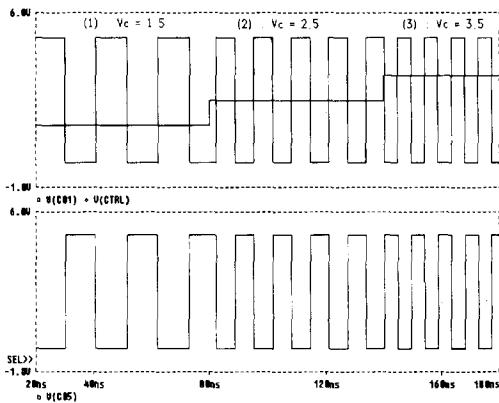


그림 5. 전압제어 링발진기 모델의 검증결과  
Fig. 5. Test results of voltage controlled ring oscillator.

그림 5는 제안된 검증모델이 전압제어 링발진기와 같이 동작함을 증명하기 위한 검증결과를 나타낸 것으로 제어전압의 변화에 따른 링발진기 출력의 변화를 여덟 개의 탭 중 C01과 C05의 출력을 비교하는 형태로 나타내고 있다. C01의 출력파형은 제어전압이 1.5V, 2.5V 그리고 3.5V일 때의 출력파형이 각각 46MHz, 77.76MHz, 108MHz의 주파수 변화를 가지며 C05의 출력파형과 정확히 180도 위상차를 유지함을 알 수 있다. 그리하여 제안된 검증모델은 제어전압 2.5V일때 자유발진 주파수가 77.76MHz를 가지며 감도가 31MHz/V를 가지는 전압제어 링발진기라고 할 수 있다.

2. 데이터 결정 및 변환 블럭

데이터 결정 및 변환블럭은 전압제어 링발진기의 클럭신호를 이용하여 수신되는 직렬 데이터를 병렬 데이터로 변환 및 결정하는 회로블럭이며 입력 데이터와 추출된 클럭신호가 동기되도록 클럭정보를 포함한 데이터를 출력한다.

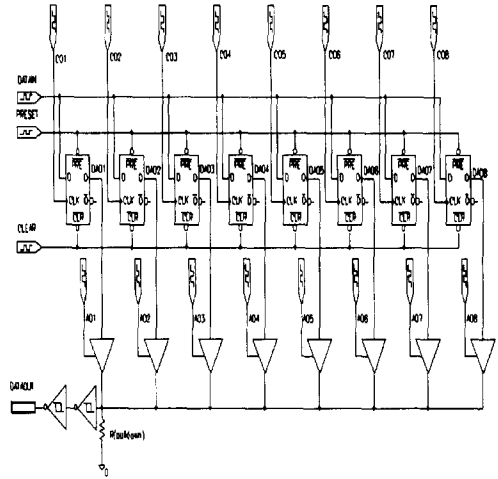


그림 6. 데이터 결정 및 변환 회로  
Fig. 6. Data decision and conversion circuit.

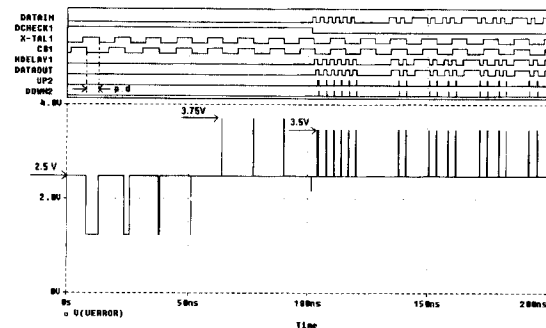
데이터 결정 및 변환 블럭의 내부회로는 그림 6과 같이 D 플립플롭(flipflop) 여덟 개와 3상 버퍼(tri-state buffer) 여덟 개로 구성되어 있으며 최종 출력단에 노이즈를 제거하기 위한 인버터 두 개가 직렬로 연결되어 있다. 본 블럭에 인가되는 신호는 VCO의 출력신호인 C01~C08, 3상 버퍼의 제어신호인 A01~A08 그리고 입력신호인 DATAIN이다. 입력되는 622.08 Mbps NRZ 직렬 데이터는 클럭신호 C01~C08에 의해 비트단위로 각 해당하는 클럭신호에 의해 복원되어 여덟 채널 DA01~DA08의 병렬 데이터를 출력한다. 그리고 복구된 DA01~DA08의 다시 조합된 직렬 데이터신호 DATAOUT을 출력하기 위해 3상 버퍼를 사용하였으며 이를 제어하기 위한 A01~A08를 발생하여야 한다. 제어신호 A0i는

$$A0i = \overline{C0i} \& \overline{C0i+1} \quad (i = 1, 2, 3, \dots, 8) \quad (2)$$

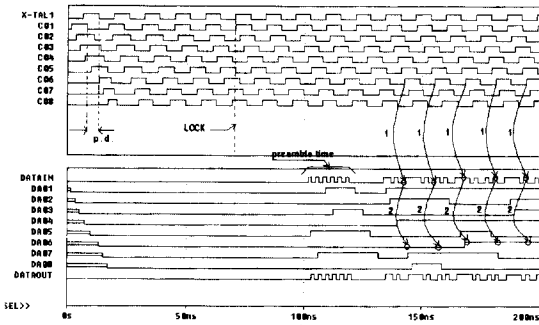
와 같이 출력된 클럭신호와 인접한 출력의 반전된 신호를 AND연산함으로써 쉽게 구현할 수 있다.

IV. 검증 결과

그림 7은 제 3 절에서 제안된 검증모델을 이용하여 제안된 클럭/데이터 복구회로의 전체블럭을 구성하여 DESIGN CENTER (Version 6.1)로 시뮬레이션한 결과이다. 본 검증결과는 입력 데이터의 유무에 따른 클럭신호의 추출과정과 입력 데이터로부터의 다 채널 병렬 데이터로의 변환 및 복구과정을 잘 나타내고 있다.



(a)



(b)

그림 7. 제안된 클럭/데이터 복구회로의 검증결과

(a) 클럭신호의 추출 및 동기과정

(b) 추출된 클럭신호들과 복구된 데이터신호

Fig. 7. Test results of proposed clock/data recovery circuit.

(a) Extracting and locking of clock signal.

(b) Extracted clock signal and recovered data signal.

그림 7에서 a)의 파형들은 클럭신호의 추출 및 동기 과정을 나타내고 있다. DCHECK1은 입력 데이터의 유무에 따른 데이터 검증회로의 출력을 나타내며 X-TAL1은 77.76MHz의 기준클럭신호를, C01은 전압제어 링발진기의 첫번째 탭 출력신호를 나타낸 것이

다. 그리고 HDELAY1은 1/2비트 지연블럭의 출력을 나타내며 DATAOUT는 입력 데이터를 C01~C08의 클럭신호들을 이용하여 병렬 데이터로 복구한 후 다시 합성한 데이터신호를 나타낸 것이다. VERROR는 클럭신호의 추출 및 동기를 위해 변화하는 VCO의 제어 전압을 나타내고 있다. DCHECK1은 a)에서 나타난 바와 같이 입력 데이터 DATAIN이 없을 경우에 high상태가 되며 반대의 경우 low상태가 된다. 초기에 DCHECK1은 high상태이며 C01과 X-TAL1의 위상차는 p.d.와 같이 2/3비트정도로 발생되어 있다. 이로 인하여 VERROR는 발생한 위상차만큼 2.5V기준으로 1.25V 전압하강이 일어나고 전압하강이 발생하는 동안 VCO는 C01의 위상을 지연하여 발생된 두 신호의 위상차를 줄인다. 그 다음단계에서 줄여진 위상차는 같은 방식으로 C01의 위상지연을 반복하여 X-TAL1과 C01을 동기시키게 된다. 그 이후 데이터가 입력되어 DCHECK1을 low상태로 변화시키면 VERROR는 클럭 재발생부에 의해 제어받게 된다. 이때 VERROR는 HDELAY1을 기준으로 DATAOUT를 비교하여 위상차를 검출하고 검출된 위상차만큼 2.5V기준으로 1.2V 전압상승을 반복하여 프리앰블 시간동안 입력 데이터와 클럭신호의 동기를 맞춘다. 2)의 파형들은 추출된 클럭신호 C01~C08와 본 회로의 최종 출력 데이터인 DA01~DA08을 나타내고 있으며 클럭신호가 입력 데이터에 인가되어 병렬 데이터로 복구하는 과정을 1과 2의 화살표로 나타내고 있다. 초기의 C01은 X-TAL1에 비해 p.d.만큼 위상이 앞서고 있었으나 LOCK으로 표시된 점선부분에서 거의 완전한 동기를 이룬다. LOCK이후의 C01~C08는 점선부분에서와 같이 각각 주기의  $i/8$  ( $i=1,2,\dots,8$ )만큼의 위상지연을 유지하며 출력된다. 이때 출력된 클럭신호들은 프리앰블 시간동안에 입력 데이터와 완전한 동기를 이루며 입력 데이터 DATAIN을 병렬 데이터 DA01~DA08로 정확히 변환 및 복구한다. 예로써 본 파형에서는 여섯번째 클럭 신호 C06의 상승 천이가 화살표 1과 같이 DATAIN에 인가되고 화살표 2와 같이 여섯번째 채널 데이터 DA06을 차례로 결정하는 과정을 나타내고 있다.

본 검증결과로부터 데이터가 입력되지 않을 경우에도 클럭 발생부의 클럭신호들은 정상적으로 출력을 유지하고 622.08 Mbps 직렬데이터가 입력될 경우, 클럭 신호 C01~C08와 정확히 동기가 이루며 여덟 채널의

병렬 데이터 DA01~DA08로 성공적으로 변환 및 복구됨을 확인할 수 있다.

## V. 결 론

본 논문에서는 622.08 Mbps급 광통신 수신기에 응용될 클럭/데이터 복구회로의 새로운 알고리즘을 제안하였다. 제안된 알고리즘은 기본적으로 전하펌프 PLL 구조를 응용하였으며 자유발진 주파수가 77.76 MHz 인 전압제어 링발진기를 VCO클럭으로 사용하여 주기의  $i/8$  ( $i=1,2,\dots,8$ )만큼 위상지연을 가지는 여덟 채널의 출력신호를 클럭신호로 사용하였다. 추출된 여덟 채널의 클럭신호를 이용하여 데이터 결정 및 변환 회로에서는 622.08 Mbps의 직렬 데이터를 디멀티플렉서와 주파수 분배기블럭없이도 여덟 채널의 병렬 데이터로의 변환 및 결정이 동시에 가능하였다. 그리고 클럭 재발생부와 클럭 발생부를 함께 사용하여 입력 데이터의 유무에 따라 동작영역을 달리 함으로써 전송중단이나 전송선로의 단락에 있어서도 항상 안정된 클럭신호를 유지하며 입력 데이터와의 동기되는 프리앰블 시간을 최소화 하였다. 데이터 결정을 위한 입력 데이터와 클럭신호의 동기는 기존의 방식과는 달리 지연된 입력 데이터와 클럭 발생부의 클럭신호에 의해 결정된 데이터를 비교하는 방식을 사용함으로써 송신부의 클럭신호와 수신부의 클럭신호를 비교하는 효과를 얻을 수 있었으며 전송선로에 의한 입력 데이터의 왜곡에 의해 클럭신호의 주파수나 위상이 전혀 변화하지 않는 장점을 얻을 수 있었다. 그러므로 제안된 클럭/데이터 복구회로는 이와 같은 장점들과 단순화된 구조를 이용하여 실제 회로제작시 우수한 성능을 발휘할 수 있으며 광 수신기와 함께 한 개의 칩으로 집적화가 가능할 것으로 여겨진다. 그러나 전압제어 발진기블럭을 제외

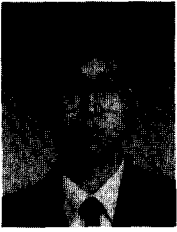
한 각 블럭들이 입력 데이터를 충분히 처리할 수 있어야 하므로 초고속 동작이 가능한 공정을 사용하여야 하는 단점이 있다.

## 참 고 문 헌

- [1] 채상훈, 광명신, "ATM교환기용 데이터 및 클럭 복원회로 설계", 전자공학회논문지, 제 32권 제4호, pp. 46-51, 1995
- [2] N. Ishihara and Y. Akazawa, "A Monolithic 156Mb/s Clock and Data-Recovery PLL Circuit using Sample-and-Hold Technique." in ISSCC Dig. Techn. Pap., 1994, pp. 110-111.
- [3] T. H. Hu and P. R. Gray, "A Monolithic 480 Mb/s Parallel AGC/Decision/Clock-Recovery Circuit in 1.2um CMOS," IEEE J. Solid-State Circuits, vol. 28, No. 12, pp.1314-1320, Dec. 1993.
- [4] F. M. Gardner, "Charge-pump phase locked loops," IEEE Communication, vol. com-28, No. 11, pp.1848-1858, Nov. 1980.
- [5] D. L. Chen, "Designing On-Chip Clock Generators," IEEE Circuits & Devices, pp. 32-35, Jun. 1992.
- [6] B. Kim, D. N. Helman, and P. R. Gray "A 30-MHz Hybrid Analog/Digital Clock Recovery Circuit in 2-um CMOS." IEEE J. Solid-State Circuits, vol. 25, No. 6, pp. 1385-1394, Dec. 1990.
- [7] D. Jeong, G. Borriello, D. A. Hodges, and R. H. Katz, "Design of PLL-based clock generation circuits," IEEE J. Solid-State Circuits, vol. sc-22, No. 2, pp. 255-261, Apr. 1987.



— 저 자 소 개 —



李正奉(正會員)

1994년 2월 경북대학교 전자공학과 졸업 (공학사). 1996년 2월 경북대학교 대학원 전자공학과 졸업 (공학석사). 1996년 1월~현재 LG 반도체 MICRO BU 설계1실 근무. 주관심분야

는 ASIC설계, 초고주파용 PLL 설계

金成煥(正會員) 第 33卷 A編 第 3號 參照

현재 경북대학교 대학원 전자공학과 박사과정

崔 坪(正會員) 第 32卷 B編 第 2號 參照

현재 경북대학교 전자·전기공학부 부교수