

論文96-33A-11-12

Co 및 Co/Ti 이중막에 의해 형성된 Co-실리사이드의 열적 불안정성

(Thermal Instability of Co-silicides formed by Co and Co/Ti Bilayer)

張志根*, 嚴于鎔*, 申徹相*, 張鎬廷*

(Gee Keun Chang, Woo Yong Ohm, Cheol Sang Shin, and Ho Jeong Chang)

요 약

n-type (100) Si 기판상에 E-beam evaporation 방식으로 Co 단일막(170Å), 및 Co(200Å)/Ti(100Å) 이중막을 증착하고 RTA 열처리 방식으로 Co-실리사이드를 형성한 후, 고온로(T=850°C~1000°C)에서 10~90 분간 N₂ 분위기로 후속열처리를 실시하였다. 단일 Co 박막으로부터 만든 Co-실리사이드의 경우 850°C 이하에서 후속 열처리를 실시하면 면저항의 변화가 없었으나 열처리 온도가 900°C 이상으로 증가하면 후속열처리 시간에 따라 면저항의 값이 증가하였다($\Delta R_s/R_s|_{900^\circ\text{C}, 30\text{min.}} \approx 30\%$, $\Delta R_s/R_s|_{1000^\circ\text{C}, 30\text{min.}} \approx 60\%$). 이에 비해 Co/Ti 이중막을 이용한 실리사이드 박막에서는 T=1000°C에 이르기까지 열처리 시간에 따른 면저항의 변화가 거의 나타나지 않았다.

Abstract

We have investigated the characteristics of thermal instability of Co-silicides annealed at 850°C~1000°C for 10~90 minutes in a furnace with N₂ ambient. In our experiments, Co-silicides and Co/Ti bilayer silicides were formed by depositing (Co, Ti) films on the clean Si substrates in an E-beam evaporator and performing the RTA annealing. The sheet resistances of Co-silicides formed from Co exhibited the nearly constant value under the post-annealing conditions below 850°C. But, the sheet resistances were affected according to the post-annealing time above 900°C showing the increase of 30% and 60% under the conditions annealed at 900°C and 1000°C for 30minutes. On the other hand, there were no remarkable changes in the sheet resistances of Co-silicides formed from Co/Ti bilayer under the post-annealing conditions below 1000°C.

I. 서론

오늘날 집적회로 소자가 초미세화되면서 salicide (self aligned silicide) 기술로 source/drain 접합의 면저항과 poly Si 게이트 전극의 배선저항, 금속-반도체 간의 접촉저항을 줄이려는 연구가 시도되고 있다.^[1] 그러나 실리사이드 접합은 Si를 과다소모하고 silicide/Si 계면이 거칠며 응집(agglomeration)에 따

른 열적 불안정성과 금속-도펀트 화합물의 형성 등으로 인해 salicide 기술을 VLSI 소자 제작에 적용하기는 실제로 매우 어렵다.^[1~3] Salicide 기술은 실리사이드 형성 후 BPSG 등의 보호막을 입히고 평탄화(planarization)와 치밀화(densification)를 위하여 850°C 이상의 고온에서 후속 열처리 공정을 수반한다.

실리사이드는 일반적으로 다결정 박막으로 두께가 얇을 경우 열처리시 계면에너지를 감소시키려는 구동력에 의해 응집현상이 일어난다. 실리사이드 박막은 실리사이드-실리사이드-실리콘 계면의 3중점에서 계면에너지가 비평형상태임으로 과도한 thermal budget에서 열적 불안정성을 보이며 thermal grooving 현상이 발

* 正會員, 檀國大學校 電子工學科

(Dept. of Elec. Eng., Dankook University)

接受日字: 1996年9月17日, 수정완료일: 1996年10月30日

생하고 실리사이드 결정립의 연속성이 단절되며 박막의 islanding이 일어난다.^[4] 실리사이드의 이와 같은 열적불안정은 실리사이드 박막의 두께와 계면의 굴곡을 심하게 하고 전류가 흐를 수 있는 유효단면적을 감소시켜 면저항의 증가를 가져온다. 따라서, shallow junction을 갖는 MOSFET의 source/drain을 제작하기 위해서는 비저항이 낮으며 고온에서 열적안정성을 갖는 실리사이드 박막의 형성이 필수적으로 요구되고 있다.

종래의 salicide 기술에서는 TiSi₂가 일반적으로 이용되어 왔으나 앞에서 지적한 몇가지 문제점들 때문에 최근에는 TiSi₂의 대체 물질로 Co나 Co/Ti 이중막으로부터 CoSi₂를 형성하고 이를 통해 salicide 기술이나 SADS(silicide as diffusion source)방법으로 shallow junction을 실현하려는 연구가 추진되고 있다.^[5~6] TiSi₂에 비해 CoSi₂는 Si과 같은 입방(cubic)구조이며 Si과의 격자 부정합이 1.2%밖에 되지 않아 에피택시 성장이 가능하여 열적안정성이 우수하며, 금속-도펀트 화합물 형성에 대한 안정성이 높아 shallow junction 형성을 위한 미래의 실리사이드로 가장 주목을 받는 재료이다.^[7~8]

지금까지 단일 Co막 및 Co/Ti 이중막으로부터 Co-실리사이드를 형성한 논문들은 많이 발표되었으나^{[9]~[10]} 아직까지 Co-실리사이드의 형성방법에 따른 열적 불안정성의 비교 연구는 발표된 바가 없다. 본 연구에서는 차세대 집적회로분야에 높은 열적 안정성을 갖는 Co-실리사이드의 형성이 요소기술임을 인식하고 Co 및 Co/Ti 이중막으로부터 RTA(rapid thermal annealing) 방식으로 CoSi₂를 형성하고 이들을 후속 열처리하여 열처리 조건에 따른 실리사이드 박막의 전기적 특성변화와 morphology 상태 등을 조사하였다.

II. 실험방법

n-type (100) 웨이퍼($\rho=1\sim 10\Omega\text{cm}$)를 $\langle\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2=4:1\rangle$ 의 용액에 세척하고 $\langle\text{H}_2\text{O}:\text{HF}=50:1\rangle$ 의 용액에 dip etching한 후 E-beam evaporator(진공도: $\sim 10^{-6}$ Torr)에 loading하여 단일 Co 박막 및 Co/Ti 이중막을 각각 170Å 및 200Å/100Å의 두께로 증착시켰다. 증착된 금속박막들로부터 실리사이드를 형성하기 위하여 RTA(rapid thermal annealing) 장치에서 direct annealing 방식으로 열처리 하였다. 열

처리 후 반응되지 않은 Ti와 Co를 각각 $\langle\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1:5\rangle$ 와 $\langle\text{HCl}:\text{H}_2\text{O}_2=3:1\rangle$ 의 에칭용액에서 제거하였다. 이후 형성된 Co-실리사이드 박막들의 고온에서의 열적 불안정성을 관찰하기 위하여 고온로에서 N₂ 분위기(flow rate: 2l/min)로 850°C, 900°C 및 1000°C에서 10~90분 간 후속 열처리를 실시하였다. 표 1에서는 실리사이드 형성을 위한 RTA 공정과 고온로에서의 후속열처리 공정을 요약하였다.

표 1. 실리사이드화 및 후속 열처리 공정
Table 1. Silicidation and post-annealing processes.

Process	Silicidation	Post-annealing
Apparatus	RTA	furnace
Ambient	N ₂ (pressure:10 ⁻¹ atm)	N ₂ (flow rate:2l/min.)
Temperature	800°C	850°C, 900°C, 1000°C
Time	20 sec	10min~90min

As-formed Co-실리사이드의 결정상을 알아보기 위해 XRD(X-ray diffraction) 분석을 실시하였으며 증착된 금속박막과 실리사이드 두께를 TEM(transmission electron microscopy) 사진으로 관찰하였다. 박막의 깊이에 따른 원소분포를 AES(Auger electron spectroscopy) 및 SIMS(secondary ion mass spectroscopy)로 분석하였으며 in-line 4탐침법으로 면저항을 측정하고 후속열처리 조건에 따른 Co-실리사이드의 표면형상을 SEM(scanning electron microscopy) 사진으로 관찰하였다.

III. 결과 및 고찰

그림 1은 as-formed silicides의 XRD 분석 결과이다. 두께 170Å의 Co 금속으로부터 800°C에서 20초 간 금속 열처리하여 만든 Co-실리사이드 박막에서는 안정상인 CoSi₂상이 (111) 및 (220) 방향으로 성장되었다. 반면, Co/Ti 이중 금속막($d_{\text{Co}}=200\text{Å}$, $d_{\text{Ti}}=100\text{Å}$)을 RTA 방식으로 silicidation한 경우 Co/Ti bilayer 실리사이드는 CoSi₂(200) 결정상만이 나타나고 Si(100) 기판과 에피층을 이루고 있음을 볼 수 있다. Co/Ti 이중막을 이용하여 CoSi₂ 에피박막을 성장시킬 수 있음은 산화력이 큰 Ti가 Si 표면의 자연산화막을 환원하여 깨끗한 Si 표면을 만들고 확산계수가

큰 Co가 Ti 박막과 위치 역전을 일으키면서 Si 결정과 격자정합을 이루는 CoSi₂ 박막을 만들기 때문이라 판단된다.

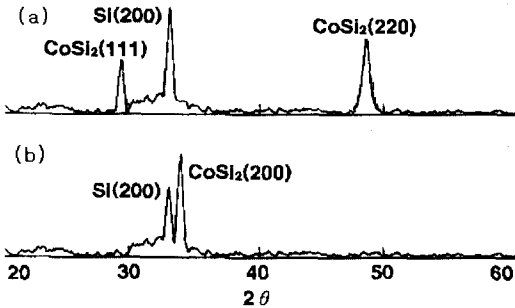


그림 1. As-formed 실리사이드의 XRD 분석
 (a) 단일 Co막에 의한 실리사이드
 (b) Co/Ti 이중막에 의한 실리사이드
 Fig. 1. XRD patterns of the as-formed silicides.
 (a) Silicide by single Co layer.
 (b) Silicide by Co/Ti bilayer.

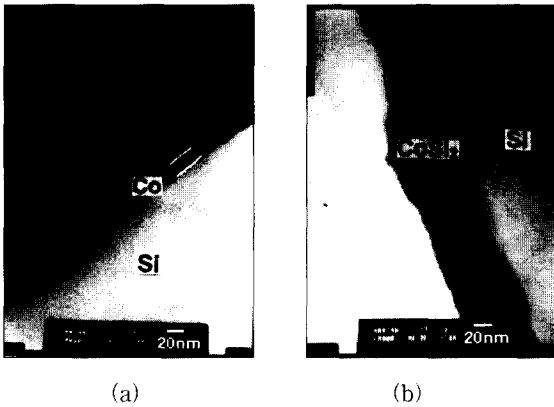


그림 2. TEM 단면 형상
 (a) 170Å의 두께를 가지는 as-deposited Co 박막 (b) 800°C에서 20초간 열처리된 CoSi₂/Si 박막
 Fig. 2. Cross sectional TEM micrographs.
 (a) as-deposited Co film with the thickness of 170Å. (b) CoSi₂/Si film annealed at 800°C for 20sec.

그림 2는 170Å의 두께로 증착된 (a) as-deposited Co 박막과 (b) 170Å 두께의 Co 박막에 대해 800°C에서 20초간 열처리한 Co-실리사이드의 TEM 단면사진을 보여주고 있다. TEM 단면분석 결과 as-deposited Co 박막의 두께는 약 170Å이었으며, 열처리된 Co-실리사이드 박막의 두께는 약 600Å을

나타내었다. CoSi₂ 단면층의 형상은 silicide-silicide-Si 삼중점 (triple point)이 관찰되며 결정입계의 크기는 약 0.15~0.2μm로 비교적 큰 결정입도를 나타내고 있다. TEM 단면사진으로 측정한 Co-실리사이드의 두께(d_{sil}=600Å)와 4 탐침법으로 측정한 면저항(R_s=3Ω/□)에 의해 CoSi₂의 비저항을 계산했을때 ρ≃18μΩ-cm의 값을 얻을 수 있었다.

그림 3은 Co(200Å)/Ti(100Å)의 두께로 증착된 (a) as-deposited 박막과 (b) 이를 800°C에서 20초간 급속열처리한 Co/Ti bilayer-실리사이드의 TEM 단면사진을 보여주고 있다. TEM 단면사진으로 부터 열처리된 Co-실리사이드 박막의 두께는 약 600Å을 나타내었으며 CoSi₂ 단면층의 형상은 silicide/Si 계면에서 매우 평활한 상태를 보여주고 있다.

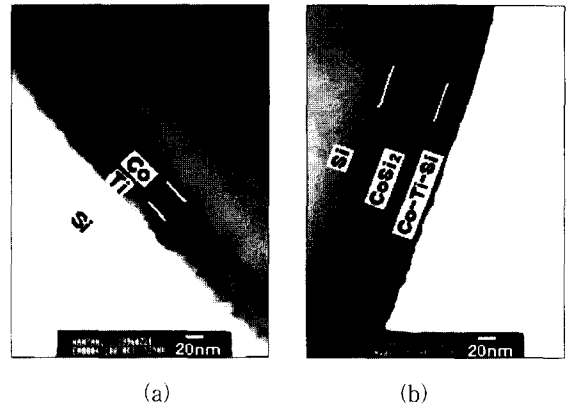
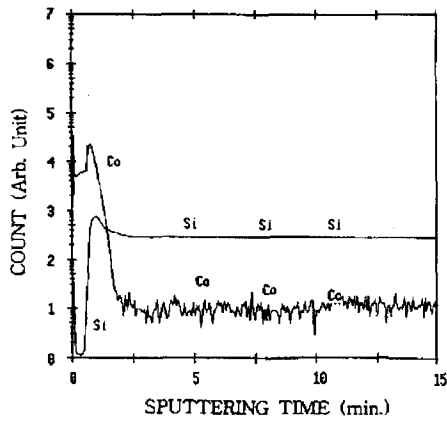


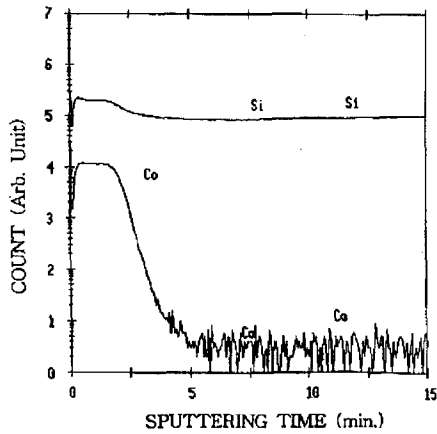
그림 3. TEM 단면 형상
 (a) as-deposited Co(200Å)/Ti(100Å) 박막
 (b) 800°C에서 20초간 열처리된 CoSi₂/Si 박막
 Fig. 3. Cross sectional TEM micrographs.
 (a) as-deposited Co(200Å)/Ti(100Å) film.
 (b) CoSi₂/Si film annealed at 800°C for 20sec.

그림 4는 170Å의 두께로 증착된 (a) as-deposited Co 박막과 (b) 800°C에서 20초간 열처리된 CoSi₂/Si 박막에 대한 SIMS depth profile을 나타낸다. SIMS 분석결과, Co의 원소가 as-deposited Co 금속층과 CoSi₂ 박막에서 깊이에따라 비교적 균일하게 분포되어 있음을 확인할 수 있다.

그림 5는 Si 기판상에 Co(200Å)/Ti(100Å)의 두께를 증착한 (a) as-deposited film과 (b) T=800°C에서 20초간 열처리한 시편의 AES depth profile을 나타내고 있다. as-deposited Co/Ti 이중막의 경계를 뚜렷



(a)



(b)

그림 4. SIMS 성분 분포

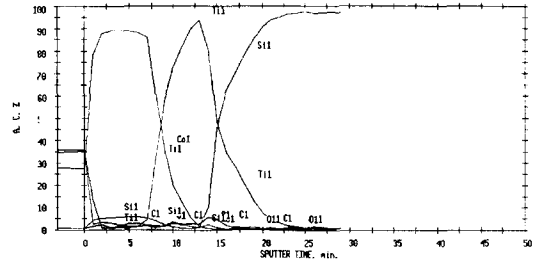
(a) as-deposited Co(170Å)/Si 박막 (b) 800°C에서 20초간 열처리된 CoSi₂/Si 박막

Fig. 4. SIMS depth profiles of (a) the as-deposited Co (170Å)/Si film and (b) the CoSi₂/Si annealed at 800°C for 20sec.

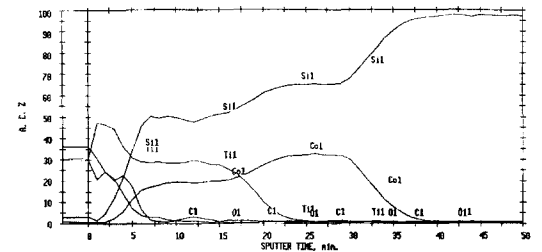
이 구분할 수 있으며 Co/Ti bilayer silicide/Si 박막의 조성이 표면으로 부터 다량의 Si과 Ti외에 소량의 Co가 섞여있는 표면층과, Si과 Co만이 섞여있는 중간층, 그리고 Si만이 존재하는 기판의 내층으로 형성되고 있음을 볼 수 있다.

그림 6은 두께 170Å의 Co 금속으로 부터 800°C에서 20초간 급속 열처리하여 형성한 CoSi₂ 박막을 고온로에서 850°C, 900°C, 및 1000°C로 10~90분간 후속 열처리한 결과의 면저항 분포를 보여주고 있다. T=850°C에서는 후속 열처리에 의해 면저항의 변화가 없으나 T≥900°C에서는 열처리 시간이 길어지면 면저항의 값

이 증가하였다. 면저항이 3Ω/□인 as-formed Co-silicides로부터 900°C와 1000°C에서 30분간 후속 열처리했을때 면저항의 값은 각각 3.9Ω/□(30%), 4.8Ω/□(60%)로 증가되었다.



(a)



(b)

그림 5. AES 성분 분포

(a) as-deposited Co(200Å)/Ti(100Å) 박막 (b) 800°C에서 20초간 열처리된 CoSi₂/Si 박막

Fig. 5. AES depth profiles of (a) the as-deposited Co(200Å)/Ti(100Å) bilayer and (b) the CoSi₂/Si annealed at 800°C for 20sec.

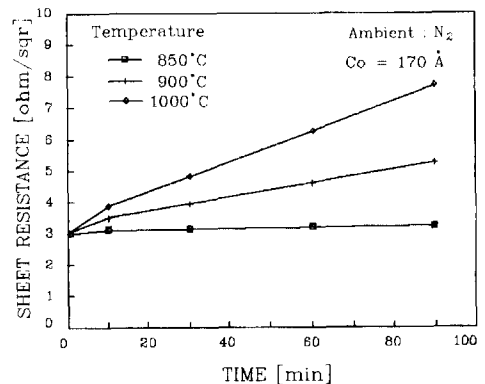
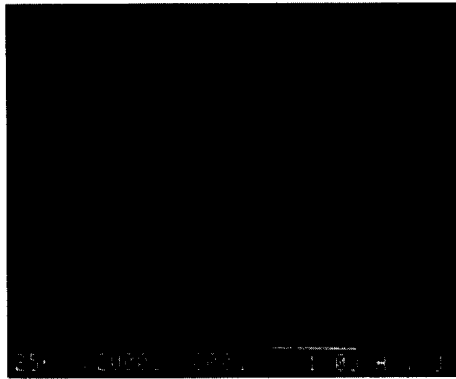
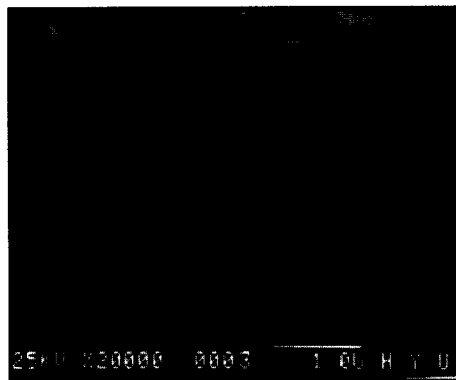


그림 6. 단일 Co 박막으로 부터 얻어진 Co-실리사이드의 후속열처리에 따른 면저항 변화

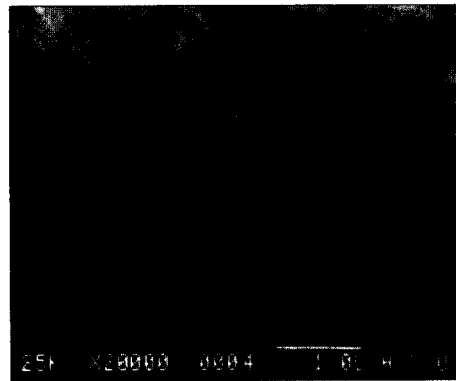
Fig. 6. Sheet resistances of the Co-silicides obtained from single Co layer according to the post-annealing.



(a)



(b)



(c)

그림 7. 170Å의 Co 박막으로부터 얻어진 Co-실리사이드의 SEM 표면 형상

(a) as-formed 실리사이드 (b) 850°C에서 30분간 열처리된 실리사이드 (c) 1000°C에서 30분간 열처리된 실리사이드

Fig. 7. SEM micrographs of the Co-silicide surfaces obtained from 170Å Co film.

(a) as-formed silicide and silicides annealed for 30min at (b) 850°C and (c) 1000°C.

그림 7은 170Å의 Co 박막으로 부터 얻어진 (a) as-formed silicide와 후속 열처리 과정으로 (b) 850°C에서 30분간, (c) 1000°C에서 30분간 고온 열처리를 실시한 실리사이드의 SEM 표면사진을 보여주고 있다. 후속열처리된 실리사이드의 표면형상은 열처리 온도가 증가할수록 as-formed 실리사이드에 비해 거칠게 나타나고 있으며 1000°C 정도의 고온에서는 실리사이드가 응집되는 현상을 볼 수 있다.

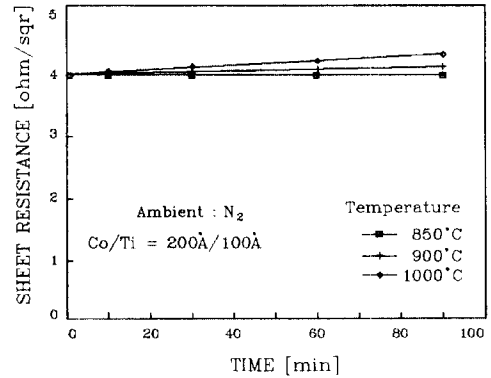
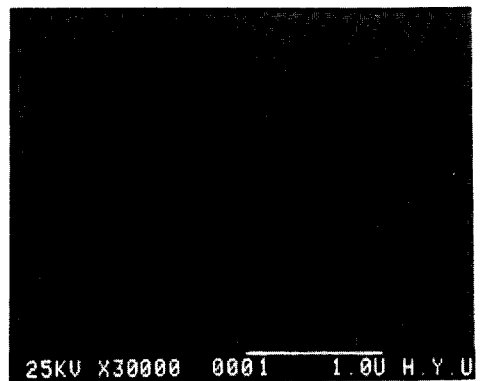


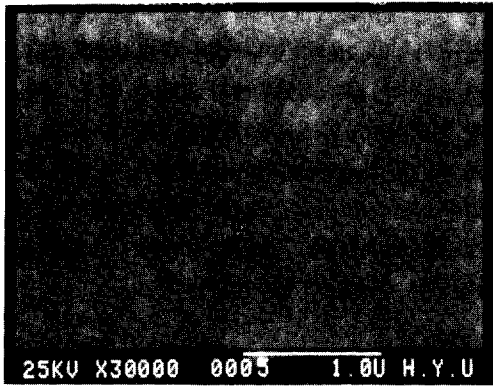
그림 8. Co/Ti 이중막 실리사이드의 후속열처리에 따른 면저항 변화

Fig. 8. Sheet resistances of the Co/Ti bilayer silicides according to the post-annealing.

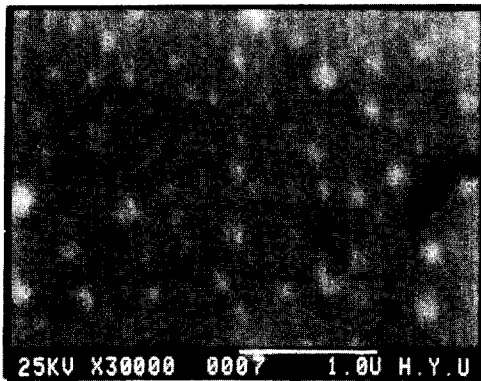
그림 8은 Co/Ti 이중 금속막($d_{Co}=200\text{Å}$, $d_{Ti}=100\text{Å}$)을 RTA 방식으로 silicidation한 후 고온로에서 850°C, 900°C, 및 1000°C로 10~90분간 후속 열처리한 Co/Ti bilayer 실리사이드막의 면저항 변화를 보여주고 있다. 실험 결과, Co/Ti bilayer 실리사이드막에서는 1000°C에 이르기까지 시간에 따른 면저항의 변화가 거의 나타나지 않았으며 1000°C에서 1시간 후속 열처리를 실시한 경우 면저항 증가는 5% 이하로 나타났다.



(a)



(b)



(c)

그림 9. Co/Ti 이중막 실리사이드의 SEM 표면 형상
(a) as-formed 실리사이드 (b) 850°C에서 30분간 열처리된 실리사이드 (c) 1000°C에서 30분간 열처리된 실리사이드

그림 9. SEM micrographs of the Co/Ti bilayer silicide surfaces.

(a) as-formed silicide and the silicides annealed for 30min at (b) 850°C and (c) 1000°C.

그림 9에서는 Co(200Å)/Ti(100Å) 구조로 부터 얻어진 (a) as-formed silicide와 후속 과정으로 (b) 850°C에서 30분간, (c) 1000°C에서 30분간 고온 열처리를 실시한 실리사이드의 SEM 표면사진을 보여주고 있다. SEM 사진으로 부터 후속 열처리의 온도가 높아질수록 표면상태가 다소 거칠어지고 있으나 단일 Co막에 의한 실리사이드보다는 표면형상이 훨씬 양호하게 나타나고 있음을 관찰할 수 있다.

실험 결과, Co/Ti bilayer-실리사이드는 단일 Co막으로부터 형성한 실리사이드보다 고온에서 안정된 결정학적, 전기적 특성을 나타내었으며 Co/Ti bilayer

실리사이드의 이러한 높은 열적안정성은 실리사이드 박막의 에피성장과 밀접히 관계가 있는 것으로 판단된다.

IV. 결 론

본 실험에서는 n-type (100) Si 기판상에 E-beam evaporation 방식으로 Co 단일막(170Å), 및 Co(200Å)/Ti(100Å) 이중막을 증착하고 RTA 열처리 방식으로 Co-실리사이드를 형성한 후, 850°C~1000°C의 온도에서 10~90분간 N₂ 분위기로 고온로에서 열처리를 실시하여 후속 열처리에 따른 실리사이드의 열적 불안정성에 관한 연구를 실시하였다.

단일 Co 박막을 열처리하여 만든 Co-실리사이드에 대해서는 Co 금속의 두께가 170Å($d_{sil}=600\text{Å}$)일 경우 850°C 이하에서는 후속 열처리에 따른 면저항의 변화가 없었으나 $T \geq 900^\circ\text{C}$ 에서는 열처리 시간이 길어지면 면저항의 값이 증가하였다. 단일 Co 박막으로 부터 얻어진 Co-실리사이드를 900°C와 1000°C에서 30분 동안 열처리했을 때 면저항의 값은 각각 30%, 60%로 증가되었다. 이에비해 Co/Ti 이중막을 이용한 실리사이드 박막은 1000°C에 이르기까지 열처리 시간에 따른 면저항의 변화가 거의 나타나지 않았다. XRD 및 SEM 분석을 통해 Co/Ti bilayer 실리사이드는 Si 기판(100)상에 epitaxial 성장 [결정방향:(200)] 되고 표면상태가 매우 평활하게 나타나고 있음을 확인하였으며, Co/Ti bilayer 실리사이드의 높은 열적안정성은 실리사이드막의 결정성장과 밀접한 관계가 있는 것으로 판단된다.

이에따라, Co/Ti bilayer 실리사이드는 단일 Co 막으로 형성한 Co-실리사이드에 비해 고온안정성이 요구되는 반도체 소자분야에서 보다 적합하게 응용될 수 있을 것으로 사료된다.

참 고 문 헌

- [1] C. M. Osburn, "Formation of silicided ultra-shallow junctions using low thermal budget processing," *J. Electron Materials*, vol. 19, no. 1, pp. 67~88, 1990.
- [2] S. Wolf, *Silicon Processing for the VLSI Era, V. 2-Process Integration*, Lattice Press, pp. 154~160, 1990.

- [3] S. P. Murarka, *Silicides for VLSI Applications*, New York, Academic Press, pp. 164~171, 1983.
- [4] S. L. Hsia, T. Y. Tan, P. Smith, and G. E. McGuire, "Resistance and structural stabilities of epitaxial CoSi₂ films on (001) Si substrates," *J. Appl. Phys.*, vol. 72, no. 5, p. 1864, 1992.
- [5] A. E. Morgan, E. K. Broadbeut, M. Delfino, B. Coulman, and D. K. Sadana, "Characterization of a self-aligned cobalt silicide process," *J. Electrochem. Soc.*, vol. 134, p. 925, 1987.
- [6] B. S. Chen, and M. C. Chen, "Formation of cobalt-silicided p⁺n junctions using implant through silicide technology," *J. Appl. Phys.*, vol. 72, no. 10, p. 4619, 1992.
- [7] M. Tabasky, E. S. Bulat, B. M. Pitechek, M. A. Sullivan, and S. C. Shatas, "Direct silicidation of Co on Si by rapid thermal annealing," *IEEE Trans. Electron Devices*, vol. ED-34, no. 3, p. 548, 1987.
- [8] S. P. Murarka, D. B. Fraser, A. K. Sinha, H. J. Levinstein, E. J. Lloyd, R. Liu, D. S. Williams and S. J. Hillenius, "Self-aligned cobalt disilicide for gate and interconnection and contacts to shallow junctions," *IEEE Trans. Electron. Devices*, vol. ED-34, no. 10, p. 2108, 1987.
- [9] W. J. Freitas, and J. W. Swart, "The influence of impurities on cobalt silicide formation," *J. Electrochem. Soc.*, vol. 138, pp. 3067~3070, 1991.
- [10] S. L. Hsia, T. Y. Tan, P. Smith, and G. E. McGuire, "Formation of epitaxial CoSi₂ films on (001) silicon using Ti-Co alloy and bimetal source materials," *J. Appl. Phys.*, vol. 70, no. 12, pp. 7579~7587, 1991.

 저 자 소 개

張志根(正會員) 第 28卷 A編 第 1號 參照
 현재 단국대학교 공학대학교 전자
 공학과 교수

嚴于鎔(正會員) 第 33卷 A編 第 8號 參照



申 徹 相(正會員)
 1971년 1월 23일생. 1996년 2월
 단국대학교 전자공학과 학사.
 1996년 3월 ~ 현재 단국대학교
 전자공학과 석사과정 재학. 주관
 심분야는 강유전체 박막 및 VLSI
 배선재료 등임

張 鎬 廷(正會員) 第 33卷 A編 第 8號 參照