

論文 96-33A-12-12

텅스텐 폴리사이드 전극에 따른 게이트 산화막의 내압 특성

(Breakdown Characteristics of Gate Oxide with Tungsten Polycide Electrode)

鄭 會 煥 *, 李 鍾 法 *, 丁 寬 秀 **

(Hoi Hwan Chung, Jong Hyun Lee, and Kwan Soo Chung)

요 약

게이트 산화막 위에 알루미늄, 다결정 실리콘, 텅스텐 폴리사이드 게이트전극을 형성하여 제작한 금속-산화물-반도체(metal-oxide-semiconductor:MOS) 캐패시터의 내압 특성을 순간 절연파괴(time zero dielectric breakdown)로 평가하였다. 텅스텐 폴리사이드 전극에 따른 게이트 산화막의 파괴전계가 다결정 실리콘보다 낮았고, 건식산소(dry O₂) 분위기에서 열처리 온도가 증가함에 따라 B 모드(1~8MV/cm) 불량률이 증가하였다. 이것은 열처리 후에 텅스텐 실리사이드막으로부터 게이트 산화막내로 불소(fluorine)와 텅스텐(tungsten) 확산과 텅스텐 폴리사이드막 응력이 증가되어 게이트 내압이 감소된 것으로 밝혀졌다.

Abstract

The breakdown characteristics of metal-oxide-semiconductor(MOS) capacitors fabricated by Al, polysilicon, and tungsten polycide gate electrodes onto gate oxide was evaluated by time zero dielectric breakdown(TZDB). The average breakdown field of the gate oxide with tungsten polycide electrode was lower than that of the polysilicon electrode. The B mode(1~8MV/cm) failure of the gate oxide with tungsten polycide electrode was increased with increasing annealing temperature in the dry O₂ ambient. This is attributed to fluorine and tungsten diffusion from tungsten silicide film into the gate oxide, and stress increase of tungsten polycide after annealing treatment.

I. 서 론

다결정 실리콘은 반도체 소자의 게이트전극 및 배선 재료로서 널리 사용되어 왔다. 그러나 최근 고집적 및 고속화가 요구되는 집적회로에서 다결정 실리콘은 불순물 주입으로 전기전도도를 증가시키더라도 자체 비저항이 높아 회로의 동작 속도에 문제가 되었다^{1,11}. 따라서 새로운 게이트전극 및 배선재료로서 다결정 실리

콘보다 저항이 낮은 내화물 금속 실리사이드(refractory metal silicide)에 대한 연구가 진행되고 있다^{1,2,3}. 내화물 금속 실리사이드중에서 텅스텐 실리사이드는 저압화학증착법(LPCVD)이 개발되어 층덮힘(step coverage)면에서 뛰어난 특성을 나타내고, 방사선 피해(radiation damage)를 줄일 수 있으며 산화막(SiO₂)과의 접착력(adhesion)도 매우 양호하다. 또한, 두께와 조성의 균일성이 우수하여 불순물이 적게 함유된 실리사이드를 대량으로 증착시킬 수 있다^{4,5}.

불순물이 주입된 다결정 실리콘에 텅스텐 실리사이드를 적층한 텅스텐 폴리사이드(polycide) 구조는 실리콘을 사용한 게이트 공정의 장점을 유지하면서 낮은 비저항을 가지며, 소자 보호를 위한 산화막 형성이 용이하고 높은 온도에 대한 안정성과 화학적 반응에 저

* 正會員, 韓國電子通信研究所, 半導體研究團
(Div. of Semiconductor Technology, ETRI)

** 正會員, 慶熙大學校 電子工學科
(Dept. of Electronics Eng., Kyunghee University)
接受日字: 1995年5月31日, 수정완료일: 1996年11月14日

항력이 강하여 집적회로의 게이트전극으로 활발히 사용하고 있다^{16,7)}. 금속-산화막-실리콘(metal-oxide-semiconductor:MOS) 집적회로 제작과정에서 게이트 전극으로써 텅스텐 폴리사이드막은 불순물 주입 및 열처리와 산화막 형성등의 여러 공정단계에서 안정해야 하고, MOS 캐패시터의 신뢰성에 영향을 미치지 않아야 한다¹⁸⁾.

본 연구에서는 텅스텐 폴리사이드를 MOS 소자의 전극으로 사용할 경우에 있어서 게이트 산화막의 내압 특성을 열처리 온도에 따라 평가하였고, 다결정 실리콘 게이트전극과 비교하였다.

II. 실험 방법

시편 제작을 위해 사용된 반도체 기판은 결정면이 (100)이고 비저항이 $5 \sim 8 \Omega \cdot \text{cm}$ 인 직경 5 인치 P형 실리콘 웨이퍼이다. 각 시편은 표준 세정공정을 거친 후 게이트 산화막은 열산화법으로 습식산화막을 850°C 에서 200Å 성장하였다. 게이트전극으로 다결정 실리콘은 LPCVD방법으로 620°C 에서 SiH_4 를 열분해하여 2500Å 증착하였고, POCl_3 을 이용하여 인(phosphorus)을 확산하였다. 이 때 다결정 실리콘의 면저항은 $12 \Omega/\square$ 이었다. 또한, 텅스텐 폴리사이드 전극은 다결정 실리콘을 1000Å 증착한 후에 POCl_3 을 이용하여 인을 확산하였다. 이 때 다결정 실리콘의 면저항은 $55 \Omega/\square$ 이었다. 자연 산화층을 $100\text{H}_2\text{O}:1\text{HF}$ 용액에서 제거한 후에 LPCVD방법으로 SiH_4 와 WF_6 가스를 사용하여 텅스텐 실리사이드막($\text{WSi}_{2.6}$)을 1500Å 증착하였다. 이 때 온도와 압력은 각각 360°C , 200mTorr이었다. 일부 시료는 건식산소(dry O_2) 분위기에서 열처리 하였다.

각 시료는 마스크 과정을 거친후 식각하여 캐패시터 영역을 정의하였는데 이 때 면적은 25mm^2 이었다. 게이트 산화막의 내압 특성은 50개의 캐패시터를 semiconductor parameter analyzer(IIP 4145B)를 사용하여 -0.5V씩 전압을 증가시켜 전류가 $10 \mu\text{A}$ 이상 흐를 때를 순간 절연파괴로 규정하였다. MOS의 플랫밴드 전압변화(flat band voltage shift: ΔV_{fb})는 LCR meter(HP4275A)를 사용하여 고주파 C-V 방법으로 측정하였다. 온도에 따른 응력(stress) 변화는 ADE 6034로 측정하였고, 열처리에 따른 텅스텐 폴리사이드 게이트구조의 단면과 불순물분포는 각각

SEM(S800)과 SIMS(IMS4F)로 조사하였다.

III. 실험 결과 및 고찰

순간 절연파괴는 게이트 산화막 특성평가의 효과적인 방법의 하나이다. 이것은 짧은 시간에 데이터를 얻을 수 있는 잇점이 있다. 순간 절연파괴의 메카니즘은 주로 공정에서 생성되는 결함에 기인된다고 보고되고 있다^{19,10)}. 결함은 산화막이 성장될 때 산화막과 벌크(bulk) 실리콘과의 계면, 산화막 중에 불순물 첨가, 불균일성등에 기인된 약한 산화막(weak oxide) 영역이 생성된 것을 말한다. 이 약한 산화막에서 국소적인 전장장이 몰리게 될 때 전류는 급격하게 증가되어 절연 파괴 현상이 일어난다. 일반적으로 산화막의 내압 분포는 작은 구멍(pinhole)등에 의하여 절연 파괴가 일어나는 A 모드($0 \sim 1\text{MV/cm}$), 약한 결함(weak spot)에 의한 B 모드($1 \sim 8\text{MV/cm}$)와 결함이 없는 C 모드($8 \sim 10\text{MV/cm}$)로 분류된다. A 모드가 주로 집적회로의 수율을 나타내고, B 모드는 신뢰성을 저하시키는 큰 원인이 된다. 또한, C 모드는 그 막의 사용한계를 나타낸다. 그림 1은 게이트 전극재료에 따른 MOS 캐패시터의 평균 파괴전계를 나타내었다.

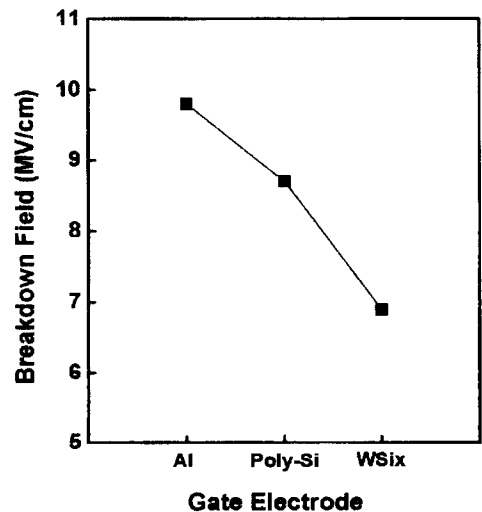


그림 1. 알루미늄, 다결정 실리콘과 텅스텐 폴리사이드 게이트전극에 따른 MOS 캐패시터의 평균 파괴전계

Fig. 1. Average breakdown field of MOS capacitors with Al, poly-Si, and W-polycide gate electrodes.

알루미늄과, 다결정 실리콘, 텅스텐 폴리사이드 게이트전극의 평균 파괴전계는 각각 9.8MV/cm, 8.7MV/cm, 6.9MV/cm이었다. 다결정 실리콘 전극이 알루미늄 전극과 달리 평균 파괴전계가 떨어졌다. 이 결과는 전기적 특성을 좋게하기 위하여 다결정 실리콘에 POCl₃을 이용하여 도핑한 인이 열처리를 하는 동안 결정립계(grain boundary)를 따라 확산되어 산화막 계면에 축적(pile-up)되고, 축적된 인은 게이트 산화막의 실리콘과 반응하여 부피 증가^[11]로 다결정 실리콘/산화막 계면이 거칠어지기 때문이다.

그림 2는 다결정 실리콘과 텅스텐 폴리사이드 게이트전극에 따른 MOS 캐패시터의 B 모드 누적불량률(cumulative failure %)을 나타내었다. 그림 2에서 A는 900°C, 30분 동안 열처리한 다결정 실리콘 전극이고, B는 열처리를 하지 않은 텅스텐 폴리사이드 전극이다. 또한 C, D, E는 각각 800°C, 900°C, 1000°C에서 30분 동안 전식산소 분위기로 열처리한 텅스텐 폴리사이드 게이트전극이다.

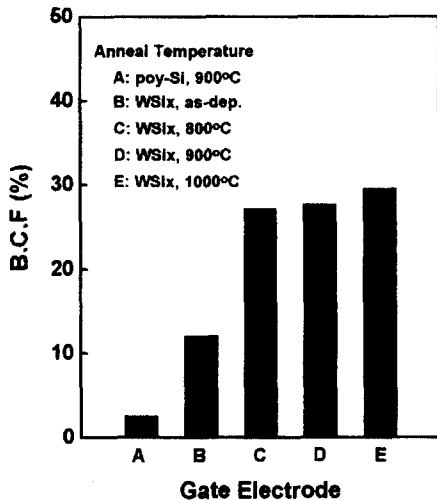


그림 2. 다결정 실리콘과 텅스텐 폴리사이드 전극에 따른 MOS 캐패시터의 B 모드 누적불량률
Fig. 2. B mode cumulative failure % (B.C.F %) of MOS capacitors with polysilicon and W-polycide gate electrodes.

텅스텐 폴리사이드 게이트전극은 다결정 실리콘 게이트 전극보다 파괴전계가 감소하였고, B 모드 누적불량률은 증가하였다. 또한, B 모드 누적불량률은 열처리 온도가 증가함에 따라 증가하는 것을 알 수 있다. 그림

3은 900°C, 30분 동안 열처리한 텅스텐 폴리사이드 게이트구조의 SEM 단면사진이다.

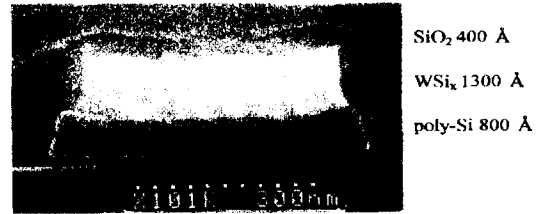


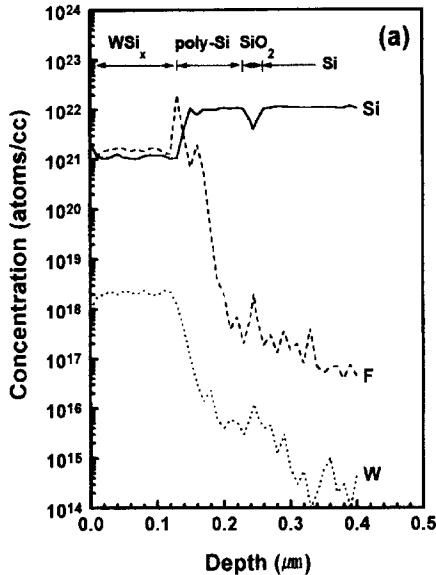
그림 3. 산화된 텅스텐 폴리사이드의 SEM 단면사진
Fig. 3. SEM photograph of oxidized W-polycide.

텅스텐 실리콘의 결정립(grain) 성장이 뚜렷하게 나타났으며, 텅스텐 실리콘/다결정 실리콘과 다결정 실리콘/산화막의 계면상태도 양호함을 볼 수 있다. Sadana등은 텅스텐 폴리사이드(WSi_{2.6}/poly-Si)막의 산화막 형성은 텅스텐 실리콘(WSi_{2.6})막내의 과잉(excess) Si이 초기 산화과정동안 소모되고, 그 후에 다결정 실리콘막에서 Si가 텅스텐 실리콘막을 통과하여 소모된다고 보고하였다^[12,13]. 이것은 텅스텐 실리콘과 다결정 실리콘층의 두께가 감소한 SEM 단면사진에서 확인할 수 있었다.

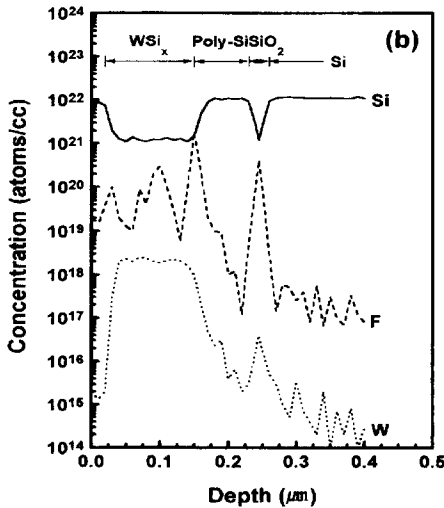
Koburger등은 실리콘 하부의 다결정 실리콘 두께가 얇으면 폴리사이드 구조에서 게이트 산화막의 내압 감소를 초래한다고 보고하였다^[14]. 따라서 다결정 실리콘의 두께 감소는 산화막의 내압 감소를 초래하는 금속 오염(게이트 산화막내의 W 원자의 침투)과 기계적인 응력을 일으킬 것으로 생각된다. 그림 4는 열처리 온도에 따른 텅스텐 폴리사이드막의 SIMS 프로파일이다. 이 때 그림 4(a)는 열처리하지 않은 텅스텐 폴리사이드이고, 그림 4(b)는 전식산소 분위기에서 900°C, 30분 동안 열처리한 텅스텐 폴리사이드이다.

그림 4(a)와 4(b)를 비교해 보면 열처리 온도가 증가할수록 게이트 산화막내에 불소(F)와 텅스텐(W) 원자의 확산이 증가한 것을 볼 수 있다. 이것은 텅스텐 실리콘(WSi_x)막은 원료 가스로 SiH₄와 WF₆가스를 사용하여 증착하기 때문에 WF₆에서 분해된 F가 텅스텐 실리콘막내에 잔존하게 되고, 열처리 동안 게이트 산화막내로 확산하였기 때문이다. 또한, 열처리 온도가 증가함에 따라 다결정 실리콘으로부터 Si 소모가 많아져 텅스텐 폴리사이드 산화막 두께는 증가하는 반면, 다결정 실리콘 두께는 감소하여 산화막내로 W

확산이 증가한 것으로 생각된다. 따라서 텅스텐 폴리사이드 전극에서 게이트 산화막의 내압 감소는 열처리 동안 불소와 텅스텐의 확산이 증가하였기 때문이다. 그림 5은 열처리 온도에 따른 결함 밀도와 응력을 나타 내었다.



(a)



(b)

그림 4. (a) as-deposited와 (b) 900°C, 30분 열처리한 텅스텐 폴리사이드 게이트구조의 SIMS 프로파일

Fig. 4. SIMS profiles of W-polycide gate structure after (a) as-deposited and (b) 900°C, 30min annealing.

이 때 8MV/cm 이하의 내압을 불량으로 하고 결함은 프와송 분포 $\rho S = -\ln(1-P)$ (ρ : 결함밀도, S: 게이트전극 면적, P: 불량률)의 관계에서 결함밀도를 계산하였다. 전체 응력은 응력×텅스텐 실리사이드막 두께로 하였다. 이 때 텅스텐 실리사이드막은 모두 인장 응력(tensile stress)을 나타내었다. 열처리 온도가 증가할수록 게이트 산화막의 결함 밀도와 전체 응력이 증가하였다.

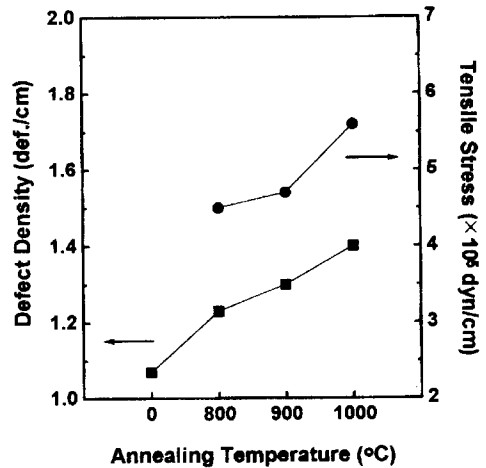


그림 5. 열처리 온도에 따른 게이트 산화막의 결함밀도와 텅스텐 폴리사이드막의 응력

Fig. 5. Defect density of gate oxide and stress of W-polycide film as a function of annealing temperature.

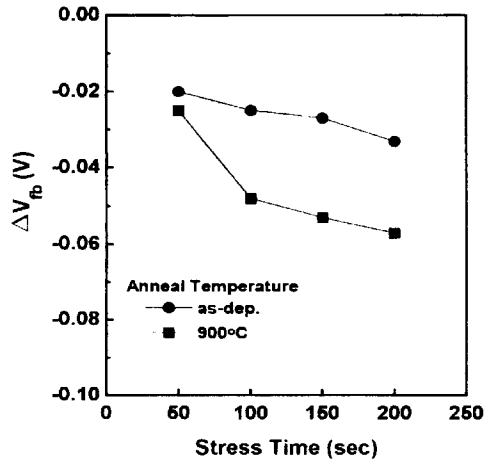


그림 6. 열처리 온도에 따른 텅스텐 폴리사이드 게이트 전극의 플랫폼 전압변화

Fig. 6. Flat band voltage shift (ΔV_{fb}) of W-polycide gate electrode as a function of annealing temperature.

따라서 열처리 온도가 증가하여 응력이 증가하면 게이트 산화막에 스트레스를 가하게 되어 게이트 산화막의 결함 밀도가 증가하는 것을 알 수 있다.

그림 6은 텅스텐 폴리사이드 게이트 전극에서 10MV/cm의 전계를 가한 후 열처리 온도와 스트레스 시간에 따른 플랫밴드 전압변화(ΔV_{fb})를 나타내었다. 열처리로 인해 산화막내의 준위가 발생하여 플랫밴드 전압이 증가하는 것을 알 수 있다.

그림 5와 6의 결과로부터 게이트 산화막의 결함 밀도는 텅스텐 폴리사이드막 응력과 밀접한 관계가 있었다. 또한, 결함 밀도의 증가가 산화막내의 준위 발생과 관련이 있기 때문에 텅스텐 폴리사이드 전극에 있어서 게이트 산화막의 내압 감소는 텅스텐 폴리사이드막 응력으로 산화막내에 준위가 발생하였기 때문이다.

IV. 결 론

텅스텐 폴리사이드 게이트전극은 다결정 실리콘 게이트전극에 비해 파괴전계가 낮았고, B 모드 누적불량률이 많았다. 또한, 건식산소 분위기에서 열처리 온도가 증가할수록 B 모드 누적불량률이 증가하였다. 텅스텐 폴리사이드 게이트전극의 내압 감소는 열처리 온도가 증가할수록 게이트 산화막내로 텅스텐 폴리사이드막에 잔존에 있던 불소의 확산과 다결정 실리콘의 두께 감소로 텅스텐의 확산이 증가하였기 때문이며, 응력이 커짐에 따라 결함밀도가 증가하여 산화막내의 준위가 발생하였기 때문이다.

참 고 문 헌

- [1] K. C. Saraswat and F. Mohammadi, "Effect of interconnection scaling on time delay of VLSI circuits," IEEE Trans. Electron Devices, vol. ED-29, pp. 645-650, 1982.
- [2] Y. Pauleau, "Interconnect materials for VLSI circuits," Solid State Technol., vol. 30, no. 20, pp. 61-66, 1987.
- [3] S. P. Murarka, "Self-aligned silicides or metals for very large scale integrated circuit applications," J. Vac. Sci. Technol., vol. B4, no. 6, pp. 1352-1356, 1986.
- [4] W. I. Lehrer and J. M. Pierce, "Low temperature growth of tungsten disilicide," J. Electrochem. Soc., vol. 81, no. 5, pp. 588-595, 1981.
- [5] M. Y. Tsai, F. M. D. Heurle, C.S. Peterson and R.W. Johnson, "Properties of tungsten silicide film on polycrystalline silicon," J. Appl. Phys., vol. 52, pp. 5350-5355, 1981.
- [6] J. Kato, M. Asahina, H. Shimura and Y. Yamamoto, "Rapid annealing of tungsten polycide films using halogen lamps," J. Electrochem. Soc., vol. 133, pp.794-799, 1986.
- [7] S. P. Murarka, D. B. Fraser, A. K. Sinha and H. J. Levinstein, "Refractory silicides of titanium and tantalum for low-resistivity gates and interconnection," IEEE Trans. Electron Devices, vol. ED-27, pp. 1409-1417, 1980.
- [8] J. Kato, M. Takeuch and K. Tanaka, "Gate oxide degradation caused by anomalous oxidation of BF_2 ion implanted $MOSi_2$ on polycrystalline silicon," J. Electrochem. Soc., vol. 141, no. 9, pp. 2552-2556, 1994.
- [9] M. Shatzkes and D. L. Crook, "Impact ionization and positive charge in thin SiO_2 films" J. Appl. Phys., vol. 47, no. 7, pp. 3192-3197, 1976.
- [10] I. C. Chen, S. E. Holland and C. Hu, "Electrical breakdown in thin gate and tunneling oxides," IEEE Trans. Electron Devices, vol. ED-32, pp. 413-421, 1982.
- [11] K. Yoneda, Y. Fukuzaki, K. Satoh, Y. Todokoro and M. Inoue, "Post-annealing effect on the reliability of ultra-thin silicon dioxide with polysilicon gate," Pro. of Mat. Res. Soc. Symp., vol. 182, pp. 321-326, 1990.
- [12] D. K. Sadana, A. E. Morgan, M. H. Norcott and S. Naik, "Annealing and oxidation behavior of low-pressure chemical vapor deposited tungsten silicide layers on polycrystalline silicon gates," J. Appl. Phys., vol. 62, no. 7, pp. 2830-2835, 1987.
- [13] C. M. Lee, S. B. Han, H. B. Im and J. G. Lee, "Effects of phosphorus doping level and the annealing treatment on the oxidation kinetics of tungsten silicide," J. Appl. Phys., vol. 70, no. 3, pp. 21742-1749, 1991.

[14] C. Koburger, M. Ishag and H. J. Geipel,
"Electrical properties of composite
evaporated silicide/polysilicon electrodes,"

J. Electrochem. Soc., vol. 129, no. 6, pp.
1307-1312, 1982.

저 자 소 개



鄭 會 煥(正會員)

1962년 3월 22일생. 1982년 3월 ~
1986년 2월 한양대학교 전자공학과
공학사. 1986년 9월 ~ 1988년 8월
경희대학교 전자공학과 공학석사.
1988년 9월 ~ 1996년 2월 경희대
학교 전자공학과 공학박사. 1996년

3월 ~ 1996년 10월 한국전자통신연구소 반도체연구단
박사후연구원. 1996년 10월 ~ 현재 특허청 반도체 심
사관. 관심분야는 반도체 재료 및 MEMS 등임



李 鍾 泫(正會員)

1958년 3월 13일생. 1978년 3월 ~
1981년 2월 서울대학교 기계공학과
공학사, 1981년 3월 ~ 1983년 2월
KAIST 기계공학과 공학석사. 1983
년 3월 ~ 1986년 2월 KAIST 기
계공학과 공학박사. 1986년 3월 ~

현재 한국전자통신연구소 반도체연구단 책임연구원. 관
심분야는 MEMS 및 microlithography 기술 등임

丁 寬 秀(正會員) 第 33卷 A編 第 3號 參照