

論文96-33B-3-6

# 광송신기용 광파워 안정화 회로의 집적회로 설계

## (Integrated Circuit Design of Power-Stabilizing Circuitry for Optical Transmitter)

李 誠 哲 \*, 朴 起 炫 \*\*, 丁 恒 根 \*\*

(Sung-Chul Lee, Kee-Hyun Park, and Hang-Geun Jeong)

## 요 약

광전송시스템중 광송신기는 전기신호를 광신호로 변환하는 장치로서 고속 전류 펄스로 광원인 레이저 다이오드를 구동하는 부분과 노치현상, 전원전압, 주위온도의 변화에 대하여 광파워를 안정화하기 위한 부분으로 구성되어 있다. 본 논문에서는 광송신기 회로의 대부분을 차지하는 광파워 안정화 회로를 집적회로화하기 위하여 필요한 핵심블록인 연산증폭기 및 기준전압 발생회로의 설계 및 SPICE 시뮬레이션을 통한 검증을 다룬다. 연산증폭기로서는 2단 폴디드 캐스코드단과 AB급 출력단을 사용하였으며 기준전압발생회로로서는 밴드갭 레퍼런스 회로를 택하였다. 설계한 회로를 칩 제조를 위하여 3 $\mu$ m CMOS 설계규칙에 따라 레이아웃하였다.

## Abstract

An optical transmitter, which is a key component of the optical transmission system, converts the electrical signal to optical signal and consists of a high-speed current-pulse driver for laser diode and low-speed feedback loops that stabilize optical power against aging, power supply voltage fluctuations, and ambient temperature changes. In this paper, the power-stabilizing part, which forms the bulk of the optical transmitter circuitry, was designed in integrated circuits. Operational amplifiers and reference voltage generation circuits, which were identified as key building blocks for the power-stabilizing feedback loops, were designed and were subsequently verified through HSPICE simulations. The designed operational amplifier consists of a two-stage folded cascode amplifier and class AB output stage, whereas the reference voltage is obtained by bandgap reference circuits. Finally the power-stabilizing circuitry was laid out based on 3 $\mu$ m CMOS design rules for fabrication.

## I. 서 론

사회가 정보화 시대에 진입함에 따라 통신 서비스도

\* 正會員, 電子部品綜合技術研究所  
(KETI : Korea Electronics Technology Institute)

\*\* 正會員, 全北大學校 電子工學科  
(Department of Electronic Engineering, Chonbuk National University)

※ 본 연구는 서울대학교 반도체공동연구소의 교육부  
반도체분야 학술연구조성비(과제번호 : ISRC 94-E  
-5080)에 의해 수행되었습니다.

接受日字: 1995年6月29日, 수정완료일: 1996年2月15日

종래의 음성통신 위주에서 탈피하여 데이터 전송, 팩스 서비스등이 보편화되어 가고 있으며 앞으로는 정지영상 신호 및 동영상신호의 전송을 이용한 멀티미디어 통신이 널리 보급될 전망이다. 따라서 통신망은 음성, 데이터, 정지 및 동영상 신호등을 통합적으로 취급하기에 적합한 비동기식 전달모드(asynchronous transfer mode)를 근간으로 구축하는 광대역 종합정보통신망(broadband integrated services digital network)으로 진화하고 있다.<sup>[1]</sup> 이러한 광대역 종합정보통신망을 구축하기 위한 고속 전송수단으로서의 광전송장치가 주로 사용되며 동기식 전송방식의 ITU-T 표준인 SDH (synchronous digital hierarchy)에

따른 광전송장치가 국내외에서 이미 개발되었거나 개발중에 있다.<sup>[2]</sup> 국내에서는 지금까지 광통신 시스템의 연구개발결과로 광송수신기의 회로 설계기술은 축적되어 왔으나 대부분 상용집적회로 및 개별부품(discrete component)을 인쇄기판에 실장하여 조립하는 방법을 사용하여 왔다. 그러나 생산단가를 낮추고 신뢰도를 높이기 위해서는 광송수신기도 가능한 한 많은 부분을 집적회로화시키는 것이 필요하다. 본 논문에서는 레이저 다이오드를 사용한 광송신기의 회로중에서 광파워와 레이저 다이오드의 동작온도를 안정화하는 회로를 집적화하는 방법을 다룬다.

레이저 다이오드를 사용한 대부분의 광송신기에서는 광파워를 안정화시키고 광원인 레이저 다이오드(LD : laser diode)의 수명을 연장시키기 위하여 광궤환(光歸還)방식과 항온회로방식을 병용하고 있다.<sup>[3-5]</sup> 광궤환방식은 광파워를 안정시키기 위하여 모니터 포토다이오드(monitor photodiode)에 흐르는 전류가 일정하도록 레이저 다이오드의 바이어스 전류를 조절하는 광궤환루프(optical feedback loop)를 사용하는 것이다. 항온회로방식에서는 레이저 다이오드의 동작온도를 일정하게 유지하기 위하여 보통 열전냉각소자(thermo-electric cooler: TEC)의 열펌핑을 이용한 온도 제어루프(temperature control loop)를 구현한다. 이러한 기능을 수행하는 저속 구동회로를 종전에는 상용 연산증폭기를 사용하여 구현하였으나 구동회로의 부피, 제작비용, 및 전력소모를 줄이기 위하여 집적회로화할 필요가 있다.

칩 제조에 사용할 집적회로 기술은 동작속도, 전력소모, 및 집적도등을 고려하여 CMOS 또는 BiCMOS 기술을 목표로 하였다. 집적회로를 설계하는 작업은 개별회로를 설계하는 것과 달리 면적, 부품의 절대값의 정확도, 사용가능한 부품 종류, 사용할 수 있는 부품값의 범위등에서의 제한을 받으므로 근본적인 회로설계 방식의 수정이 필요하다. 집적회로 설계에 있어서는 제조하는 데에 많은 시간과 경비가 소요되기 때문에 가능한 한 시뮬레이션을 통하여 검증하여야 한다. 광궤환루프는 광경로(光經路)를 포함하고 있고 온도제어루프는 열경로(熱經路)를 포함하고 있어서 두 루프의 성능을 제대로 시뮬레이션하기 위해서는 광경로와 열경로를 전기적 등가회로로 나타낼 필요가 있다. 광경로의 모델링을 위하여 레이저 다이오드와 포토다이오드의 전기적 등가회로를 유도하였으며 열경로의 모델링을

위하여 TEC, 방열판(heat-sink), 더미스터(thermistor)의 전기적 등가회로를 유도하였다. 이러한 모델링 방법은 광송신기 전체의 온도특성등의 SPICE 시뮬레이션을 용이하게 할 것이다.<sup>[6]</sup>

광궤환루프와 온도제어루프의 설계에 있어서 가장 핵심적인 부분은 연산증폭기이다. 본 논문에서는 연산증폭기의 이득, 전류 구동능력, 전압 스윙폭을 크게 하기 위하여 2단 폴디드 캐스코드 증폭기와 AB급 출력 버퍼를 사용하여 설계하였다. 시스템매트 오프셋(systematic offset)을 줄이기 위하여 캐스코드 부하를 대칭구조로 구성하였으며 그에 따라 신호의 스윙폭이 감소하는 것을 방지하기 위하여 차동증폭단과 이득단 사이에 전압레벨이동을 위한 소스팔로워(source-follower)를 첨가하였다. 연산증폭기의 바이어스 전류를 안정시키기 위하여 칩 전체에 주 바이어스 한 개를 두고 기준 전류를 발생하는 전압을 발생시킨 다음 그 전압을 각 연산증폭기의 부 바이어스 회로에 가하여 원하는 안정된 바이어스 전류를 얻도록 하였다. 광송신기의 광파워 안정화는 광궤환루프와 열궤환루프를 통하여 이루어진다. 이러한 궤환루프의 회로에는 전원전압, 주위온도등에 거의 영향을 받지 않는 기준 전압이 필요하다. 기준 전압을 발생하기 위하여 밴드갭 레퍼런스(bandgap reference)회로를 설계하였다.

본 논문의 구성은 II장에서 광송신기의 광파워를 일정하게 유지시키는 광궤환루프 및 온도제어루프의 모델링방법을 설명하고, III장에서는 연산증폭기, 바이어스 회로 및 밴드갭 레퍼런스 회로의 설계방법을 다루며, IV장에서는 III장에서 설계한 회로에 대한 시뮬레이션 결과를 제시하고, 마지막으로 V장에서는 결론을 맺는다.

## II. 광궤환루프 및 온도제어루프의 모델링

본 장에서는 광송신기에서 광파워를 안정화시키는 광궤환루프와 온도제어루프를 모델링하는 방법을 다룬다. 그림 1은 광궤환루프에 대한 간단한 블록다이아그램이다. 레이저 다이오드의 광출력의 일부는 모니터 포토다이오드에 가해져 광전류로 바뀐다. 포토다이오드의 광전류는 궤환전압으로 변환되며 변환된 전압과 목표로 하는 전압과의 차이가 증폭되어 광파워를 안정화하도록 바이어스 전류를 결정한다. 광궤환루프중에서 레이저 다이오드로부터 모니터 포토다이오드까지가 광경

로를 이룬다.

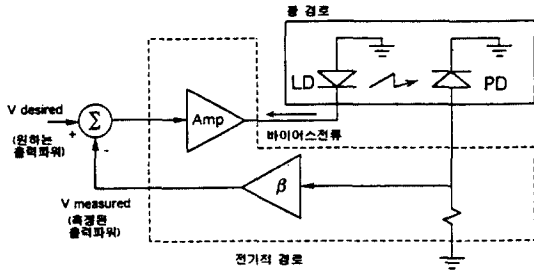


그림 1. 광제어루프의 간단한 블록다이어그램  
Fig. 1. Simplified block diagram for the optical feedback loop.

광경로에 대한 전기적 등가회로를 그림 2(a)에 나타낸다. 그림 2(b)는 일반적인 레이저 다이오드의 전류 대 전압 특성 곡선이며 그림 2(a)의 첫째 단으로 모델된다. 그림 2(a)의 둘째 단은 그림 2(c)의 광파워 대 전류의 비선형 관계를 나타낸다. 앞에서 설명된 두 단을 연결하기 위해 첫번째 단에 흐르는 전류는 널(null) 전압원을 통해 전류제어 전압원(HLD1)으로 전달된다. 레이저 다이오드의 문턱전류는 주위온도에 영향을 받으므로 전압원 ELD2로 표현된다. ELD2를 제어하는 전압은 주위온도에 대한 등가전압(V<sub>A</sub>)이다. 그림 2(d)는 일반적인 포토다이오드의 특성을 나타내며 그림 2(a)의 마지막 단으로 모델된다.

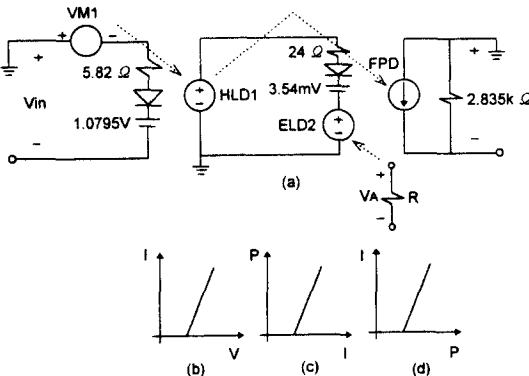


그림 2. 광경로의 전기적 등가회로 및 특성곡선  
Fig. 2. Electrical equivalent circuit and characteristic curve for the optical path.

에러 앰프를 포함한 전체 광제어루프에 대한 블록다이어그램은 그림 3과 같다. 레이저 다이오드의 광파워

는 식 (1)과 같이 전체 평균 전류와 온도에 영향을 받는 문턱전류(I<sub>TH</sub>)의 함수이다.

$$P = P(I_T, I_{TH}) \quad (1)$$

여기에서  $I_T = I_B + I_D$ 이고  $I_{TH} = I_{TH0} + K_1(T - T_0)$ 이다.  $I_T$ 는 전체평균전류,  $I_B$ 는 바이어스 전류,  $I_D$ 는 평균 신호전류이다.  $K_1$ 은  $I_{TH}$ 의 온도계수이다.

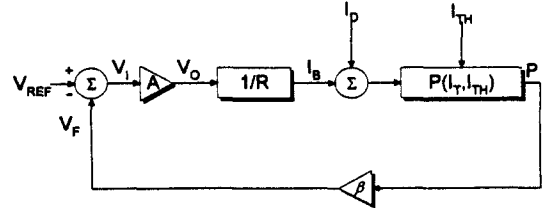


그림 3. 광제어루프의 세부적인 블록다이어그램  
Fig. 3. Detailed block diagram for the optical feedback loop.

레이저 다이오드의 평균 광파워 출력으로부터 케환전압까지의 변환 이득(conversion gain)인  $\beta$ 는 포토다이오드의 응답도와 부하 저항의 곱으로 표현된다. 광제어루프의 성능은 식 (2)와 같이 동작 온도의 변동에 따른 광파워의 변화(S<sub>OF</sub>)로 나타낼 수 있다.

$$S_{OF} = \frac{T}{P} \frac{dP}{dT} \quad (2)$$

식 (2)에서  $\frac{dP}{dT}$ 는 식 (1)의 관계로부터 다음과 같이 표현된다.

$$\frac{dP}{dT} = -\frac{S \frac{dI_{TH}}{dT}}{1 - S \frac{dI_T}{dP}}$$

여기에서 S는 레이저 다이오드의 광파워 대 전류 특성곡선의 기울기이다. 그리고

$$\begin{aligned} \frac{dI_{TH}}{dT} &= K_1 \\ \frac{dI_T}{dP} &= \frac{dI_T}{dV_O} \frac{dV_O}{dV_I} \frac{dV_I}{dI_{TH}} \frac{dI_{TH}}{dP} \text{ 이다.} \end{aligned}$$

온도제어루프에서 레이저 다이오드의 동작온도는 더 어미스터에 의하여 감지되며 목표온도와 더 어미스터에 의하여 감지된 온도와의 차이가 에러증폭기를 통해 증폭된다. 증폭된 신호는 열전냉각소자에 흐르는 전류를 제어하여 레이저 다이오드의 동작온도를 거의 일정하

게 유지한다. 이 루프중에서 열전냉각소자와 더어미스터 사이가 열경로를 이루며 그에 대한 전기적 등가회로가 그림 4에 있다.

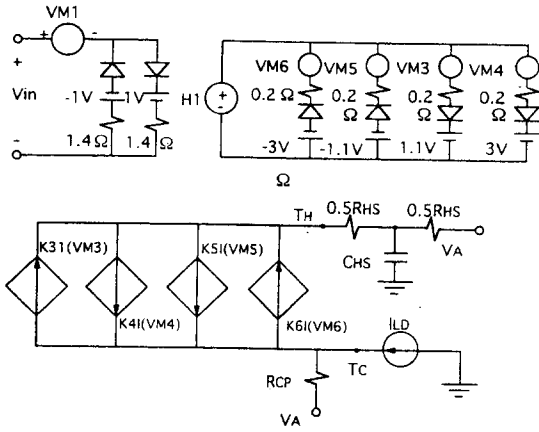


그림 4. 열경로에 대한 전기적 등가회로  
Fig. 4. Electrical equivalent circuit for the thermal path.

그림 4의 첫째 단은 열전냉각소자의 전류 대 전압 특성을 모델링한다. 전형적인 열전냉각소자의 열펌핑 대 전류와의 관계는 그림 5와 같이 역대칭을 이루고 있으므로 곡선의 우반면만 고려한다. 이 곡선은 두개의 전환점을 가진다. 이들 중 ㉑점은 문턱 효과를 나타내고 있으며 다이오드 회로망에 의해 모델링된다. 그러나 ㉒점위에서 기술기의 감소는 다이오드 회로망만으로는 모델링되지 않을 수 없다.

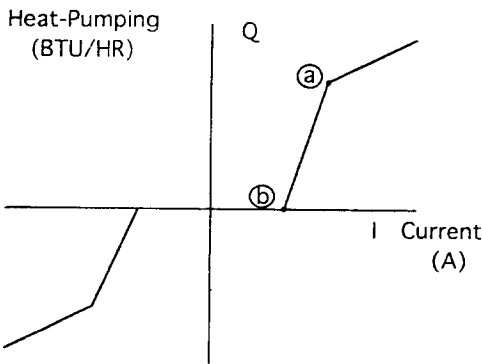


그림 5. 열전냉각소자의 열펌핑 대 전류에 대한 특성곡선  
Fig. 5. Heat-pumping vs. current characteristics for the thermo-electric cooler.

이러한 문제점을 해결하기 위하여 그림 4의 셋째 단

처럼 역방향으로 전류원을 추가하였다.

레이저 다이오드는 열전냉각소자의 콜드플레이트(cold plate)에 장착되고 방열판은 냉각소자의 핫플레이트(hot plate)에 접속된다. 열전냉각소자는 펠티에 효과를 이용하여 콜드플레이트에서 핫플레이트로 열을 펌핑함으로써 냉각작용을 얻고 또는 전류의 방향을 바꾸면 열펌핑방향이 바뀌어져 가열소자로 사용할 수도 있다. 열전냉각소자의 콜드플레이트로 유입되는 열은 레이저 다이오드에 의해서 발생하는 열과 주위공간으로부터 받는 열이 있다. 레이저 다이오드에서 발생하는 열은 전류원으로 나타낼 수 있으며 주위공간으로부터 받는 열은 주위와의 열저항으로서 모델링할 수 있다. 외부와 냉각소자사이의 열흐름을 적절히 모델링하기 위하여 열저항을 계산하여야 한다. 이 열저항은 절연판 위에 놓여 있는 원판으로 근사할 수 있으므로 식 (3)에 의하여 계산할 수 있다.

$$R_{CP} = \frac{1}{2K_{air}d} \tag{3}$$

여기에서  $K_{air}=0.025W/m^{\circ}C$ 이고  $d$ 는 표면적의 지름을 나타낸다.

방열판과 주위공간사이의 열저항을 정확히 구하기 위해서는 컴퓨터를 이용한 수치해석방법이 적용되어야 한다. 본 논문에서는 기하학적 구조인 원통형 실린더 구조로 근사하였다. 이런 구조에 적용하기 위해서는 방열판에 부착되어 있는 날개의 표면적까지 고려한 실효 표면적을 구하여야 한다. 이 구조에 대한 열저항은 식 (4)를 이용하여 구할 수 있다.

$$R_{HS} = \frac{1}{2\pi K_{air}L} \ln \frac{2L}{d} \tag{4}$$

여기서  $L$ 은 방열판의 두께를 나타낸다.

레이저 다이오드의 동작온도를 감지하기 위하여 더어미스터는 냉각소자의 콜드플레이트에 부착된다. 인가전압(V)에 의해 더어미스터에 흐르는 전류(I)는 식 (5)와 같이 표현할 수 있다.

$$I = \frac{1-K_2V_{REF}}{R_{REF}} V + \frac{K_2}{R_{REF}} V_C V \tag{5}$$

여기에서  $V_C$ 는 열전냉각소자의 콜드플레이트 온도에 대한 등가전압을 나타내고  $K_2$ 는 더어미스터의 온도계수이다. 식 (5)에서 우변의 두번째 항은  $V_C$ 와  $V$ 에 의해서  $I$ 가 제어되므로 선형소자로 나타낼 수 없다. 이

문제를 해결하기 위해서 MOS 트랜지스터가 선형영역 (linear region)에서 동작할 때 식 (6)에서 볼 수 있는 바와 같이 드레인 전류가 두 전압의 곱에 의존한다는 성질을 이용한다. 식 (6)을 이용하여 더미스터에 대한 전기적 등가회로는 그림 6과 같이 나타낼 수 있다.

$$\begin{aligned}
 I_D &= \frac{K}{2} [ 2V_{DS}(V_{GS} - V_T) - V_{DS}^2 ] \\
 &= KV_{DS}V_{GS} \quad \text{for } V_{DS} \ll V_{GS} - V_T \\
 &= V_{DS}V_{GS} \quad \text{for } K = 1
 \end{aligned}
 \tag{6}$$

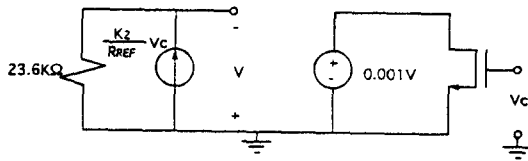


그림 6. 더미스터에 대한 등가회로  
Fig. 6. Equivalent circuit for the thermistor.

이론적인 해석을 위하여 전체 온도제어루프의 블록 다이어그램은 그림 7과 같이 나타낸다. 이 블록다이어그램을 해석하면  $V_A$ 를  $V_C$ 로서 표현할 수 있고 그 결과는 식 (7)과 같다.

$$V_A = V_C + 3.4R_{CP}GA \frac{R_{TH}}{R_{TH} + R_{LOW}} \tag{7}$$

$$R_{TH} = R_{REF} [ 1 - K_2(V_C - V_{REF}) ]$$

$$G = 1.5 \frac{dI}{dV} \frac{dQ}{dI}$$

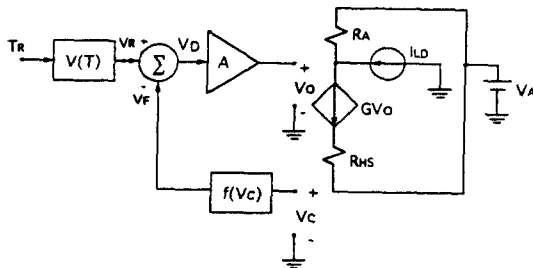


그림 7. 온도제어루프의 블록다이어그램  
Fig. 7. Block diagram for the temperature control loop.

여기에서  $R_{LOW}$ 는 더미스터 브릿지(bridge)의 아랫부분 저항이고 A는 앰프 이득을 나타낸다. 성능평가는

주위온도 변화에 대한 레이저 다이오드의 동작온도의 변동으로 나타내며 식 (8)과 같다.

$$\frac{dV_C}{dV_A} = \frac{1}{1 + 3.4R_{CP}GA \frac{K_2 R_{REF} (R_{TH} - R_T)}{R_T^2}} \tag{8}$$

여기에서  $R_T = R_{TH} + R_{LOW}$ 이다.

### III. 연산증폭기 및 기준전압발생기의 설계

광송신기의 광파워 및 온도 안정화회로의 집적회로화 작업에서 가장 핵심이 되는 일은 CMOS 연산증폭기와 밴드갭 레퍼런스 회로의 설계이다. 설계된 연산증폭기의 회로는 그림 8과 같다.

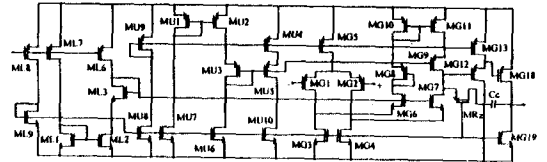


그림 8. 2단 폴드드 캐스코드 연산증폭기  
Fig. 8. Two-stage folded cascode operational amplifier.

연산증폭기의 설계에 있어서 연산증폭기의 제반 성능들은 서로 독립적으로 정할 수 없다. [7] 예를 들어 슬루레이트(slew rate)와 이득대역적은 식 (9)와 식 (10)에서 볼 수 있는 바와 같이 보상 커패시턴스( $C_C$ )에 반비례하므로 슬루레이트 대 이득대역적의 비는 식 (11)로 표현되며 보상 커패시턴스 값에 무관하게 된다. 한편 연산증폭기의 DC 이득은 식 (12)와 같이 표시할 수 있는데 채널길이 변조 파라미터인  $\lambda$ 가 공정과 채널길이에 의하여 이미 정하여졌으므로 DC 이득 역시 게이트-소스 전압과 문턱전압과의 차이( $\Delta V$ )에 의하여 결정된다. 즉  $\Delta V$ 가 정하여지면 슬루레이트 대 이득대역적뿐만 아니라 DC 이득도 정해진다. 실제 설계에서는 요구되는 채널폭을 고려하여  $\Delta V$ 를 너무 작게 할 수 없다. 본 설계에서는  $\Delta V$ 를 0.27V로 정하였다. 목표로 하는 슬루레이트  $2V/\mu S$ 를 식 (11)에 대입하면 이득대역적이 결정된다. 정해진 이득대역적을 만족시키기 위하여 채널폭과 보상 커패시턴스 두 개의 파라미터를 조정할 수 있다. 보상 커패시턴스값이 너무 작으면 기생용량(parasitic capacitances)에 영향을 받기 쉽고 너무 크면 면적을 많이 차지하므로 수십 pF

이하가 바람직하다. 여기에서 보상 커패시턴스를 5pF로 정하면 식 (9)에 의하여 차동입력단 트랜지스터 (MG1, MG2)의 드레인 전류는 5μA가 된다.

$$S_R = \frac{2I_{MG1}}{C_C} \quad (9)$$

$$GB = \frac{g_{m1}}{C_C} \quad (10)$$

$$\frac{S_R}{GB} = 2\pi(V_{SG_{m1}} - |V_{TP_{m1}}|) \quad (11)$$

$$A_o = g_{m1} g_{m11} R_{o1} R_{o11} \quad (12)$$

$$g_{m1} = \sqrt{2I_{D_{MG1}} K_P \left(\frac{W}{L}\right)_{MG1}}$$

$$g_{m11} = \sqrt{2I_{D_{MG11}} K_P \left(\frac{W}{L}\right)_{MG11}}$$

여기에서  $K_P$ 는 트랜스컨덕턴스(transconductance) 파라미터를 나타낸다.  $R_{o1}$ 는 차동증폭단의 출력저항을 나타내며  $R_{o11}$ 는 이득단의 출력저항이다.

이 CMOS 연산증폭기에서 이득단은 M18과 M19 두 MOS 트랜지스터들로 구성된다. 시스템틱 오프셋을 줄이기 위해 MG8 트랜지스터를 삽입하였으며 그 결과 출력스윙폭이 작아지는 것을 막기 위하여 MG12와 MG13 트랜지스터들로 이루어진 레벨 쉬프터를 첨가하였다. MG3와 MG4 트랜지스터들의 드레인-소스 전압이 포화영역에서 동작할 수 있도록  $V_{dsat}$ 보다 400mV정도 더 크게 한다. 증폭기의 안정을 위한 도미넌트 폴을 만들기 위하여 보상 커패시턴스를 달고 널링 저항을 그 보상 커패시턴스와 직렬로 연결하여 s 평면의 오른쪽 반평면에 놓여 있는 제로를 상쇄시킨다. 이때 널링 저항의 값은 식 (13)과 같으며 이 저항은 식 (14)와 같은 W/L비를 갖는 PMOS 트랜지스터 MRz를 선형영역에서 동작시킴으로써 얻는다.

$$R_z = \frac{1}{g_{m11}} \quad (13)$$

$$\left(\frac{W}{L}\right)_{R_z} = K_P(V_{SG_{m11}} - |V_{TP11}|) \quad (14)$$

보통 칩 내부에 있는 다른 회로를 구동하는 경우에는 별 문제가 없으나 칩 외부에 있는 부하나 커패시턴스가 큰 부하를 구동하는 경우에는 안정도등에 문제가 발생할 수 있다. 그러한 경우는 소스팔로워 증폭기를 달아 출력저항을 낮출 수 있으나 출력전압의 스윙폭이 감소하게 된다. 이런 문제점을 해결하기 위하여 이득단의 출력에 AB급 전력 증폭기를 사용하여 연산증폭기

의 출력스윙폭을 최대한 증가시키도록 한다.<sup>[8]</sup>

연산증폭기의 바이어스 전류를 안정시키기 위하여 칩 전체에 주 바이어스 한 개를 두고 기준 전류를 발생하는 전압을 발생시킨 다음 그 전압을 각 연산증폭기의 부 바이어스 회로에 가하여 원하는 안정된 바이어스 전류를 얻도록 하였다.<sup>[9]</sup> 주 바이어스 회로는 면적이 다른 두 바이폴라 트랜지스터와 두 MOSFET에 같은 전류를 흘릴 때 발생하는 베이스-에미터 전압과 게이트-소스 전압에서의 차이를 이용한 자기 바이어스(self-bias) 회로이다. 따라서 동작 초기에 시동회로가 필요하다. 이 주 바이어스 회로는 전원전압 또는 트랜지스터의 문턱전압등이 변하여도 바이어스 전류가 거의 변하지 않도록 하기 위하여 필요한 전압을 부 바이어스 회로에 공급한다.

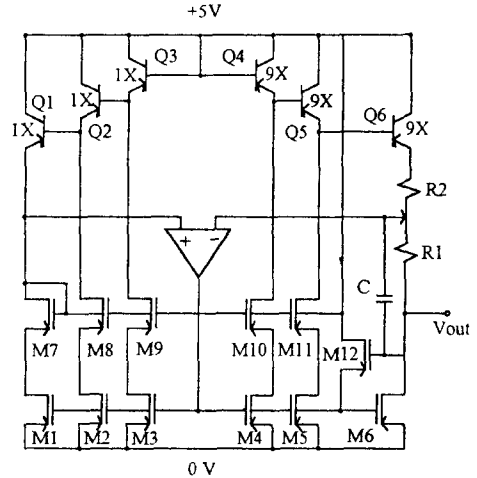


그림 9. 밴드갭 레퍼런스의 회로도  
Fig. 9. Circuit diagram for the bandgap reference circuit.

밴드갭 레퍼런스 회로는 온도 및 바이어스전압, 소자의 파라미터 변동에 대하여 안정된 전압을 발생하는 기능을 수행한다. 본 논문에서 채택한 밴드갭 레퍼런스 회로에서는 그림 9에서와 같이 바이폴라 트랜지스터를 좌우대칭의 3단구조로 사용하였다.<sup>[8]</sup> 그 이유는 연산증폭기의 입력부분에서 바이폴라 트랜지스터의 베이스-에미터 전압의 차( $\Delta V_{BE}$ )를 3배로 늘림으로써 연산증폭기에서 생기는 오프셋전압( $V_{OS}$ )의 상대적인 영향을 줄이기 위해서이다. 오프셋전압은  $3\Delta V_{BE}$ 에 비하여 거의 0으로 본다. 바이폴라 트랜지스터의  $V_{BE}$ 와  $\Delta V_{BE}$ 를 알면  $V_{BG}$ 는  $R_1/R_2$ 의 비를 이용하여 구한다. 이

때 연산증폭기의 입력부분에서 Q1과 Q6 바이폴라 트랜지스터간의 에미터전압차가  $3\Delta V_{BE}$ 가 된다. 전류원으로서 동작하는 MR1에서 MR6까지의 MOSFET 트랜지스터들간에 채널 폭/채널 길이 비가 같기 때문에  $3\Delta V_{BE}/R1$ 에 해당하는 전류가 각각의 트랜지스터에 흐른다. 따라서 출력전압은 식 (15)와 같이 표현할 수 있다. 밴드갭 레퍼런스의 회로에서 연산증폭기 주위에 캐환 경로가 존재하므로 회로의 안정을 위하여 커패시턴스 C를 첨가하였다.

$$V_{BG} = 3V_{BE} + (3\Delta V_{BE} + V_{OS}) \cdot (1 + \frac{R_2}{R_1}) \quad (15)$$

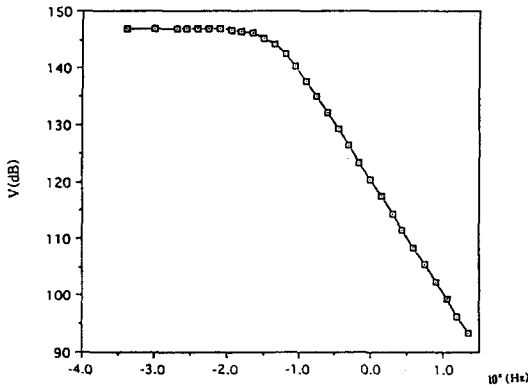


그림 10. 광파워의 온도에 대한 감도(SOF)  
Fig. 10. Sensitivity of the optical power with respect to the ambient temperature.

#### IV. 시뮬레이션 및 시험 결과

광캐환루프에 대한 결과를 그림 10에 나타내었다. 그림 10에서 실선은 이론적인 결과에 의한 광파워의 온도에 대한 감도( $S_{OF}$ )를 나타내고 점선은 SPICE 시뮬레이션에 의하여 얻은 결과를 보여준다. 온도제어 캐환 루프의 성능은 주위 온도 변화에 대한 레이저 다이오드 동작 온도의 변동으로 나타내어지며 시뮬레이션에 의하여 얻어진 결과가 그림 11에 있다. 그림 11을 보면 시뮬레이션 결과와 이론적인 계산의 대체적인 경향이 잘 일치된다. 시뮬레이션 결과가 이론적인 결과를 중심으로 변동하는 것은 SPICE 시뮬레이션에서의 수치예러(numerical error)에 기인한 것으로 판단된다. 식 (8)에 의해 계산된 결과치는  $1.1 \times 10^{-6}$ 이다.

설계된 연산증폭기 및 밴드갭 레퍼런스 회로는 HSPICE H93A.02를 사용하여 검증하였다. 그림 12는

HSPICE에 의해 시뮬레이션된 주파수특성이다. DC 이득에 대한 계산값은  $2.22 \times 10^7$ 이었고 시뮬레이션 결과는  $2.219 \times 10^7$ 로서 거의 비슷하였다. 이득이 3dB 떨어지는 차단주파수에 대한 계산 결과와 시뮬레이션 결과도 약 0.05Hz정도로 거의 일치하였다.

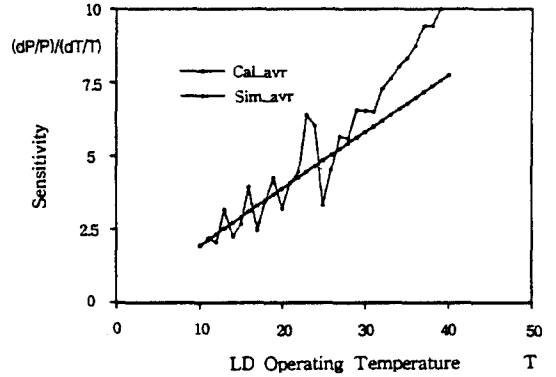


그림 11. 레이저 다이오드의 동작온도 특성  
Fig. 11. Temperature characteristics of the laser diode.

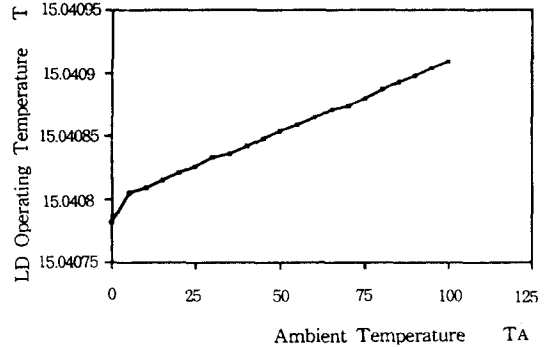


그림 12. 연산증폭기의 주파수 특성  
Fig. 12. Frequency response for the operational amplifier.

밴드갭 레퍼런스 회로에 대한 성능분석은 NMOS 및 PMOS 트랜지스터의 문턱전압을 변동시켰을 경우와 전원전압이 바뀔 때 밴드갭전압의 변동을 시뮬레이션 하였다. 표 1은 문턱전압의 변동에 따른 밴드갭 레퍼런스회로의 출력전압의 변동을 보여주고 있다. AN.1과 AN.2는 채널길이가 각각  $3 \sim 10 \mu m$ ,  $10 \sim 100 \mu m$ 인 NMOS의 문턱전압이고 AP는 PMOS의 문턱전압을 의미한다. 트랜지스터의 문턱전압을  $\pm 10\%$  변동시켜서 밴드갭전압이 일정하게 유지됨을 확인하였다. 표 2는 전원전압의 변동에 대한 출력전압을 나타낸다.

표 1. 문턱전압의 변동에 따른 밴드갭 레퍼런스회로의 출력전압

Table 1. Output voltage fluctuations of the bandgap reference circuit with threshold voltage variations.

AN.1(V)	AN.2(V)	AP(V)	$V_{OUT}(V)$
0.6	0.6	-0.6	2.0326
0.7	0.7	-0.7	2.0368
0.7	0.7	-0.5	2.0368
0.7	0.5	-0.5	2.0364
0.7	0.5	-0.7	2.0364
0.5	0.5	-0.7	2.0364
0.5	0.7	-0.5	2.0364
0.5	0.7	-0.5	2.0368
0.5	0.7	-0.7	2.0368

밴드갭전압은  $V_{DD}$ 를 기준으로 한 전압이므로 표 2를 보면 전원전압의 변동에도 역시 밴드갭전압이 일정하게 유지됨을 알 수 있다. 즉,  $V_{SS}$ 를 변동시켰을 경우에는 출력전압이 변동하지 않으나  $V_{DD}$ 를 변동시킬 경우에는 출력값이 변하여 항상 밴드갭전압을 일정하게 유지시킬 수 있다.  $V_{DD}$  및  $V_{SS}$ 를  $\pm 10\%$ 이내에서 변동시켜 출력전압의 변화를 시뮬레이션하였다.

표 2. 전원전압의 변동에 따른 밴드갭 레퍼런스회로의 출력전압

Table 2. Output voltage fluctuations of the bandgap reference circuit with supply voltage variations.

$V_{DD}(V)$	$V_{SS}(V)$	$V_{out}(V)$
5.5	-5.5	2.5364
5.5	-4.5	2.5364
4.5	-4.5	1.5374
4.5	-5.5	1.5374
5.5	-5.0	2.5364
4.5	-5.0	1.5374
5.0	-5.5	2.0366
5.0	-4.5	2.0366

## V. 결론

지금까지 개별부품을 사용하여 제작하여 오던 광송신기 회로중에서 레이저 다이오드의 광파워 및 온도를 안정화하는 회로부분을 집적회로화하기 위하여 시뮬레

이션 환경을 구축하였으며 핵심회로블록인 연산증폭기 및 밴드갭 레퍼런스회로를 설계하고 검증을 거쳐 칩 제조를 위하여 레이아웃하였다. 광파워 및 온도 안정화 루프에는 광경로 및 열경로가 포함되어 있으므로 SPICE로 전체루프의 특성을 시뮬레이션할 수 있도록 하기 위하여 열전냉각소자, 방열판, 더어미스터, 레이저 다이오드, 포토다이오드등을 전기적 등가회로로 나타내었다.

칩 제조 기술로는 현재 널리 사용되어 제작 의뢰가 용이한 CMOS 기술을 채택하였다. 설계된 연산증폭기는 이득, 전류 구동능력, 전압 스윙폭을 크게 하기 위하여 2단 폴디드 캐스코드 증폭기와 AB급 출력버퍼를 사용하였다. 시스터매틱 오프셋을 줄이기 위하여 캐스코드 부하를 대칭구조로 구성하였으며 그에 따라 신호의 스윙폭이 감소하는 것을 방지하기 위하여 차동증폭단과 이득단 사이에 전압레벨이동을 위한 쏘스팔로워를 첨가하였다. 연산증폭기의 바이어스 전류를 안정시키기 위하여 칩 전체에 주 바이어스 한 개를 두고 기준 전류를 발생하는 전압을 발생시킨 다음 그 전압을 각 연산증폭기의 부 바이어스 회로에 가하여 원하는 안정된 바이어스 전류를 얻도록 하였다. 광송신기의 광파워 안정화는 광궤환루프와 열궤환루프를 통하여 이루어진다. 이러한 궤환루프의 회로에는 전원전압, 주위 온도등에 거의 영향을 받지 않는 기준 전압이 필요하다. 기준 전압을 발생하기 위하여 밴드갭 레퍼런스(bandgap reference)회로를 설계하였다.

## 참고 문헌

- [1] 전자공학회지 제 20권, 제 4 호, 전송기술특집, 4월, 1993
- [2] 한국통신학회지 제 10권, 제 8 호, 광통신 및 광소자기술, 8월, 1993
- [3] G. Keiser, *Optical Fiber Communications*, McGraw-Hill, New York, 1991.
- [4] A. Albanese, "An automatic bias control circuit for injection lasers," Bell Sys. Tech. J., vol. 57, pp. 1533-1544, May 1978.
- [5] M Ettenberg, D. R. Patterson, and E. J. Denlinger, "A temperature-compensated laser nodule for optical communications," RCA Rev., vol. 40, pp. 103-114, June



- 1979.
- [6] L. W. Nagel, "SPICE2: A computer program to simulate semiconductor circuits," Electron Res. Lab. Memo. ERL-M520, University of California, Berkeley, May 1975.
- [7] P. R. Gray, R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, John Wiley & Sons, Inc. 1993.
- [8] B. K. Ahuja *et al.*, "A programmable CMOS dual interface processor for telecommunications applications," *IEEE J. Solid-State Circuits*, vol. SC-19, pp. 892-899, Dec. 1984.
- [9] C. A. Laber, C. F. Rahim, S. F. Dreyer, G. T. Uehara, P. T. Kwok, P. R. Gray, "Design Considerations for a High-Performance 3- $\mu$ m CMOS Analog Standard-Cell Library," *IEEE J. Solid-State Circuits*, vol. SC-22, no. 2, pp. 181-189, Apr. 1987.

저 자 소 개



李誠哲(準會員)

1971年 1月 23日生. 1993년 전북대학교 정보통신공학과 졸업. 1995년 전북대학교 정보통신공학(석사) 졸업. 현재 전자부품종합기술연구소 재직. 주관심분야는 디지털 신호처리, ASIC 설계 등

임



朴起炫(準會員)

1971年 3月 13日生. 1995년 전북대학교 전자공학과 졸업. 현재 전북대학교 전자공학과 석사과정. 주관심분야는 ASIC설계

丁恒根(正會員) 第 30卷 A篇 第 10號 參照

현재 전북대학교 전자공학과 조교수