

論文96-33B-3-8

# 155.52 Mbps CMOS 데이터 트랜스미터의 설계

## (Design of a 155.52 Mbps CMOS Data Transmitter)

蔡相勳\*, 金貴東\*, 宋元哲\*

(Sang Hoon Chai, Ki Dong Kim, and Won Chul Song)

### 요 약

ATM 교환기 등에 사용되는 155.52 Mbps CMOS 트랜스미터 ASIC을 설계하였다. 이 트랜스미터는 19.44 Mbps 8 비트 병렬 데이터를 155.52 Mbps 직렬 데이터로 변환하여 전송하는 구실을 한다. 데이터를 동기시키기 위한 155.52 MHz의 클럭신호는 19.44 MHz의 기준 클럭을 이용하여 아날로그 PLL에 의해서 만들어지며, 데이터 직 병렬 변환은 디지털 회로에 의해서 이루어진다. 시뮬레이션을 통해 PLL 회로의 로킹과 데이터의 변환이 성공적으로 이루어짐을 알 수 있었다. 설계된 ASIC 칩의 면적은  $1.3 \times 1.0 \text{ mm}^2$ 이며, PLL 회로의 초기 로킹에 필요한 시간과 동작시 전력소모는 각각 600 nsec 및 150 mW 이하로 나타났다.

### Abstract

A CMOS transmitter ASIC for the ATM switching system etc., was designed to transmit 155.52 Mbps serial data transformed from 19.44 Mbps parallel data. 155.52 MHz clock for synchronization of data is generated using reference 19.44 MHz clock by an analog PLL while parallel to serial data conversion is done by a digital circuit. Circuit simulations confirm that PLL locking and data conversion are accomplished successfully. The area of the designed ASIC chip is  $1.3 \times 1.0 \text{ mm}^2$ . The locking time and the power consumption of the chip are about 600 nsec and less than 150 mW, respectively.

### 1. 서 론

ATM(Asynchronous Transfer Mode) 교환 방식을 이용한 고품위의 통신 서비스는 다종의 대량 정보에 대한 신속하고 정확한 데이터 처리를 요한다. 따라서 ATM 교환기에는 고속 고신뢰성을 갖는 ASIC 형태의 집적회로가 다수 요구된다. 155.52 MHz 트랜스미터(transmitter) ASIC은 155.52 Mbps ATM 교환기의 가입자 정합부 송신단에서 19.44 MHz 클럭에 동기된 19.44 Mbps 8 비트 병렬 데이터를 155.52 MHz 클럭에 동기된 155.52 Mbps 직렬 데이터로

변환시켜 전송하는 기능을 갖는다. 이 트랜스미터는 19.44 MHz 기준클럭을 이용하여 안정되고 정확한 155.52 MHz 전송 클럭을 발생시키는 주파수 합성 회로와, 19.44 Mbps의 8 비트 병렬 데이터를 155.52 Mbps 직렬 데이터로 변환하여 전송하는 신호 변환 회로로 구성된다.

주파수 합성 회로는 일반적으로 PLL(phase locked loop) 방식에 의하여 구현된다<sup>[1][2]</sup>. PLL의 종류에는 아날로그, 디지털, 또는 두개가 혼합된 방식이 있으나<sup>[3]</sup>, 150 MHz 주파수 대역에서는 단일칩화와 주파수 제어 능력 등에서 유리한 아날로그 방식이 선호되고 있다. 병렬 대 직렬 신호의 변환 방식에 있어서도 쉬프트 레지스터(shift register) 또는 멀티플렉스(multiplexer) 방식에 의하여 실현될 수 있으나 100 MHz 주파수 대역에서는 신호의 타이밍 관계가 간단하

\* 正會員, 韓國電子通信研究所 高速回路研究室

(High Speed Circuit Research Section, ETRI)

※ 본 연구는 한국통신의 출연금에 의해 이루어졌음.

接受日字: 1995年10月6日, 수정완료일: 1996年3月4日

고 데이터 변환이 안정된 쉬프트 레지스터 방식이 적합하다. 155 Mbps급 트랜스미터 ASIC은 고속, 고전류 구동능력 등의 시스템 요구 사양으로 인하여 지금까지는 주로 바이폴라 회로 설계 및 제작 기술에 의해 구현되었다.

본 연구에서는 ATM 교환기등 155.52 Mbps 통신 시스템의 송신단에 위치하여 SDH(Synchronous Digital Hierarchy)부분의 출력인 19.44 Mbps TTL/CMOS 레벨의 8 비트 병렬 데이터를 자체 발생된 155.52 MHz 클럭에 동기된 155.52 Mbps P(pseudo)ECL 레벨의 직렬 데이터로 변환하여 전송하는 기능을 갖는 트랜스미터 ASIC을 설계하였다. 이 ASIC은 고속 아날로그/디지털 혼합형이며 저전력 소모 및 경제성 등을 고려하여 1.2  $\mu\text{m}$  CMOS 소자 제작기술을 이용하여 설계하였다.

## II. 트랜스미터 회로 설계

본 연구에 의한 트랜스미터는 그림 1에 나타난 바와 같이 19.44 MHz의 시스템 기준클럭 또는 데이터 클럭으로부터 155.52 MHz 데이터 전송 클럭 발생을 위한 아날로그 PLL 주파수 합성기와, 19.44 Mbps 8 비트 병렬 데이터를 155.52 Mbps 직렬 데이터로 변환하기 위한 8:1 셋/리셋(set/reset) 쉬프트 레지스터로 이루어진 디지털 병렬 대 직렬 신호변환 회로로 구성되어 있으며, 그 밖에 데이터 클럭과 전송 클럭간의 신호 동기화 및 변환회로 제어 신호를 발생시키기 위한 타이밍 발생 회로 및 155.52 MHz 전송클럭과 155.52 Mbps 데이터를 선택적으로 출력하는 2:1 MUX 회로 등도 포함하고 있다. 아날로그 블럭과 디지털 블럭에 대한 공급전원과 접지는 각 블럭간의 신호간섭을 최대한 배제하기 위하여 독립적으로 배치된다. 트랜스미터의 입력 신호에는 19.44 MHz의 데이터 클럭( $CK_D$ ) 및 기준 클럭( $CK_{RP}$ ), 19.44 Mbps의 8 비트 병렬 데이터(D[7:0]), 전송 데이터와 클럭간의 출력을 제어하는 선택신호(TDCKSL) 등이 있다. 선택 신호는 송수신 클럭 또는 데이터신호의 루프 백(loop back) 검증에 사용된다. 출력은 155.52 Mbps PECL 레벨 전송 데이터(TSD)와 155.52 MHz TTL 레벨 전송클럭( $CK_T$ ) 등이 있으며, 이들은 신호 대 잡음 특성이 우수한 차동(differential) 신호형태로 출력된다. 타이밍 제어 회로는 데이터 클럭에 동기된

19.44 MHz 병렬 클럭( $CK_D$ )과 155.52 MHz 쉬프트 클럭( $CK_T$ ), 쉬프트레지스터를 셋/리셋 하는 신호 등을 발생시킨다. 그리고 외부 데이터 클럭과 내부 전송 클럭 간의 동기는 PLL 루프(loop)에 의하여 이루어지며, 입력 데이터(D[7:0])는  $CK_D$ 의 라이징 엣지(rising edge)에서 래치(latch) 된다.

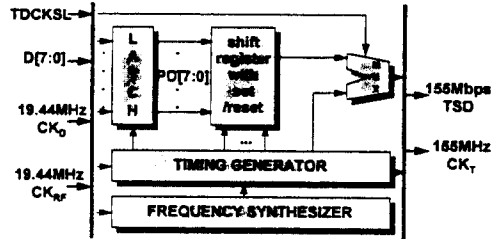


그림 1. 155.52 Mbps 트랜스미터 IC의 기능 블럭도  
Fig. 1. Block diagram of 155.52 Mbps transmitter IC.

### 1. PLL 회로 설계

트랜스미터에서 PLL 회로는 19.44 MHz의 기준클럭, 또는 데이터 클럭으로부터 이득 클럭에 위상 동기된 155.52 MHz 전송 클럭을 발생하는 주파수 합성기 역할을 한다<sup>14) 15)</sup>. PLL 회로는 그림 2에서와 같이 고주파에서도 안정성이 뛰어난 차지펌프(charge pump)형을 사용하였다<sup>14)</sup>. PLL 회로는 입력 신호와 출력 신호간의 위상차에 대응하는 신호를 발생시키는 위상 및 주파수 검출기(frequency phase detector), 위상 및 주파수 검출기 출력신호에 따라 전하를 전류로 전환하는 차지펌프, 차지펌프의 전류 레벨 출력 신호를 적분하여 DC 전압신호( $V_C$ )로 변환함으로써 신호 적분기 역할을 하는 저역 필터(low pass filter), 입력 전압에 따라 주파수가 가변하는 전압 제어발진기 VCO(voltage controlled oscillator), 주파수 분주기(frequency divider) 등으로 구성된다. PLL 회로는 공급전원과 온도 등의 변화에 대하여 정확한 클럭 어퀴지션(acquisition)과 루프 로킹(loop locking)을 유지해야 한다. 그러므로 PLL의 잡음특성과 로크 영역(lock range( $\omega_L$ )), 안정 시간(settling time( $T_S$ )) 등을 최적화하기 위하여 위상차 이득( $K_D$ )과 VCO 이득( $K_O$ )에 의하여 결정되는 개루프 대역(open loop bandwidth( $BL$ ))은 가능한 높게 설계되어야 하며, 루프 안정화(loop stability)를 위하여 저역필터는 최적화 되어야 한다.

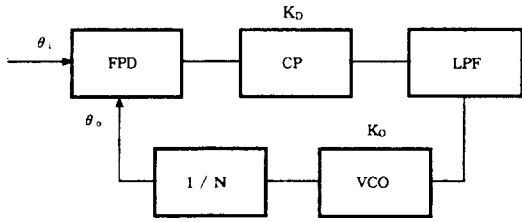


그림 2. Phase Locked Loop의 구성도  
Fig. 2. Block diagram of Phase Locked Loop.

그림 2의 차지펌프 PLL의 전달함수,  $H(s) = \theta_o(s)/\theta_i(s)$ 는 식 (1)과 같다.

$$H(s) = \frac{K_o I_p Z_F(s)}{2\pi N s + K_o I_p Z_F(s)} \quad (1)$$

여기서  $K_o$ 는 VCO의 이득이며,  $I_p$ 는 차지펌프의 출력 전류,  $N$ 은 주파수 분주기의 갯수,  $Z_F(s)$ 는 루프필터의 전달특성이다. 본 연구에서 설계된 PLL 회로에 사용된 저역 필터는 저항과 커패시터로 구성된 수동형 2차(second order loop)형태로서  $Z_F(s)$ 는  $R+1/sC$ 이다. 설계된 PLL의 전달함수는

$$H(s) = \frac{K(s + \tau^{-1})}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (2)$$

로 표시할 수 있다. 여기서  $K$ 는 개루프 이득으로서  $K = K_o K_D = K_o I_p R / 2\pi N$ ,  $\omega_n$ 는 자연 주파수(natural frequency)로서  $\omega_n = (K/\tau)^{1/2}$ ,  $\zeta$ 는 댐핑팩터(damping factor)로서  $\zeta = 0.5 \tau (K/\tau)^{1/2}$ ,  $\tau$ 는 시정수로서  $\tau = RC$ 이다. 정상상태 ( $s = 0$ )에서  $H(s)$ 는 1으로서 그림 2의 차지펌프 PLL 시스템은 안정하다. 한편 루프의 로크 시간과 범위는 각각  $(\zeta \omega_n)^{-1}$ ,  $4\pi \zeta \omega_n$ 이며, VCO의 주파수 이득  $f_0$ 는  $30 \text{ [MHz] / [V}\cdot\text{sec]}$ 이다. 저역필터의 저항과 캐패시터 ( $R, C$ )가 각각 ( $2 \text{ K}\Omega$ ,  $100 \text{ pF}$ ), ( $2 \text{ K}\Omega$ ,  $1 \text{ nF}$ ), ( $1 \text{ K}\Omega$ ,  $10 \text{ nF}$ ) 일때 PLL의 폐루프(closed loop) 전달함수의 이득에 대한 특성 곡선을 그림 3에 나타내었다.

그림에서 댐핑팩터의 증가에 따라 PLL의 동작 주파수가 증가함을 보여준다. 즉 루프이득( $K$ )과 저역필터의 시간정수( $\tau$ )를 증가시킴으로써 입력 주파수( $\omega_i$ )를 높일 수 있으며, 루프의 오버슈트(overshoot)도 감소시킬 수 있다. 위상 및 주파수 검출기 회로는 데이터 클락에 대응되는 입력신호( $\omega_i$ )와 8분주된 VCO 주파수에 대응되는 출력신호( $\omega_o$ )의 라이징 또는 폴링

(falling) 엣지를 비교함으로써 두 신호간의 위상차를 검출한다. 검출된 신호의 폭은 위상차에 대응하는 시간( $\tau_p$ )을 나타내며, 이 신호는  $\tau_p$ 동안 차지펌프 회로를 UP(charge) 또는 DOWN(discharge) 모드로 동작 시킴으로써 VCO의 제어 전압을 결정한다.

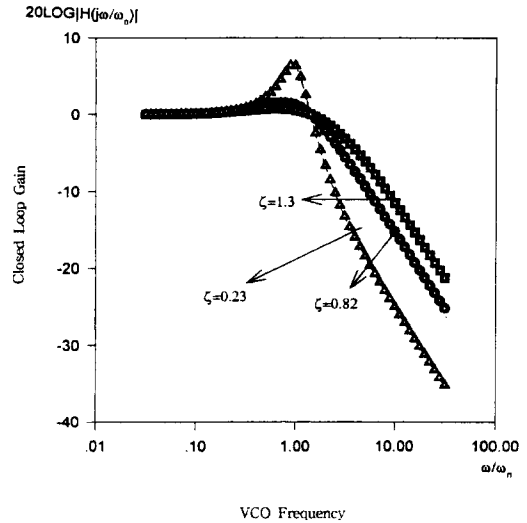


그림 3. PLL 폐루프 전달함수의 이득 곡선  
Fig. 3. Gain curve of closed loop transfer function of PLL.

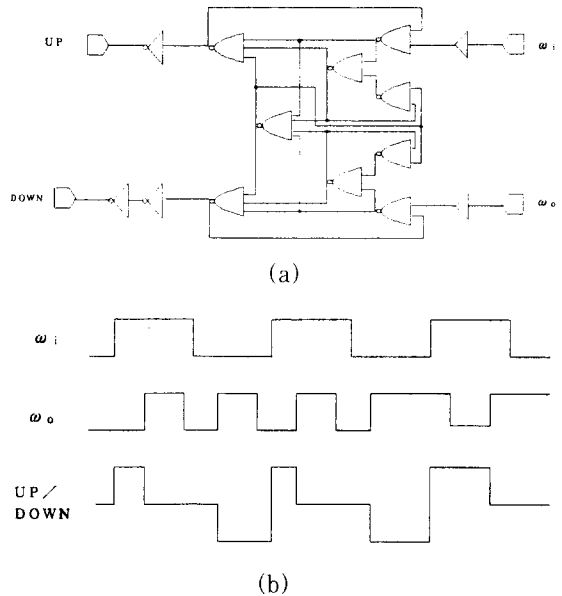


그림 4. 위상 및 주파수 검출기  
(a)회로도, (b)입출력 신호 타이밍 관계도  
Fig. 4. Phase and frequency detector  
(a) Schematic diagram, (b) timing diagram.

위상 및 주파수 검출기의 출력인 UP 신호는  $\omega_i$ 의 위상이  $\omega_o$ 의 위상보다 빠른 경우, 그리고 DOWN 신호는  $\omega_i$ 의 위상이  $\omega_o$ 의 위상보다 늦은 경우에 각각 발생된다. 또한  $\omega_i$ 와  $\omega_o$ 의 위상차가 없는 경우 위상 및 주파수 검출기의 출력신호의 폭은 0이며, 주파수의 검출은  $\omega_i$ 와  $\omega_o$ 의 라이징 또는 폴링 엣지에 대한 UP/DOWN 신호정보를 기억하여 논리상태를 비교함으로써 이루어진다. 위상 및 주파수 검출기 회로와 UP/DOWN 신호들의 관계를 그림 4의 (a)와 (b)에서 나타내었다.

차지펌프 회로는 위상 및 주파수 검출기의 출력 상태에 따라 저역필터에 전하를 충전하거나 차단하는 역할을 하는 스위치 회로로서 N/PMOS 스위치와 전압제어 전류원 등으로 구성되어 있다. 저역 필터 및 VCO 전압제어 회로를 포함한 차지 펌프 회로도가 그림 5에 나타나 있다. 그림에서 M1과 M2는 포화영역에서 일정한 스위칭 전류 레벨을 가지고 동작하며, 이것은 전원의 변화나 신호의 스위칭시에  $I_p$ 의 스위칭 전류값을 일정하게 하는 역할을 한다. 여기서 스위칭 전류  $I_p$ 는 저역필터 R, C에 의하여 DC 레벨로 변환된다. VCO 전압제어 회로는 저역필터의 DC 전압을 VCO의 제어 전압으로 변환하는 역할을 한다. 그림 5에서  $V_{bb}$ 는 일정한 크기를 가지는 바이어스 전압이며, M3은 전원의 변화에 대하여 회로의 동작 전류를 일정하게 한다.  $V_{CN}$ ,  $V_{CP}$ 는 다음단 VCO의 발진 주파수 크기를 제어하는 구실을 한다. 그림 6(a)는 VCO의 기본 셀로서 차동 인버터로 설계하여 전원의 변화에 따른 주파수의 변화가 억제되도록 구성하였다.

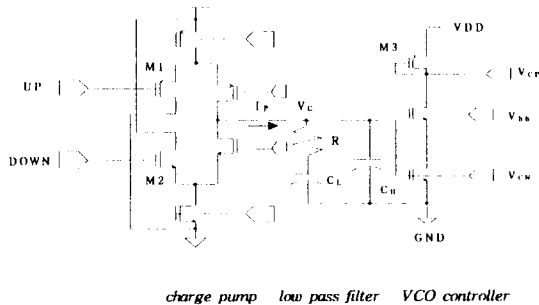


그림 5. 차지펌프, 저역필터, VCO 제어 회로  
Fig. 5. Charge pump, low pass filter, VCO control circuit.

또한 VCO는 제어전압에 따라 거의 일정하게 발진 주파수가 변하도록 설계되었다. M1 ~ M4는 안정화

회로로서  $V_C = 0$ 에서 VCO를 일정한 주파수로 발진 시킨다. M5, M6는 VCO 회로의 발진 주파수를 제어하는 전압 제어 전류원이다. VCO 회로는 3단의 차동 인버터 셀로 구성되며, 각 셀의 출력 노드(node)에 트리밍 커패시터가 연결된다. 또한  $V_C = 0.5V_{DD}$ 에서 발진 주파수가 전송 주파수인 155.52 MHz가 되도록 설계하였다. VCO 회로의  $V_C$  변화에 따른 주파수 전달 특성 곡선을 그림 6(b)에 나타내었다.

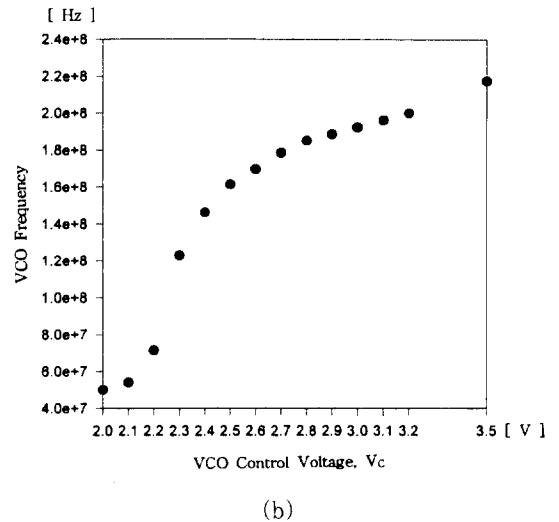
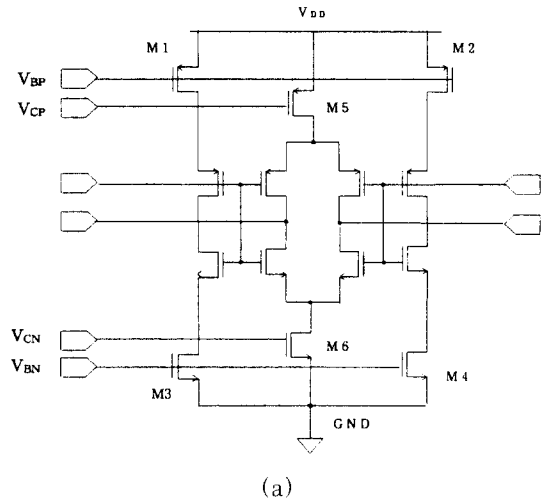


그림 6. 사용된 VCO  
(a) 기본 셀 회로도, (b) 3 단 VCO의 주파수 특성  
Fig. 6. VCO used  
(a) Unit cell circuit, (b) Frequency response of 3 stage VCO.

그림에서 볼 때  $V_C$ 가 2.3 V일 때까지는 주파수가

낮다가 2.4 V 구간에서는 급격히 증가하며, 그 이후에는 선형적으로 증가하는 특성을 나타내었다. 이는 게이트 전압 변화에 따른 전류원인 M5와 M6의  $V_T$  및  $G_m$ 의 특성 변화때문에 나타나는 현상으로서,  $V_c$  전압이 증가하면서 이에 비례하여 M5와 M6의 게이트 전압도 증가하여 M5와 M6의  $V_T$  부근인 2.4 V 구간에서는 전류가 급격히 증가하며, 그 이후에는 선형적으로 증가하기 때문에 나타나는 현상이다. 따라서 M5와 M6의 크기를 조절하면 이 특성을 변화시킬 수 있다. PLL 회로의 바이어스 전압들을 결정하는 바이어스 회로의 경우 전원 감도는 5% 이하로 설계되었으며, 캐스코드 전류 미러(mirror) 회로를 기본으로 하여 구성된다. 또한 바이어스 회로의 동작을 안정화시키고 저역 필터 커패시터의 초기 전압을  $\sim 0.6V_{DD}$ 로 설정하기 위한 스타트 회로도 포함된다. 이것은 PLL의 루프안정 시간을 단축시킨다. 한편 155.52 Mbps CMOS 레벨 전송 데이터 신호를 3 V AC 접지 및  $\sim 10$  mA 전류 구동능력을 갖는 PECL 레벨 신호(high level : 4 V, low level : 3 V)로 변환하기 위하여 소스 개방(source opened) PMOS 게이트와 루프 이득이 1인 연산증폭기(OP amplifier) 회로도 포함된다.

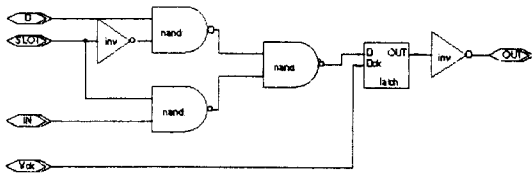


그림 7. 다중기 회로  
Fig. 7. Multiplexer circuit.

## 2. 신호변환 회로 설계

병렬 대 직렬 신호변환 회로는 디지털 회로들로 이루어져 있으며, TTL/CMOS 레벨의 19.44 Mbps 8 비트 병렬 데이터를 CMOS 레벨의 155.52 Mbps 직렬 데이터로 변환하는 신호변환 기능을 갖는다. 이들은 다중기, 타이밍 신호 발생기, 데이터 래치 등으로 구성된다. 다중기는 그림 7과 같은 구조이며, 병렬 데이터를 셋/리셋 하는 역할을 한다. 이 다중기는 그림 8과 같은 고속에서 동작 특성이 우수한 다이내믹 D 플립 플롭(dynamic D-flip flop)들로 조합된 쉬프트 레지스터 형으로 설계하였다. 타이밍 발생기는 그림 9와 같으며, 데이터 클럭에 동기된 쉬프트 레지스터의 로드(load)신호를 발생시킨다. 병렬데이터를 홀드(hold)

하는 래치회로는 데이터 클럭의 라이징 에지에서 병렬 데이터를 래치하며, 기본 게이트는 역시 그림 8과 같은 D 플립 플롭이다.

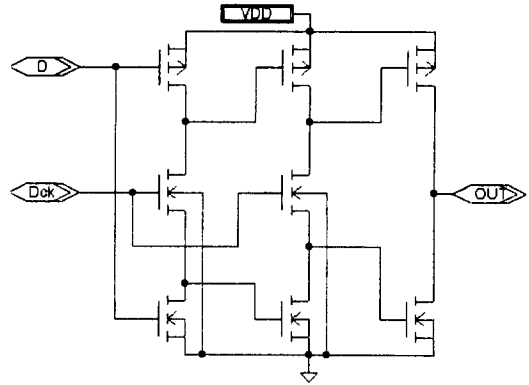


그림 8. D 플립플롭 회로  
Fig. 8. D flip flop circuit.

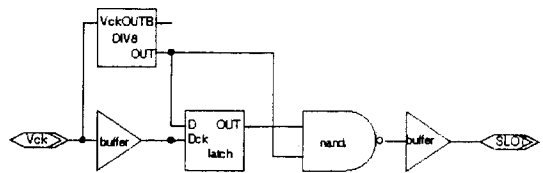


그림 9. 타이밍 신호 발생기 회로  
Fig. 9. Timing signal generator circuit.

## III. 시뮬레이션 결과

PLL 회로의 시뮬레이션은, PLL의 로킹 여부와 CMOS 레벨인 19.44 Mbps 8 비트 병렬 데이터를 PECL 레벨의 155.52 Mbps 직렬 데이터로 신호 변환하는 부분에 중점을 두고 수행하였다. 시뮬레이션은 5 V DC 전원, 19.44 Mbps의 CMOS 레벨 8 비트 병렬 데이터 및 19.44 MHz 데이터 클럭 신호 입력 조건이며, 본딩 패드(bonding pad)와 신호 경로 길이 등을 고려한 기생 리액턴스와 캐패시턴스 등을 추가하였다. 또한 DC 전원은 200 ns 동안 0 V 에서 5 V로 변환되게 하였다. 저역필터의  $R$ ,  $C_L$ ,  $C_H$ 는 상대적으로 각각 2 K $\Omega$ , 100 pF, 1 pF이다. 그림 10은 각 신호에 대한 예상 타이밍도를 나타낸 것으로써, 입력 데이터 신호 ( $D_L[7:0]$ ), 155.52 MHz의 VCO 출력 클럭 ( $CK_V$ ), 19.44 Mbps의 데이터 클럭 ( $CK_D$ ), 이 클럭에 의해 로드된 데이터 ( $D_L[7:0]$ ), 155.52

MHz의 전송클럭 (CK<sub>T</sub>), 8분주된 19.44 MHz의 VCO 출력 (CK<sub>P</sub> :  $\omega_0/2\pi N$ ), 쉬프트 레지스터 로드 신호 (SLOT), PECL 레벨의 155.52 Mbps 전송 데이터 (TSD), 등을 보여준다.

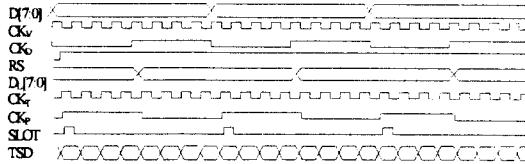


그림 10. 각 신호의 타이밍도  
Fig. 10. Timing diagram of each signal.

그림 11은 PLL 회로의 시뮬레이션 결과로서 VCO 제어 전압 V<sub>c</sub>는 약 3 V 까지 증가된 후 600 ns에서부터 2.45 V 로 거의 일정하며, 또한 CK<sub>P</sub>와 CK<sub>T</sub>의 위상차는 < 0.4 ns 로 유지된다. 즉 PLL의 루프 로킹은 600 ns에서 시작되어 일정하게 유지됨을 알 수 있다. 그리고 쉬프트 레지스터의 로드 신호와 155.52 Mbps PECL 레벨의 전송 데이터가 일정한 위상관계를 가지고 600 ns부터 정상적으로 출력됨을 보여준다. 그림 12는 설계된 트랜스미터 IC의 레이아웃이며, 5 V DC 전원에 대하여 PLL IC의 전체 전력소모는 150 mW이하이었다.

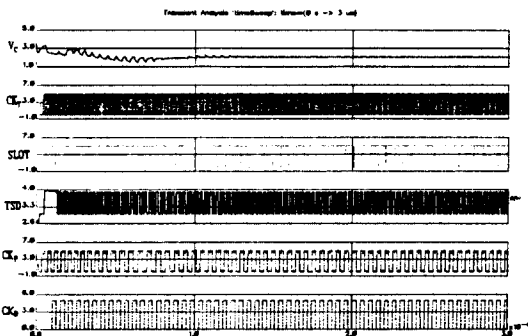


그림 11. 시뮬레이션 결과  
Fig. 11. Result of circuit simulation.

표 1. 시뮬레이션용 주요 SPICE 변수  
Table 1. SPICE parameters for simulation.

	SPICE parameter
PMOS	VTO=0.917 CJ=4.6E-4 MJ=0.41 TOX=22.5E-9 JS=1E-5 NSUB=5.7E16 XJ=3.0E-7 LD=2.0E-7 UO=521 VMAX=5.0E4
NMOS	VTO=-0.915 CJ=3.9E-4 MJ=0.45 TOX=22.5E-9 JS=1E-5 NSUB=3.7E16 XJ=3.0E-7 LD=7.1E-7 UO=168 VMAX=2.9E4

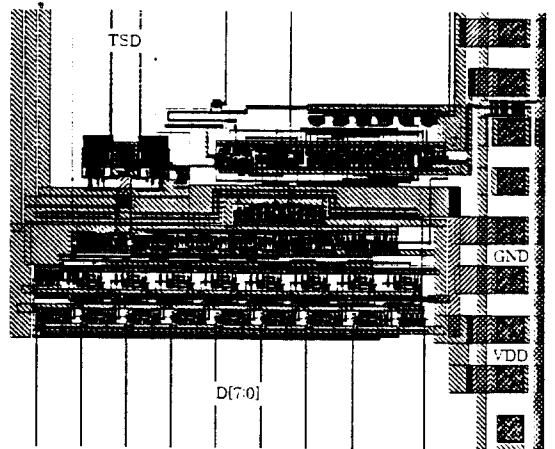


그림 12. 트랜스미터 IC의 레이아웃  
Fig. 12. Layout of transmitter IC.

#### IV. 결론

1.2 um CMOS 기술을 이용하여 155.52 Mbps ATM 교환기의 송신단에서 19.44 Mbps CMOS/TTL 레벨의 8 비트 병렬 데이터 신호를 155.52 Mbps PECL 레벨의 직렬 데이터 신호로 변환하여 전송하는 155.52 MHz 트랜스미터 ASIC을 설계하였다. 이 ASIC은 아날로그 PLL 방식에 의하여 19.44 MHz 데이터 클럭으로부터 155.52 MHz 전송 주파수를 합성하며, 디지털 신호 변환 회로에 의해 19.44 Mbps의 8 비트 병렬 데이터를 155.52 Mbps의 직렬 데이터로 변환한다. 설계된 ASIC 칩의 크기는 1.3 X 1.0 mm<sup>2</sup> 이며, PLL 로킹과 데이터 변환에 대한 시뮬레이션 결과로부터 이 ASIC은 정상 동작됨을 확인하였다. 이 ASIC의 PLL 초기 로킹 시간은 600 ns이며, 전력소모는 150 mW이하이었다.

#### 참고 문헌

[1] R. C. den Dulc., "An approach to systematic phase-lock loop design", Doctoral thesis, Technische Hogeschool Delft, 1989.  
[2] D. Jeong, G. Borriello, D. Hodges, and R. Katz, "Design of PLL-based clock generation circuits," IEEE JSSC, Vol.

- sc-22, No. 2, pp. 255-261, April, 1987.
- [3] B. Kim, D. Helman, P. Gray, "A 30 MHz High-Speed Analog/Digital PLL in 2  $\mu$ m CMOS," ISSCC 90, pp. 104-105, 1990.
- [4] Floyd M. Gardner, "Charge-pump phase-lock loops", IEEE Trans on COMM., Vol. COM-28, No. 11, pp. 1849-1858, Nov. 1980.
- [5] D. L. Chen, R. Waldron, "A single-chip 266Mb/s CMOS transmitter/receiver for serial data communications", ISSCC 93, pp. 100-101, 1993.
- [6] M. H. Wakayama and A. A. Abidi, "A 30 MHz low jitter high linearity CMOS voltage controlled oscillator," IEEE JS-SC, Vol. sc-17, No. 4, pp. 1074-1081, December, 1982.

---

— 저 자 소 개 —

---

**蔡相勳(正會員) 第32卷B編第4號參照**

주관심분야는 고속고집적 아날로그 또는 아날로그 디지털 혼합형 ASIC 설계(ATM용 IC, 광통신용 IC, 신경회로망 IC 등), BiCMOS 회로설계 및 공정 등임



**金貴東(正會員)**

1960년 6월 22일생. 1983년 2월 경북대학교 전자공학과 졸업(공학사). 1986년 2월 경북대학교 전자공학과 졸업(공학석사). 1987년 9월 ~ 현재 한국전자통신연구소 고속회로연구실 선임연구원. 주관심분야는 고속 아날로그회로 설계, BiCMOS 회로설계 및 공정 등임



**宋元哲(正會員)**

1955년 2월 9일생. 1977년 2월 서울대학교 공과대학 졸업(공학사). 1980년 2월 한국과학원 전기전자공학과 졸업(공학석사). 1981년 ~ 현재 한국전자통신연구소 고속회로연구실 실장, 책임연구원. 주관심분야는 아날로그회로 설계(MODEM용 Sigma-Delta ADC/DAC, 디지털 휴대폰용 IF IC, ATM용 PLL IC 등)