

## Cu/CoSi<sub>2</sub> 및 Cu/Co-Ti 이중층 실리사이드의 계면반응

이종무 · 이병욱 · 김영욱\* · 이수천\*

인하대학교 금속공학과

\*삼성전자

### Interfacial Reactions of Cu/CoSi<sub>2</sub> and Cu/Co-Ti Bilayer Silicide

Chong-Mu Lee, Byong-Uk Lee, Young-Wuk Kim\* and Soo-Chun Lee\*

Department of Metallurgical Engineering, Inha University, Incheon, 402-751

\*Samsung Electroics

초 록 배선 재료나 silicide 트랜지스터에 적용될 것으로 기대되는 Cu 배선과 Co 단일층 및 Co/Ti 이중층을 사용하여 형성된 코발트 실리사이드간의 열적 안정성에 대하여 조사하였다. 400°C 열처리 후 Cu<sub>3</sub>Si 막이 CoSi<sub>2</sub>층과 Si 기판 사이에 형성되었는데, 이것은 주로 Cu 원자의 확산에 기인한 것이다. 600°C에서의 열처리 후에 형성된 최종막의 구조는 각각 Cu/CoSi<sub>2</sub>/Cu<sub>3</sub>Si/Si과 TiO<sub>2</sub>/Co-Ti-Si 합금/CoSi<sub>2</sub>/Cu<sub>3</sub>Si/Si였으며, 상부에 형성된 TiO<sub>2</sub>층은 산소 오염에 의한 것으로 밝혀졌다.

**Abstract** Thermal stability of the interfaces of Cu films and cobalt silicides formed with a Co monolayer and a Co/Ti bilayer which are expected to be used for interconnects or silicide transistors has been investigated. A Cu<sub>3</sub>Si layer forms in between CoSi<sub>2</sub> layer and the Si substrate above 400°C during annealing mainly owing to Cu diffusion. The final structures after the heat treatment at 600°C are Cu/CoSi<sub>2</sub>/Cu<sub>3</sub>Si/Si and TiO<sub>2</sub>/Co-Ti-Si alloy/CoSi<sub>2</sub>/Cu<sub>3</sub>Si/Si, respectively. Formation of a top TiO<sub>2</sub> layer in the latter structure is due to oxygen contamination.

### 1. 서 론

오늘날 반도체 회로의 집적도가 더욱 증대되어 배선의 폭이 0.5 $\mu$ m 이하로 줄어들어 따라 기존에 사용되던 Al 배선을 대체할 수 있는 새로운 배선재료의 필요성이 점차로 대두되고 있다. 전류 밀도가 큰 고집적회로의 배선으로서 Al을 사용할 경우 electromigration이나 Si 이 쉽게 분해되어 확산해 들어감으로써 junction spiking 현상 등의 문제가 발생하지만, (111) 배향성을 가지는 Cu를 사용하면, junction spiking도 방지되고 electromigration, stress-migration 등<sup>1)</sup>의 문제가 완화되기 때문에 Cu는 Al을 대체할 새로운 상부 배선 재료로서 세계적으로 널리 연구되고 있다<sup>2)</sup>. 또한 Cu의 비저항( $\sim 1.7 \mu\Omega\text{cm}$ )은 Al( $\sim 2.7 \mu\Omega\text{cm}$ )경우<sup>3,4)</sup>의 30~50% 정도 값을 갖기 때문에 RC 지연 시간을 낮출 수 있어 회로의 작동 속도 향

상을 기대할 수 있다.

한편, silicide<sup>5)</sup>란 self-aligned silicide를 줄여서 만든 합성어로서 포토마스크(photomask)를 사용하지 않고 트랜지스터의 게이트와 소스/드레인 지역을 동시에 실리사이드화하여 그 지역들 아래에 형성되는 기생직렬저항을 낮추어 줌으로써 트랜지스터의 작동속도를 향상시킬 수 있는 구조이다. Ti silicide는 이미 국외에서 논리회로나 ASIC 회로 양산에 적용되고 있으며, Co/Ti 이중층을 이용한 Co silicide의 특성은 Ti 단일층, Co 단일층을 이용한 실리사이드 특성보다 더 우수한 것으로 보고되고 있어<sup>6)</sup>, giga급 소자의 양산에 적용될 것으로 기대되고 있다.

Cu 역시 patterning 문제, 열적안정성 문제 등에 대한 대책이 충분히 마련되어 양산에 적용이 가능한 시기는 giga급 소자가 양산되는 시점으로 예상되므로, ULSI에서는 Co/Ti 이중

층을 이용한 실리사이드와 배선재료로서의 Cu가 동시에 양산 기술로 채택될 것으로 전망된다. PtSi나 TiSi<sub>2</sub> 등의 실리사이드가 Cu와 접촉된 경우에는 배선재료로 Al이 사용된 경우보다 200°C 정도 낮은 온도인 350~400°C에서 쉽게 반응이 일어난다는 타연구자의 보고<sup>7-10)</sup>로부터 짐작할 수 있듯이 Cu와 CoSi<sub>2</sub>는 contact hole을 통하여 접촉하게 될 때, Cu/실리사이드 계면에서의 열적안정성이 문제될 것으로 예상되므로 그것에 대한 연구가 필요하다. 그러나, 지금까지 Al/TiSi<sub>2</sub>/Si계<sup>7)</sup>에 대한 연구 결과와 Al/CoSi<sub>2</sub>, Al/PtSi, Al/MoSi<sub>2</sub><sup>9)</sup> 등 Al/실리사이드 계면의 열적 안정성에 관한 연구 결과는 보고된 바 있으나, Cu/실리사이드 구조의 열적 안정성에 관한 연구보고는 매우 드문 실정이다. 따라서 본 연구에서는 Si 기판 위에 Co 단일층 또는 Co/Ti 이중층을 열처리하여 Co 실리사이드를 형성한 후 그 위에 다시 Cu를 증착하여 Cu/실리사이드 구조를 만들고 그 계면에서의 열적 안정성에 관하여 조사한 결과를 보고하고자 한다.

## 2. 실험 방법

P형 Si(100) 웨이퍼에 먼저 B이온을 주입하고 ( $E = 80\text{KeV}$ ,  $\text{dose} = 2.0 \times 10^{13}$ ), 이어서 1,150°C에서 780분간 drive-in 처리하였다. 그 다음 100 Å 두께의 열산화막을 성장시키고 이어서 As이온을 주입한 후 ( $40\text{KeV}$ ,  $\text{dose} = 5.0 \times 10^{15}$ ), 질소 분위기에서 850°C, 3분간 활성화 열처리하였다. 열처리가 끝난 이 시편들은 전면의 산화막을 제거함으로써 n<sup>-</sup>-Si 시편들을 만들었다.

이상과 같이 만든 n<sup>-</sup>-Si 웨이퍼 상에 e-beam evaporator를 사용하여 Co 단일층(30nm)과 Co(12nm)/Ti(25nm) 이중층을 각각 형성하고, 이어서 RTA 장비로 600, 700 및 800°C의 질소분위기 하에서 각각 30초간 열처리함으로써 실리사이드층을 형성하였다. 이렇게 만든 실리사이드 구조들 위에 e-beam evaporation법에 의하여 10nm 두께의 얇은 Cu막을 증착하였다. 한편, evaporation법 대신 무전해도금(electroless-plating)법에 의한 Cu막도 증착하였으나, 이 경우에는 Cu막이 500nm 이상으로 두껍게 증착되어 TEM 분석 등 일부 분석에만 사용하였다. 이렇게 준비한 시편들을 200, 400 및 600°C

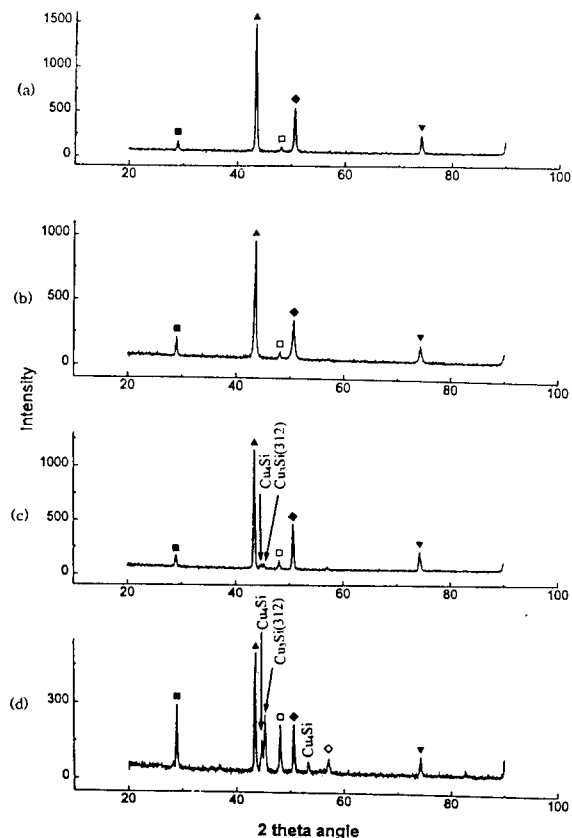


Fig. 1. XRD spectra of 10nm Cu deposited onto CoSi<sub>2</sub>/Si substrate after furnace annealing for 30min: (a) no annealing, (b) 200°C, (c) 400°C and (d) 600°C. (▲ Cu(111), ▼ Cu(220), ◆ Cu(220), ■ CoSi<sub>2</sub>(111), □ CoSi<sub>2</sub>(210), ◇ CoSi<sub>2</sub>(311))

의 질소분위기 하에서 30분간 furnace annealing 처리함으로써 최종 시편들을 만들었다. 이 시편들에 대해 SEM과 TEM에 의한 층구조 및 미세조직의 관찰, RBS 분석에 의한 층구조의 조사 및 XRD에 의한 상분석 등을 실시하였다.

## 3. 결과 및 고찰

### Cu/CoSi<sub>2</sub> 계면 반응

Si 기판 위에 Co를 증착한 후 열처리하여 CoSi<sub>2</sub>층을 형성하고, 그 위에 다시 Cu막을 증착한 다음 200, 400 및 600°C에서 furnace annealing 처리한 시편들에 대한 XRD 분석결과를 Fig. 1에 보였다. 400°C에서 Cu<sub>3</sub>Si상과 Cu<sub>4</sub>Si상이 생성되기 시작하여 600°C에서는 본격적으로 구리 실리사이드층을 형성함을 Cu<sub>3</sub>Si와 Cu<sub>4</sub>Si 피크의 증가로부터 알 수 있다.

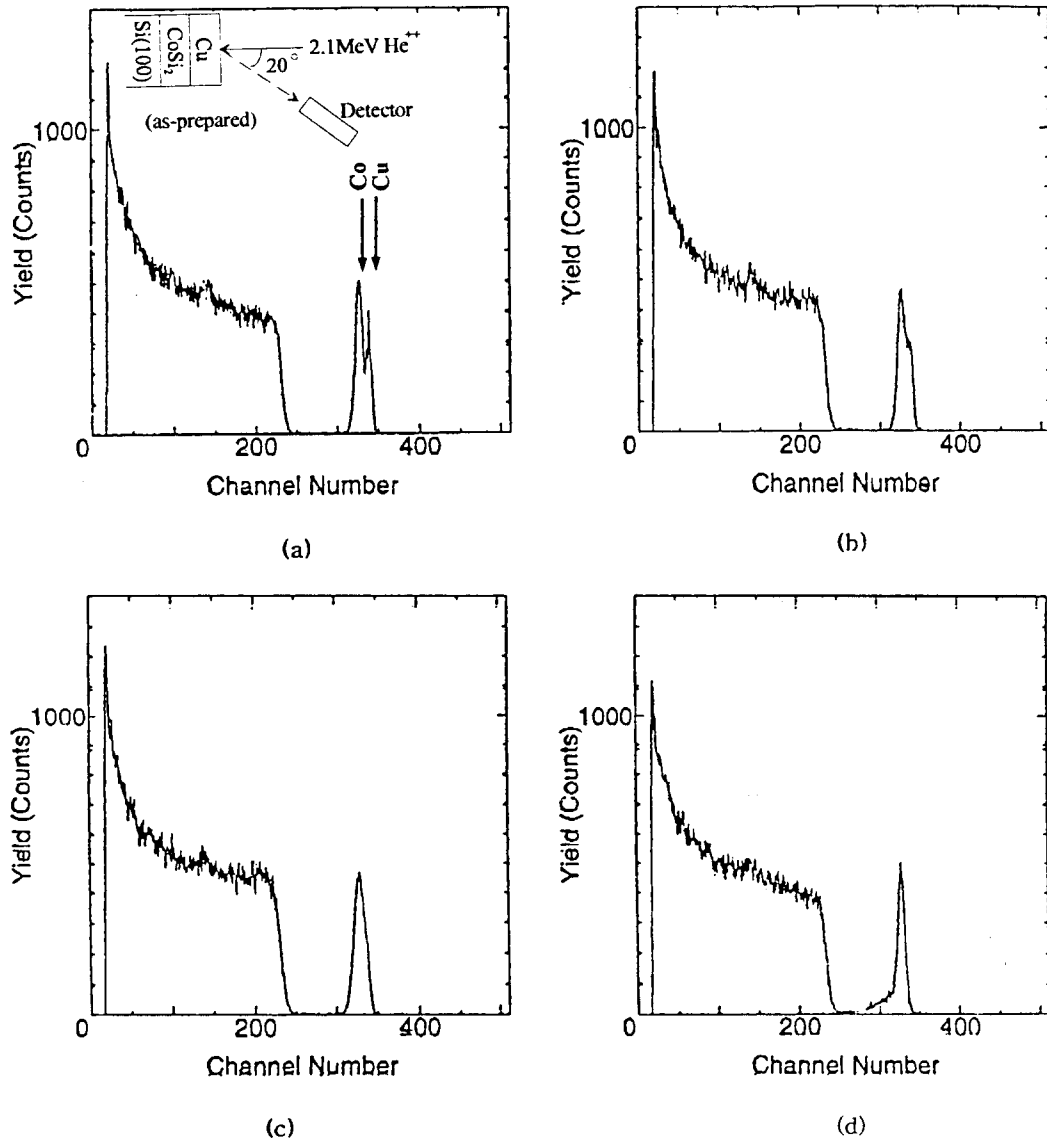


Fig. 2. RBS spectra of Cu/CoSi<sub>2</sub>/Si sample after furnace annealing for 30 min: (a) no annealing, (b) 200°C, (c) 400°C and (d) 600°C.

Fig. 2의 RBS 분석결과를 보면 구리 실리사이드층이 형성되는 위치가 Si이 주이동원소로서 Cu<sub>3</sub>Si/CrSi<sub>2</sub>/Si와 같이 나타나는 CrSi<sub>2</sub> 경우와는 달리<sup>1)</sup> CoSi<sub>2</sub> 층위가 아니라 CoSi<sub>2</sub> 층과 Si 기판 사이임을 알 수 있다. Fig. 2(a)에서 약간 겹쳐 있는 오른쪽의 날카로운 이중 피크중 왼쪽 것은 CoSi<sub>2</sub> 층의 Co에 의한 피크이고 오른쪽 것은 Cu 피크이다. Fig. 2(b)에서 Cu 피크가 감소되는 것으로 보아 200°C에서는 Cu의 일부가 아래의 CoSi<sub>2</sub> 층으로 확산해 들어갔으며,

Fig. 2(c)에서 Co 피크와 Cu 피크가 완전히 합쳐져 하나의 피크가 되었음을 볼 수 있는데, 이것은 400°C에서의 열처리 과정에서 Cu가 모두 CoSi<sub>2</sub> 층내로 이동하였음을 나타내는 것이다. 그리고 600°C에서 Co 피크의 왼쪽 edge의 아래 부분이 왼쪽으로 꺾여진 것은 CoSi<sub>2</sub> 층을 통과하여 Si 기판으로 내려간 Cu가 Si와 반응하여 구리 실리사이드층을 형성한 것을 나타내는 것이다. 이상에서 살펴본 XRD와 RBS 분석결과로부터 Cu/CoSi<sub>2</sub>/Si 구조를 열처리하면,

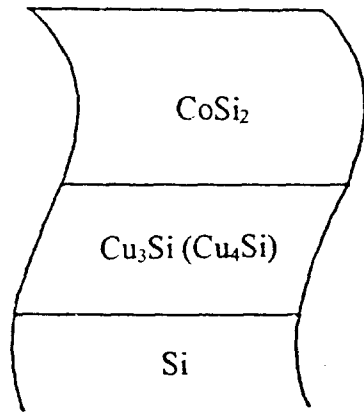


Fig. 3. Schematic cross-section view of Cu/CoSi<sub>2</sub>/Si sample after furnace annealing at 600°C for 30min.

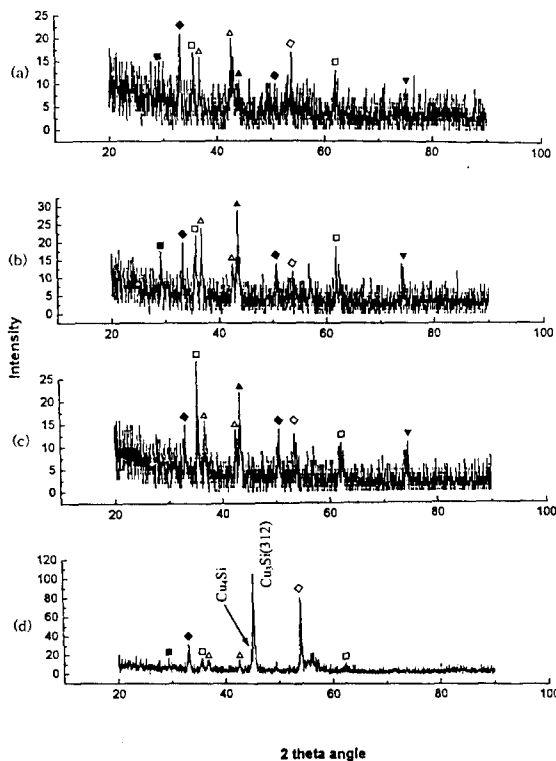


Fig. 4. XRD spectra of Cu/Co-Ti multi-layer silicide/Si sample after furnace annealing for 30min: (a) no annealing, (b) 200°C, (c) 400°C and (d) 600°C. (■ CoSi<sub>2</sub>(111), ◆ CoSi<sub>2</sub>(400), ▲ Cu(111), ▼ Cu(220), ◆ Cu(200), [ ] Co<sub>10</sub>Ti<sub>6</sub>Si<sub>3</sub>, △ TiO<sub>2</sub>, ◇ Si substrate)

400°C 이상에서 Fig. 3에서와 같은 CoSi<sub>2</sub>/Cu<sub>3</sub>Si/Si 구조가 얻어진다는 결론을 얻을 수 있다.

### Co-Ti 이중층 실리사이드/Cu의 계면반응

Fig. 4(a)–(d)는 Co/Ti 이중층을 실리사이드화한 다음 그 위에 두께 100Å 정도의 얇은 Cu막을 evaporation법으로 증착하고 다시 200, 400 및 600°C에서 30분간 furnace annealing 처리한 시편들에 대한 XRD 분석결과들이다. 200°C나 400°C에서 열처리한 경우는 열처리하지 않은 경우와 비교할 때 XRD 스펙트럼 상에 특별한 변화가 없는 것으로 보아 Cu와 실리사이드간에 아무런 반응이 일어나지 않은 것으로 판단된다. 그러나 600°C에서 열처리한 경우에는 열처리하지 않은 시편에서 나타났던 여러 상들에 대한 피크들 외에 그것들보다 훨씬 더 높고 예리한 Cu<sub>3</sub>Si 피크와 그다지 높지는 않지만 새로운 Cu<sub>4</sub>Si 피크가 나타났다. 이것으로부터 400°C와 600°C 사이의 온도에서 Cu 원자들과 Si 원자들이 만나 반응함으로써 Cu<sub>3</sub>Si층이 형성됨을 알 수 있다. Olowolafe 등<sup>11)</sup>은 Cu/TiSi<sub>2</sub> 구조를 열처리할 때 350°C 이상에서 Cu의 확산 및 TiSi<sub>2</sub>의 부분적인 분해에 의하여 Cu가 Ti, Si 모두와 반응하고, 그 결과 Cu<sub>3</sub>Ti 및 Cu<sub>4</sub>Si, Cu<sub>4</sub>Si가 생성되는 것으로 보고한 바 있다. 그러나 본 실험에서는 400°C와 600°C의 XRD 스펙트럼들로부터 확실한 Cu<sub>3</sub>Ti 피크는 발견할 수 없었다. 대부분의 Ti는 이미 TiO<sub>2</sub>와 Co-Ti-Si의 화합물을 형성하였으며, Table. 1에서 보인 바와 같이 Cu<sub>3</sub>Ti의 생성열이 크지 않아 Cu<sub>3</sub>Ti는 생성되지 않은 것으로 생각된다.

앞의 XRD 분석에 사용한 것과 같은 종류의 시편들에 대한 RBS 분석결과를 Fig. 5(a)–(d)에 보였다. 우측의 작은 세 개의 피크는 원편으로부터 각각 Ti, Co 및 Cu에 대한 것이다. 여기서 Co와 Ti 피크는 실제로 각각 Co-rich Co-Ti-Si 및 Ti-rich Ti-Co-Si와 같은 삼원계 합금층에서의 Co와 Ti에 대한 것이다. Fig. 5(a)에서의 Co와 Ti 피크를 Fig. 6의 열처리하지 않은 Si 기판위의 Co/Ti 이중층에 대한 RBS 스펙트럼에서의 Co와 Ti에 대한 피크와 비교할 때 이 두 피크의 높이가 더 낮아지고 폭이 더 넓어진 점으로 보아 이 Co-Ti-Si 합금층들은 실리사이드화 열처리에 따른 원자들의 확산으로 형성된 것임을 알 수 있다. 200°C에 대한 RBS 스펙트럼에서 이미 Cu 피크의 높이가 낮아지면서 Co 피크와 Cu 피크가 하나로 합쳐지기 시작하는 것으로 보아 일부 Cu 원자들이 200°C에

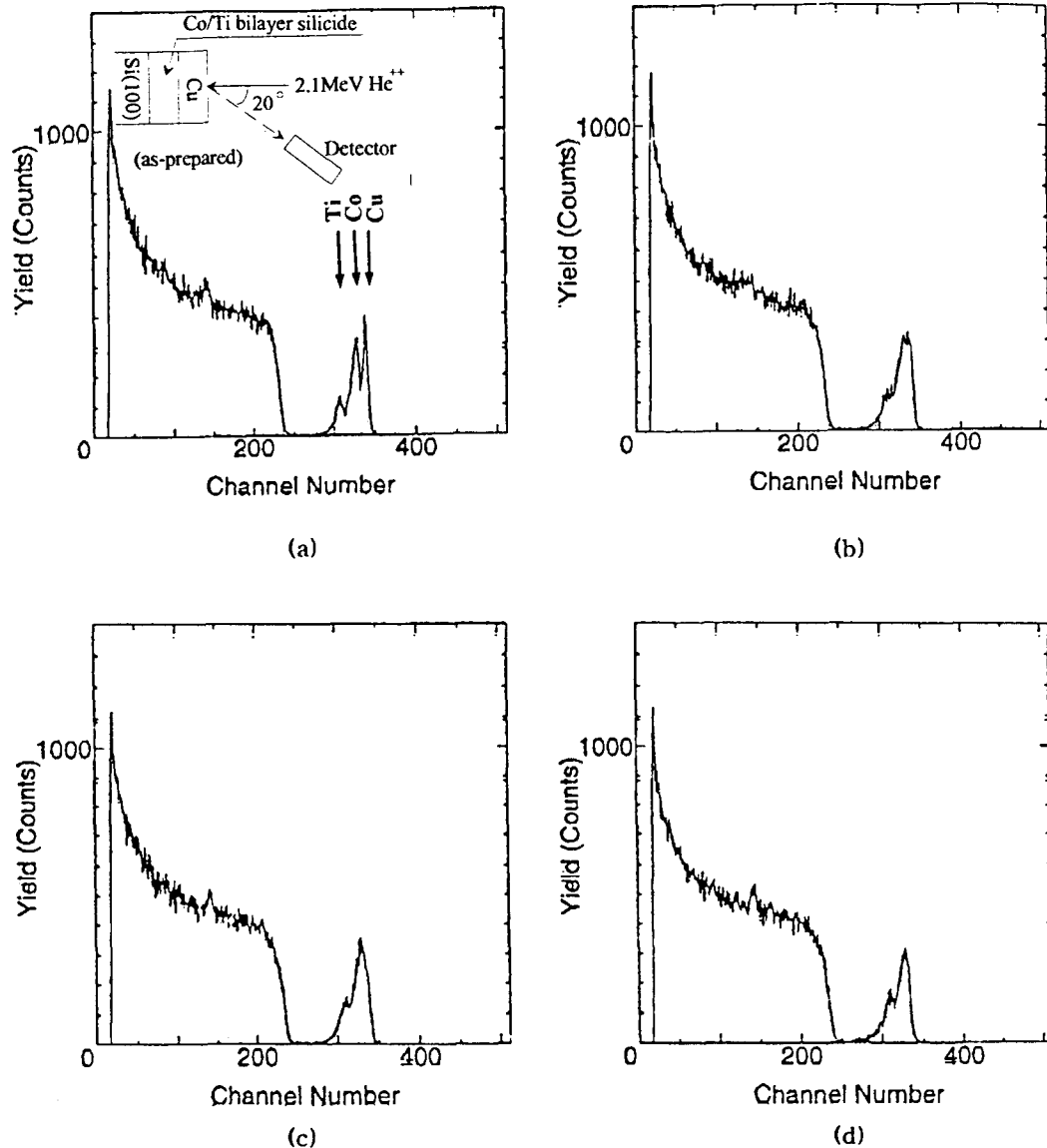


Fig. 5. RBS spectra of Cu/Co-Ti multilayer silicide/Si sample after annealing for 30min: (a) no annealing, (b) 200°C, (c) 400°C and (d) 600°C.

서 이미 그 아래의 Co-rich Co-Ti-Si 및 Ti-rich Ti-Co-Si 층 속으로 확산하여 이동한 것으로 생각되며, 400°C에서는 Co와 Cu 피크가 하나로 합쳐짐으로써 초기 Cu막내의 거의 대부분의 Cu 원자들이 아래층으로 이동한 것으로 보인다. 그러나 400°C의 XRD 스펙트럼(Fig. 4(b))에서 Cu 피크는 뚜렷이 나타나지만, Cu 화합물 피크가 전혀 나타나지 않는 점으로 미루어 보아 200°C에서와 유사하게 아직 일부 Cu만 아래층으로 내려갔으며, Co-Ti-Si 층으로

이동한 Cu는 Co, Ti, Si와 함께 비정질의 4원계 합금(고용체)층을 형성한 것으로 생각된다. 200, 300 및 400°C에 대한 XRD 스펙트럼(Fig. 4(a),(b) 및 (c))에서는 강도커브의 진동(fluctuation)이 매우 심한 반면, 600°C에 대한 XRD 스펙트럼(Fig. 4(d))에서는 진동이 적은 것은 400°C로부터 600°C로 열처리온도가 증가함에 따라 Cu-Co-Ti-Si 합금이 비정질 상태에서부터 결정질 상태로 바뀌고 있는 증거라 하겠다. 600°C에서는 Co 피크의 왼편 edge 부분의 높이가 좀

Table 1. Standard heats of formation<sup>12)</sup>  $\Delta H_f^\circ$  and first phase formation temperature<sup>11)</sup>.

compound	$-\Delta H_f^\circ$ (kcal/mol)	T <sub>f</sub> (°C)
CoSi <sub>2</sub>	8.2	550
TiSi <sub>2</sub>	10.7	600
Cu <sub>3</sub> Si	?	300
Cu <sub>2</sub> Si	?	
CoTi	10.7	
Co <sub>2</sub> Ti	8.1	
TiO <sub>2</sub>	73.0	
CoO	28.6	
Cu <sub>3</sub> Ti	?	

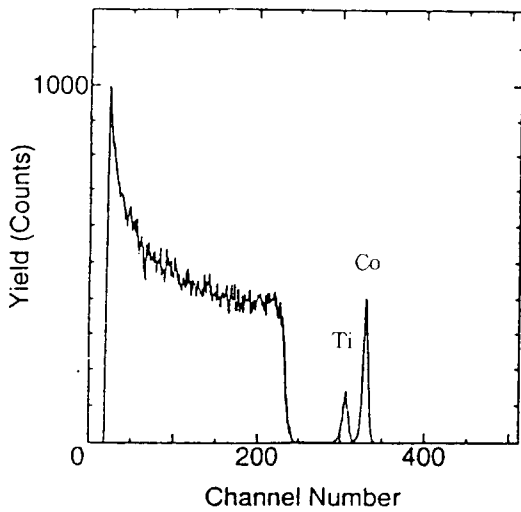


Fig. 6. RBS spectra of Co/Ti/Si sample before silicidation annealing.

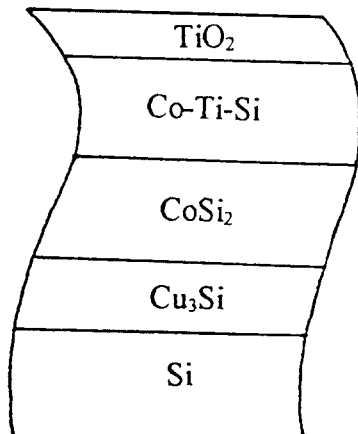


Fig. 7. Schematic cross-section view of Cu/Co-Ti multilayer silicide/Si annealed at 600°C for 30min.

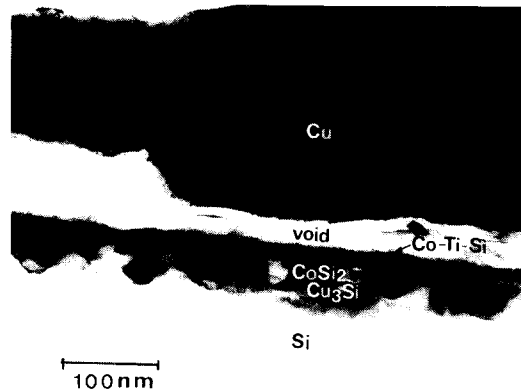


Fig. 8. TEM cross-sectional micrograph of Cu/Co-Ti multilayer silicide/Si annealed at 600°C for 30min.

더 증가한 점과 XRD 스펙트럼(Fig. 4(d))에서 Cu 피크가 완전히 사라지고 Cu<sub>3</sub>Si 피크가 나타난 점으로 보아 초기 Cu막내의 모든 Cu 원자들이 확산하여 아랫층으로 이동하였으며 이 Cu 원자들이 CoSi<sub>2</sub>층을 거쳐 계속 Si 기판까지 이동하여 CoSi<sub>2</sub>층과 Si 기판 사이에 Cu<sub>3</sub>Si층을 형성한 것으로 판단된다. 이러한 XRD와 RBS 분석결과로부터 추정된 600°C 열처리 후의 층 구조는 Fig. 7과 같다.

Fig. 8은 Cu/Co-Ti silicide/Si(100) 시편을 열처리한 후 그 단면에 대해 얻은 TEM 사진이다. 여기서 Cu막은 무전해 도금법으로 성장시켰으며, 그 두께는 약 500nm이다. 사진 왼편에서 넓게 시작되어 오른편 끝까지 이어진 희고 굵은 띠처럼 보이는 부분은 열처리 중 열응력에 의하여 Cu막이 실리사이드 표면으로부터 국부적으로 떨어져 나감으로써 생긴 void이다. Cu막이 두꺼울 경우 Cu막과 실리사이드

막간의 부착특성이 그다지 좋지 못하여 두꺼운 Cu막의 경우에는 열처리시에 lift-off되기 쉬움을 알 수 있다. 따라서 Cu 원자들의 확산에 의한  $Cu_3Si$ 층의 형성을 막고 Cu/실리사이드간의 부착성을 향상시키기 위하여 Cu막과 실리사이드층 사이에 barrier metal 층을 사용할 것으로 요구된다 하겠다.

#### 4. 결 론

Cu/CoSi<sub>2</sub>/Si 구조는 열처리시 400°C 이상의 온도에서  $Cu_3Si$ (또는  $Cu_4Si$ )를 형성한 반면, Cu/Co-Ti 이중층 실리사이드/Si 경우에는 Co-Ti-Si의 합금층으로 인하여 400°C까지는 Co-Ti-Si 합금과 그 층으로 이동한 Cu가 섞여서 비정질상태의 Co-Ti-Si-Cu의 4원계 합금층을 형성하고 있는 것으로 생각된다. 또한 그 두 구조에서 열처리시에 형성되는  $Cu_3Si$ 층의 위치는 모두 CoSi<sub>2</sub>층과 Si 기판 사이였으며, 이것은 Cu 원자의 확산속도가 Si 원자의 확산속도보다 더 빠르기 때문이다.

Cu/CoSi<sub>2</sub>/Si 및 Cu/Co-Ti 실리사이드/Si 구조를 600°C에서 열처리할 때 얻어지는 최종구조는 각각 Cu/CoSi<sub>2</sub>/Cu<sub>3</sub>Si/Si 및 TiO<sub>2</sub>/Co-Ti-Si 합금/CoSi<sub>2</sub>/Cu<sub>3</sub>Si/Si이다. 이것은 열처리시 RTA 장비내의 진공상태가 완벽하지 못하여 산소가 일부 개입된 경우 얻어진 구조로서 산소 불순물이 전혀 개재되지 않을 경우에는 표면의 TiO<sub>2</sub>층은 형성되지 않을 것이다.

또한 Cu막이 두꺼울 경우에는 Cu/실리사이드 계면에서 Cu막이 lift되기 쉬우므로 Cu막과 실리사이드층 사이에 barrier metal 층을 사용하여 부착특성을 향상시키는 것이 바람직한 것으로 보인다.

#### 감사의 글

본 연구는 RETCAM을 통한 한국과학재단

및 삼성전자의 지원에 의하여 수행된 것으로 이에 감사드립니다.

#### 참 고 문 헌

1. Itch et., 39th Jap. Appl. Phys. Conf. Proc. #309-zh-8, March (1992).
2. J.-D. McBreyer, R.M.Swanson, and T.W. Sigmon, J.Electrochem. Soc., 133(6), **1242** (1986).
3. T.Kodas, and M.Hampden-Smith, eds., "The Chemistry of Metal CVD", VCH Publishers Inc., 1994.
4. M.E.Gross and V.M.Donnely, Conf. Proc. ULSI-VII, p.355 (1992).
5. S.Wolf, "Silicon Processing for the VLSI Era", vol.2, Lattice Press, 1990, p.143.
6. F.Hong, and G.A.Rozgonyi, J.Electrochem. Soc., 141(12), **3480** (1994).
7. C.Y.Ting and M.Wittmer, J.Appl.Phys., 52(2), **937** (1983).
8. Chin-An Chang, J.Appl.Phys., 66(7), **2989** (1989).
9. G.J.van Gorp, J.L.C.Daams, A.van Oostrom, L.J.M.Augustus, and Y.Tamminga, J.Appl. Phys., 50(11), **6915** (1979).
10. R.Rosenberg, M.J.Sullivan, and J.K.Howard, in Thin Films-Interdiffusion and Reactions, edited by J.M.Poate, K.N.Tu, and J.W.Mater (Wiley, New York, 1978), p.25.
11. J.O.Olowolafe, J.Li, and J.W.Mayer, J. Appl.Phys. 68(12), **6207** (1990).
12. R.Pretorius, J.M.Harris, and M.A.Nicolet, Solid State Electron. **21**, **667** (1978).