

연속 및 버스트모드 통신을 위한 길쌘부호기와 비터비복호기 ASIC 설계

正會員 張 大 翼*, 金 大 榮**

Design of a Convolutional Encoder and Viterbi Decoder ASIC for Continuous and Burst Mode Communications

Dae-Ig Chang*, Dae Young Kim** *Regular Members*

要 約

위성통신의 링크상에서 발생하는 각종 잡음들에 의한 데이터 오류는 오류정정능력이 뛰어난 길쌘부호 방식의 비터비 복호 알고리즘을 이용하여 정정한다.

본 논문에서는 저속데이터 전송용 VSAT 통신시스템에 이용하기 위해 송신부에서 데이터를 부호화하고 수신부에서 데이터의 오류를 정정하는데 사용되는 길쌘부호기 및 비터비 복호기를 설계하였고 ASIC칩으로 구현하였으며, 본 칩은 BPSK, QPSK, 또는 OQPSK 전송시스템 어디에서나 사용될 수 있다. 데이터 모호성 해결기는 순서나 극성이 변환된 데이터를 원래의 순서와 극성으로 데이터를 회복시키기 위해 데이터의 지연이나 반전 또는 데이터심볼의 교환에 의해 PSK 변복조 시스템의 모호성을 해결한다. 기존 복호시스템의 경우 데이터의 모호상태는 외부 제어로직에 의해서 해결되고 모호상태 해결을 위한 별도의 리던던시 데이터가 요구된다. 그러나 본 논문에서 제안한 복호기를 사용함으로써, 연속모드의 경우 복호기의 내부 로직에 의해서 자동적으로 해결되고 버스트모드의 경우 별도의 리던던시 데이터 없이 데이터의 모호성이 해결된다. 그러므로 연속모드에서는 복호부가 간단해지고 버스트모드에서는 전송효율이 증가한다.

본 칩은 송신측과 수신측의 제어와 클럭이 독립적으로 동작되고 버스트모드 시스템에 사용하기 위해 데이터의 시작/끝 입력이 있으며 부호기와 복호기를 검증하기 위한 루프백 기능, 그리고 모호성 해결을 위한 내부 또는 외부 제어 기능이 있는것을 특징으로 한다.

구현된 ASIC칩의 기능을 검증하고 성능을 테스트하기 위해 본 칩을 VSAT 통신시스템의 중심국과 단말국에 장착하였으며 현재 상용으로 사용되고 있는 인텔 7000을 이용 현장시험한 결과 성능이 우수한 것으로 입증되었다.

ABSTRACT

Data errors according to the various noises caused in the satellite communication links are corrected by the

* 한국전자통신연구소 위성통신연구단 선임연구원

** 충남대학교 공과대학 정보통신공학과 교수

論文番號: 95319-0913

接受日字: 1995年 9月 13日

Viterbi decoding algorithm which has extreme error correcting capability.

In this paper, we designed and implemented a convolutional encoder and Viterbi decoder ASIC which is used to encode the input data at the transmit side and correct the errors of the received data at the receive side for use in the VSAT communication system. And this chip may be used in any BPSK, QPSK, or OQPSK transmission system. The ambiguity resolver corrects PSK modem ambiguities by delaying, inverting, and/or exchanging code symbol to restore their original sequence and polarity. In case of previous decoding system, ambiguity state(AS) of data is resolved by external control logic and extra redundancy data are needed to resolve AS. But, by adopting decoder proposed in this paper, AS of data is resolved automatically by internal logic of decoder in case of continuous mode, and by external AS line without extra redundancy data in burst mode case. So, decoding parts are simple in continuous mode and transmission efficiency is increased in burst mode.

The features of this chip are full duplex operation with independent transmit and receive control and clocks, start/stop inputs for use in burst mode systems, loopback function to verify encoder and decoder, and internal or external control to resolve ambiguity state.

For verification of the function and performance of a fabricated ASIC chip, we equipped this chip in the Central and Remote Earth Station of VSAT system, and did the performance test using the commercial INTELSAT VII under the real satellite link environments. The results of test were demonstrated the superiority of performance.

I. 서 론

최근 위성통신분야의 기술적 발달로 지구국의 소형화와 가격의 저렴화 그리고 시스템의 신뢰성에 기인하여 위성통신은 여러분야에서 각광을 받고 있으며 특히 국내에서는 95년 8월 발사된 무궁화위성을 이용한 다양한 서비스를 계획하고 있다. 이 서비스의 근원인 정보데이터는 신뢰성이 절대적으로 보장되어야 하는데 원거리의 위성통신로상에서 발생하는 각종 잡음들^{(3), (4)}에 의해 데이터가 왜곡되어 정확한 정보전달이 어렵게 된다. 이러한 문제점을 해결하기 위해 부호이론을 도입, 정보를 잡음으로부터 보호하고 오류를 검출 및 정정함으로써 정확한 의사를 사용자에게 전달한다. 길쌈부호(Convolutional Codes)는 블록부호(Block Codes)에 비해 복잡한 구조를 가지고 있으나 오류정정능력이 매우 우수하고^{(1), (2)} 최근 VLSI 기술의 발달로 복잡한 구조도 1개의 칩으로 구현이 가능해짐에 따라 위성통신 및 방송 그리고 디지털 이동통신시스템에 널리 사용되거나 사용될 예정이다.

본 논문에서는 저속데이터 전용지구국(VSAT, Very Small Aperture Terminal) 통신시스템에 사용하기 위해 길쌈부호기와 비터비 복호기를 설계하였는데, 인바운드(Inbound)의 TDM(Time Division Multiplexing)

통신방식에서는 연속(Continuous) 데이터의 모호성(Ambiguity)을 칩 내부에서 자동으로 해결하도록 함으로써 복호부 회로를 간단히 할 수 있었다. 아웃바운드(Outbound)의 TDMA(Time Division Multiple Access) 통신방식에서는 버스트(Burst) 모드의 특징이 데이터의 길이가 짧고 랜덤하게 수신되기 때문에 데이터의 모호성 해결을 위해 기존의 복호방법으로는 매 버스트의 초기마다 데이터 모호성 해결용 리던던시를 삽입해야 하는데 본 제시 방법으로는 모호성 해결을 위한 별도의 리던던시 데이터를 삽입하지 않고 외부에서 모호성 제어가 가능하도록 함으로써 통신 효율을 높일 수 있었으며 프로세서의 지원없이 부호기와 복호기가 동작하도록 설계한것을 특징으로 한다. 또한 부호화된 데이터나 복호화된 데이터를 내부적으로 검증하기 위한 루프백(loopback) 기능과 부호화된 데이터와 복호화된 데이터의 시작과 끝을 알려주는 TSSO/RSSO 기능을 첨가하였다. 본 길쌈부호기와 비터비 복호기를 동일한 칩내에서 동작하도록 설계하였고 길쌈부호기, 비터비 복호기, PSK MODEM 위상 모호성 해결기, 데이터 성능 모니터 기능이 동시에 독립적으로 수행되도록 설계하였다.

본 논문의 구성은 다음과 같다. 2장에서는 길쌈부호기와 비터비 복호 알고리즘을 이론적으로 고찰하

였고, 3장에서는 길쌈부호기, 4장에서는 비터비 복호기, 5장에서는 루프백제어부를 설계하였으며 6장에서는 설계된 결과를 검증하기 위해 테스트 벡터를 설계하여 시뮬레이션함으로써 부호기와 복호기의 기능을 검증하였고 7장에서는 본 칩의 특징을 설명한 다음 8장에서 결론을 맺었다.

II. 길쌈부호기와 비터비 복호기의 이론적 접근

길쌈부호는 1955년 Elias^{(1), (2), (4)}에 의해 처음으로 소개된 이후 많은 발전이 이룩되었는데 정보계열을 K 비트씩 일정한 길이의 블럭단위로 잘라 똑같은 길이의 n 비트 부호어로 단순 부호화한 블럭부호와는 달리 과거의 정보블럭이 현재의 정보블럭에 영향을 미치는 메모리기능이 있다⁽¹⁾⁽²⁾. 따라서 길쌈부호는 블럭부호에 비해 복잡한 구조를 가지고 있으나 오류정정능력이 매우 우수한 특성을 가지고 있어 위성통신 및 이동통신시스템에 많이 사용된다.

1. 길쌈부호기

구속장(Constraint Length)이 k인 길쌈부호기는 m단의 지연소자로 구성하며 길쌈부호의 생성다항식 $g_i(x)$ 에 의해 선정된 각 지연소자들의 출력을 2원가산기(EX-OR gate)를 이용 가산시킴으로써 부호화된 출력을 생성한다. 식 (1)은 i가 1인 경우 구속장 k와 지연소자수 m의 관계식으로 지연소자수는 구속장 k보다 1이 적다.

$$m = k - 1 \tag{1}$$

부호율(Code Rate)을 R이라 하면 R은 i와 j의 비율로 표현할 수 있으며 i는 입력단수, j는 출력단수를 표시하고 식 (2)와 같은 관계식을 갖는다.

$$R = i/j \tag{2}$$

부호율 R은 1/4, 1/3, 1/2, 2/3, 3/4등 여러가지가 있으며 부호율이 적을수록 부호화 이득(coding gain)이 좋아지지만 상대적으로 데이터의 리턴던시가 증가하고 부호기가 복잡해지며 전송속도가 감소 혹은 대역폭이 증가하는 단점이 있다. 부호화를 위한 효율

적인 길쌈부호의 생성다항식은 널리 알려져 있으며 부호율 R = 1/2인 경우 생성계열은 표 1과 같다.

표 1. 최적 길쌈부호의 생성계열^{(1), (2)}

Table 1. Generation sequences of best Convolutional codes^{(1), (2)}

K	$g^{(1)}$	$g^{(2)}$
3	111	101
4	1111	1101
5	11101	10011
6	101111	110101
7	1111001	1011011
8	10011111	11100101
9	111101011	101110001
10	1101100101	1001110111

2. 비터비 복호 알고리즘

비터비 알고리즘^{(5), (6)}은 Trellis Diagram의 격자상도 상에서 Hamming 거리가 가장 작은 경로인 최적

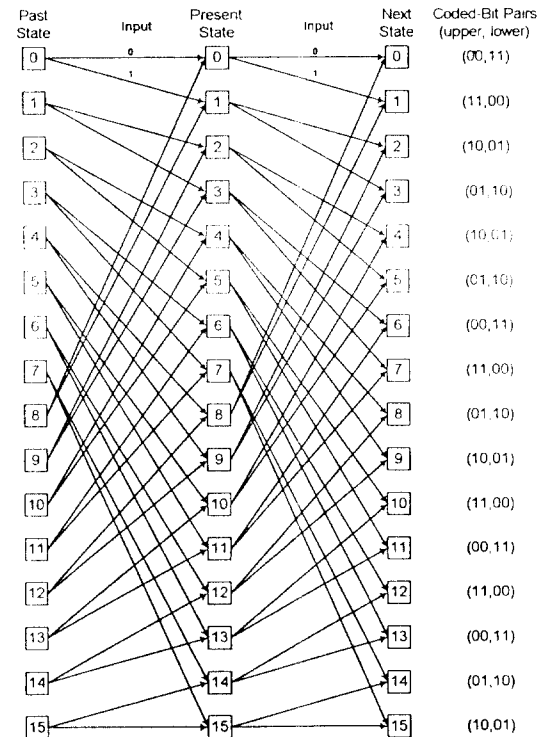


그림 1. K = 5의 격자상도
Fig 1. Trellis diagram of K = 5

의 생존경로(Survivor Path)를 선택함으로써 데이터의 오류를 정정하는 복호법으로 2^m 개의 생존경로를 기억하기 위한 레지스터와 수신데이터의 Hamming 거리를 계산하여 저장하는 레지스터 그리고 생존여부를 판정하기 위한 비교기등으로 구성한다.⁽⁷⁾ 그림 1은 구속장 k 가 5이고 부호율 R 이 1/2인 격자상도 표 1의 생성계열에 따라 구성한다. Box는 부호기 레지스터의 상태를 표시하며 ()는 상향과 하향의 부호화된 데이터값을 표시한다. 또한 상위의 화살표는 복호된 데이터값이 로직 "0", 하위의 화살표는 복호된 데이터값이 로직 "1"임을 표시한다.

III. 길쌈부호기 설계

송신부에서 입력 데이터를 부호화하는 부분으로 길쌈부호기(Convolutional Encoder)를 이용한다. 표 1에 따라 부호율 $R=1/2$, 구속장 $k=5$ 로 설계하면 길쌈부호기의 생성다항식은 식 (3)과 같다.

$$g_1(D) = PCD1 = 1 + D + D^2 + D^4 \quad (3)$$

$$g_2(D) = PCD2 = 1 + D^3 + D^4$$

식 (3)의 생성다항식에 따른 부호기는 그림 2와 같으며^(1, 2, 7, 9), 생성다항식에 의해 선정된 지연소자(D)들의 출력을 2원 가산기를 이용 가산 시킴으로써 부호화된 출력을 생성한다.

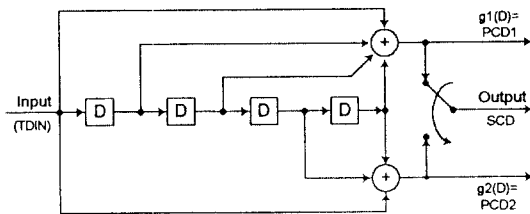


그림 2. 길쌈 부호기
Fig. 2. Convolutional encoder

부호기는 송신클럭(TCLK)과 직렬의 송신 데이터 입력(TDIN)을 받아 부호화하여 직렬출력(SCD)과 병렬출력(PCD1, PCD2)으로 출력 버퍼에 출력한다. 이

때 SCD의 속도는 TDIN속도의 2배이고 PCD의 속도는 TDIN속도와 동일하며 SCD는 BPSK 변조기의 입력으로, PCD1, 2는 QPSK 변조기의 I Q로 사용한다. 부호화된 데이터 SCD와 PCD의 속도와 TDIN의 속도관계는 식 (4)와 같다.

$$\begin{aligned} \text{SCD RATE} &= 2 \times \text{TDIN RATE} \\ \text{PCD1, 2 RATE} &= \text{TDIN RATE} \end{aligned} \quad (4)$$

본 부호기의 특징으로는 TDMA의 버스트모드 데이터에서 부호화할 데이터의 시작/끝(Start/Stop) 입력(TSSI)은 부호기에서 입력 데이터의 시작/끝을 제어하도록 하였으며, 부호화된 데이터의 송신 시작/끝 출력(TSSO)은 TSSI에 의해 부호화된 데이터의 시작/끝을 표시하도록 함으로써 이 TSSO를 이용 위성통신 시스템의 고출력증폭기(HPA, SSPA)를 부호화된 버스트 데이터의 유무에 따라 온/오프하도록하여 출력을 절약할 수 있도록 한다. 본 기능은 제 5장에서 언급한다.

IV. 비터비 복호기 설계

수신부에서 부호화된 데이터의 복호를 수행하는 부분으로 비터비 복호알고리즘^{(5), (6)}에 의해 통신로상에서 발생하는 오류를 정정한다. 복호를 위한 기능으로 CSF(Code-Symbol Formatter), AR(Ambiguity Resolver), DQM(Data Quality Monitor), MCU(Maintenance Control Unit), 복호 기능으로 BMC(Branch Metric Calculator), ACS(Add Compare Select), PMNS(Path Metric Normalizer and Storage), TCU(Timing and Control Unit), SSU(Survivor Storage Unit)등으로 구성한다. 복호를 위한 기능도는 그림 3과 같고 비터비 복호기의 기능도는 그림 4와 같다.

1. Code-Symbol Formatter(CSF)부

직렬(BPSK)이나 병렬(QPSK, OQPSK)로 변조된 데이터 모두를 본 복호기로 복호하기 위해 복호할 데이터를 병렬형태인 g_0, g_1 에 매칭시켜야 하며 g_0, g_1 의 출력은 각각 I와 Q에 해당한다.

QPSK나 OQPSK에서는 직렬입력선택(SER)을 LOW로 하고 두 부호심볼(code symbol)을 I와 Q로 입력하

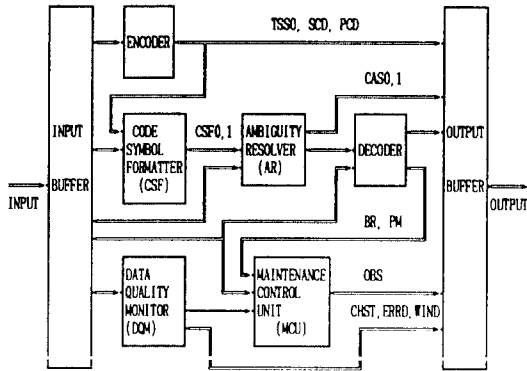


그림 3. 복호를 위한 기능블럭도
Fig. 3. Function diagram for decoding

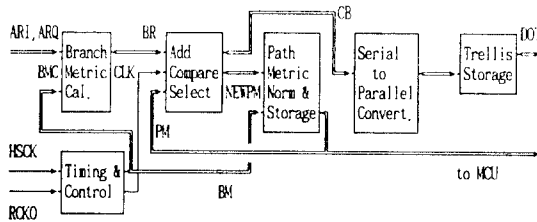


그림 4. 비터비 복호기 기능블럭도
Fig. 4. Function diagram of Viterbi decoder

였을때 각각 CSFI와 CSFQ로 출력되도록 하였고, 수신클럭출력(RCKO)은 식(4)에 의해 수신클럭입력(RCKI)과 동일한 주파수가 되도록 설계하였다. 또한 BPSK에서는 SER을 HIGH로 하고 한 부호심볼을 I로 입력하였을때 병렬로 CSFI와 CSFQ로 출력되도록 하였고 RCKO는 식 (4)에 의해 RCKI의 1/2이 되도록 설계하였다.

$$CSFI = (SER \& \frac{1}{2} I') + (SER \& I)$$

$$CSFQ = (SER \& \frac{1}{2} F I') + (SER \& Q) \quad (5)$$

여기서 SER은 SER에 대한 부 논리이고 &는 AND, +는 OR 게이트를 의미하며 I'와 I"는 순차적으로 입력된 직렬 데이터이다.

2. Ambiguity Resolver(AR)부

기존의 상용화된 칩⁽⁹⁾에서는 수신신호의 위상모

호성에 의한 데이터의 모호성을 해결하기 위해 임계치 이상의 오류발생시 모호상태(AS)를 칩 내부에서 변화시키면서 복호하고 복호된 데이터에 임계치 이내의 오류가 발생될때 까지 계속 AS를 변화시키는 방법을 적용함으로써 모호성 해결을 위한 별도의 리던던시 데이터가 삽입되어야 한다. 그러나 본 논문에서는 데이터의 모호성 해결을 칩 내부에서 자동으로 해결할 뿐만 아니라뿐만 외부의 제어에 의해 모호성을 해결하는 방법을 도입하였다.

수신된 신호의 위상 모호성 해결을 위한 모호성 해결기(Ambiguity Resolver(AR))는 수신된 신호의 위상 변화에 의한 데이터의 반전(Inverting, INV), 지연(Delaying, DEL), 부호화된 심볼의 교환(Switch, SW)등의 데이터 모호성을 보상하도록 하며, 이 기능은 1장에서 언급한 바와 같이 연속모드 데이터 처리를 위해 내부적으로 처리하거나 버스트모드 데이터 처리를 위해 외부신호의 제어로 처리하는 특징을 갖는다. 신호의 위상모호성 90°,180°,270°에 의한 데이터의 모호성을 BPSK, QPSK 그리고 OQPSK 시스템(Differential Code 포함)에 대해 표 2와 같이 표시할 수 있다^{9, 10)}.

표 2. 모뎀의 모호성 상태
Table 2. Modem ambiguity state

Phase	Amb. State	BPSK		QPSK		OQPSK	
		No	Diff.	No	Diff.	No	Diff.
		Diff.	Diff.	Diff.	Diff.	Diff.	Diff.
0	0 0	A0 B0	A0 B0	A0 B0	A0 B0	A0 B0	A0 B0
90	0 1	B0 A1	B0 A1	B0 A0	B0 A0	B0 A1	B0 A1
180	1 0	A0 B0	A0 B0	A0 B0	A0 B0	A0 B0	A0 B0
270	1 1	B0 A1	B0 A1	B0 A0	B0 A0	B0 A1	B0 A1

여기서 표 2는 부호율 R이 1/2인 경우이며, A0는 생성다항식 g₁(D)에 의해 생성된 부호화된 데이터이고 B0는 g₂(D)에 의해 생성된 부호화된 데이터이며, A1와 B1은 다음상태(next state)에서 g₁(D), g₂(D)에 의해 각각 생성된 부호화된 데이터이다. 본 설계에서는 모호상태 해결기 선택(AS1, AS0)을 복호기 내부에서만뿐만 아니라 외부의 제어에 의해 선택할 수 있도록 함으로써 연속모드 전송시스템이나 버스트모드 전송

시스템에서도 쉽게 데이터 모호성이 해결되는 특징이 있다.

표 2에서 PSK 시스템의 4가지 가능한 모호상태에 따라 모호성 해결기는 다음과 같은 부호심볼쌍으로 변환한다.

1. Q code symbol을 one data bit time동안 지연
2. I와 Q code symbol을 교환
3. I code symbol을 반전
4. Q code symbol을 반전

BPSK, QPSK 그리고 OQPSK 시스템에 대해 본 복호기로 복호를 할 수 있으며 제어신호 E, M0, M1으로 표 3과 같이 모형을 선택할 수 있다.

TDM 통신방식인 연속데이터를 복호할 경우 Ambiguity State Change Enable(ASCE)을 선택하며 Data Quality Monitor(DQM)으로 부터 오류가 입계치 이상 발생하여 Change State(CHST)가 HIGH로 되면 모호상태(AS)를 4 카운터를 사용하여 내부적으로 변환하도록 하여 AS0와 AS1을 결정함으로써 데이터의 모호상태를 해결한다.

표 3. 모델의 선택

Table 3. Modem selection

MODEM CONFIGURATION	M1	M0	E
BPSK	0	1	1
BPSK + DIFF. CODE	0	1	0
QPSK	1	0	1
QPSK + DIFF. CODE	1	0	0
OQPSK	1	1	1
OQPSK + DIFF. CODE	1	1	0

또한 TDMA 통신방식인 버스트데이터를 복호할 경우 External Ambiguity State Select(EASS)를 선택하고 외부제어인 External Ambiguity State(EAS0, EAS1)에 의해 각각 AS0 AS1을 선택하여 데이터의 모호성을 해결하도록 하는데, 상기 AS0와 AS1의 선택은 식 (6)과 같다. 표 2와 같은 데이터의 모호성을 해결하기 위해 표 2와 표 3으로부터 변복조 시스템의 종류와 모호상태(AS0, AS1)에 따른 I와 Q 데이터의 모호성 해결을 식 (6)와 같이 표현할 수 있으며 CSFI와 CSFQ의 모호성이 해결된 데이터를 각각 ARI와 ARQ라 표기한다. 입력된 I(CSFI)와 Q(CSFQ) 데이터는 각각 지연(DEL Q), 반전(INV Q, INV I) 또는

상호교환(SW IQ)에 의해 모호성이 해결된다.

$$\begin{aligned} AS0 &= EAS0 \& EASS \& \underline{ASCE} + IAS0 \& ASCE \\ AS1 &= EAS1 \& EASS \& \underline{ASCE} + IAS1 \& ASCE \end{aligned} \quad (6)$$

$$\begin{aligned} DEL Q &= M0 \& AS0 \\ SW IQ &= (M0 + M1) \& AS0 \quad (6') \\ INV I &= E \& [M1 \& (AS0 \oplus AS1) + M0 \& \underline{M1}] \& AS1 \\ INV Q &= E \& AS1 \end{aligned}$$

여기서 &는 AND, +는 OR, \oplus 는 Modulo-2 addition, IAS0과 IAS1은 2비트 4카운터의 하위비트와 상위비트, ASCE와 M1은 부 로직이며 CAS0와 CAS1은 데이터의 모호성을 해결하기 위한 외부의 제어 (EAS0, EAS1)나 내부의 모호성 제어 선택값에 의해 생성되는 현재의 데이터 모호성 선택값으로 AS0 AS1과 동일하다.

3. Branch Metric Calculator부

Branch Metric Calculator(BMC)부는 모호성 해결기로 부터 부호심볼(ARI, ARQ)을 수신하고 Timing & Control부로 부터의 BMC[3:0]에 의해 그림 1의 격자상도의 다음상태를 기준으로 식 (7)과 같이 a1과 a2를 계산한다.

$$\begin{aligned} a1 &= BMC(0) \oplus BMC(1) \oplus BMC(2) \\ a2 &= BMC(0) \oplus BMC(3) \end{aligned} \quad (7)$$

여기서 BMC[3:0]는 Next State를 표시하고 a1 a2는 식 (3)의 g1 g2에서 D*(d)를 제외한 부분이며 g1 g2는 I Q에 해당하기 때문에 식 (8)과 같이 표기한다.

$$\begin{aligned} I &= g1 = a1 \oplus d \\ Q &= g2 = a2 \oplus d \end{aligned} \quad (8)$$

$$\begin{aligned} d' &= a1 \oplus ARI \\ d'' &= a2 \oplus ARQ \end{aligned} \quad (9)$$

여기서 d', d''는 ARI와 ARQ에 의해 생성된 값으로 잡음이 없을 경우에는 d'와 d''는 동일값이고 정상

적인 패스에서 복호된 값이다. d' 와 d'' 에 의해 BR값을 식 (10)과 같이 구할 수 있으며 BR값의 크기는 수신신호에서 오류의 정도를 의미한다.

$$\begin{aligned} \text{UPBR} &= d' + d'' \\ \text{LOWBR} &= \text{UPBR} \end{aligned} \quad (10)$$

그림 1의 격자상도를 보면 lower path는 upper path 부호의 complement관계에 있으므로 회로를 간단히 하기 위해 BMC는 UPBR만 계산하고 LOWBR값은 UPBR을 반전시켜 계산한다. $K=5$ 인 경우 BMC[3:0]에 따른 16쌍의 BR을 계산하며 이 4-bit timing signal에 따라 16쌍의 UPBR과 LOWBR이 각각 계산된다. 즉 그림 1의 상태의 천이에 따른 화살표의 BM값이 계산된다.

비터비 복호 알고리즘은 격자상도에서 수신계열(r)과 Hamming거리가 가장 작은 경로를 즉 로그우도함수(log-likelihood function)가 가장 큰 경로를 추적해 가며 복호하는 방식으로 본 복호기에서 3-bit soft decision(8-레벨) 방식으로 설계할때 3비트에 대한 각각의 가중치는 다음과 같은 방식으로 결정한다. 2π 입력 8π 출력의 DMC는 그림 5와 같으며 각 입력(c) 조건에 대한 출력(r)의 조건확률 $P(r|c)$ 은 다음과 같다.

$$\begin{aligned} P(0|0) &= 0.5, P(1|0) = 0.25, P(2|0) = 0.13, P(3|0) = 0.06, \\ P(4|0) &= 0.03, P(5|0) = 0.015, P(6|0) = 0.01, P(7|0) = 0.005 \\ P(0|1) &= 0.005, P(1|1) = 0.01, P(2|1) = 0.015, P(3|1) = 0.03, \\ P(4|1) &= 0.06, P(5|1) = 0.13, P(6|1) = 0.25, P(7|1) = 0.5 \end{aligned}$$

우도함수(비트평가량)는 식 (11)과 같이 표현되며 각 경우에 대해 값을 구하면 표 4의 (a)와 같고 계산의 편리와 장치화의 편의를 위해 우도함수를 변형하면 식 (12)와 같다^[1]. 여기서 A_1 은 수정된 비트평가량의 값을 양의 값으로 변경하기 위한 값으로 $A_1=2.3$ 이고 A_2 는 수정된 비트평가량의 값을 양의 정수값으로 변경하기 위한 값으로 계산에 의하면 $A_2=3.636$ 이다.

$$\text{비트평가량} = \log_{10} P(r_j | c_i) \quad (11)$$

$$\text{수정된 비트평가량} = A_2 \lfloor \log_{10} P(r_j | c_i) + A_1 \rfloor \quad (12)$$

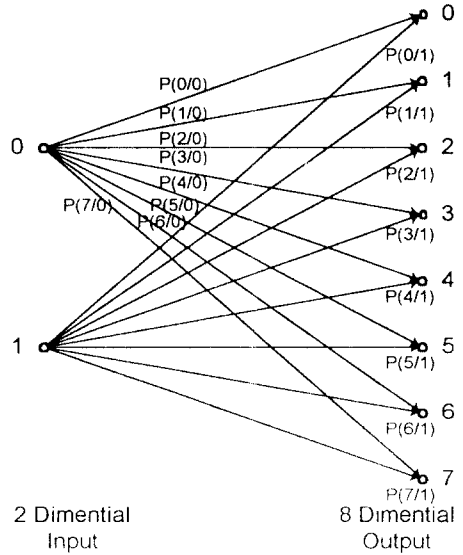


그림 5. 8레벨 연판정을 위한 양자화된 DMC
Fig. 5. Quantized DMC for 8-Level soft decision

표 4 (b)로 부터 수신되는 데이터에 대한 양자화된 8-레벨 값에 대해 0로부터 7까지 평가량이 계산되기 때문에 LSB에 대한 가중치를 1, MSB는 2, 상위부분인 MSB는 4의 가중치로 설계하였으며 2진가산기를 이용 BR값을 계산하였다.

표 4. 그림 5의 비트평가량

Table 4. Bit appraisal value of Fig. 5

$c_i \setminus r_j$	0	1	2	3	4	5	6	7
0	-0.3	-0.6	-0.9	-1.2	-1.5	-1.8	-2.0	-2.3
1	-2.3	-2.0	-1.8	-1.5	-1.2	-0.9	-0.6	-0.3

(a) $\log_{10} P(r_j | c_i)$

$c_i \setminus r_j$	0	1	2	3	4	5	6	7
0	7	6	5	4	3	2	1	0
1	0	1	2	3	4	5	6	7

(b) $A_2 \lfloor \log_{10} P(r_j | c_i) + A_1 \rfloor$

4. Add-Compare-Select부

Add-Compare-Select(ACS)부는 Trellis상태별로 Path Metric Storage의 Path Metric(PM) 값을 BMC의 BR과 합하여 upper와 lower중 작은값을 선택하고 NE-WPM을 생성한다. 즉 UPBR와 UPPM을 합산하고 LOWBR와 LOWPM을 합산한후 합산된 Upper와 Lower의 7비트를 비교기에서 비교하여 작은쪽을

NEWPM[6:0]에 출력한다^(1, 2). 또한 이 과정에서 path는 upper가 선택되면 Control Bit(CB)는 0, lower가 선택되면 CB는 1이 되도록 하고 이 CB를 이용하여 Trellis Storage부에서 오류가 정정된 데이터를 복원한다.

5. Path Metric Normalizer and Storage부

Path Metric Normalizer(PMNS)부는 ACS부로 부터 직렬로 16개의 NEWPM을 수신하여 병렬로 Path Metric Storage(PMS)에 저장하며 저장된 NEWPM은 BMC[3:0]에 따라 UPPM과 LOWPM을 생성하여 ACS부로 제공되는데 본 과정은 식 (13)과 같고 여기서 n은 Next State의 값을 의미한다.

$$UPPM(INT[n/2], present) = NEWPM(INT[n/2], past) \quad (13)$$

$$LOWPM(8 + INT[n/2], present) = NEWPM(8 + INT[N/2], past)$$

버스트 모드에서도 사용하기 위해 PMS는 RSSI가 Low이거나 CHST가 High일때 리셋되게 설계함으로써 TDMA의 버스트 데이터가 끝나거나 오류 임계치를 초과하면 다시 복호를 시작하도록 PMS를 리셋하는 기능을 추가하였다.

6. 직/병렬 변환부

S/P(Serial/Parallel) 변환부는 ACS부로 부터 직렬로 입력된 CB로 부터 16비트 단위로 CB를 수신하여 병렬의 C[15:0]로 변환한다. 이 변환된 제어비트 C는 복호를 위해 Trellis Storage부로 입력되며 RCKO에 동기된다.

7. Trellis Storage부

이 단은 병렬로 제어비트 C[15:0]를 수신하여 첫단의 Survivor Sequence 레지스터에 16개의 제어비트를 저장하고, 또한 이 제어비트의 값에 따라 다음단의 Shift레지스터에 현재의 레지스터값을 선택하여 저장한다. 이 과정은 그림 1의 격자상도에 의해 메모리 레지스터의 Upper와 Lower의 패스를 선택하는데 제어비트가 "0"이면 상향을 선택하고 "1"이면 하향을 선택하도록한다. 이 Trellis Storage단은 16비트 병렬의

32단 직렬 메모리 레지스터로 구성된다. 마지막 32번째 레지스터인 oldest bit의 첫번째 메모리는 복호된 데이터 비트[1, 2]로서 DOT핀으로 출력된다. 이 복호된 데이터 DOT는 32개의 레지스터를 경유하므로 32 CLK 지연된다.

8. Timing and Control부

Timing and Control부는 복호를 위한 수신부의 타이밍과 제어를 위해 사용한다. 본 논문 4.1장으로 부터 RCKO는 부호화되기 이전의 데이터 속도와 같고 (BPSK의 경우 RCKI의 1/2, QPSK의 경우 RCKI의 속도와 동일) High Speed Clock(HSCK, or System Clock)은 부호화되기 이전 데이터속도의 120배로 입력한다. 복호기의 동작은 수신된 부호화된 데이터를 16가지의 격자상태로 계산함으로써 복호한다. 이 16 격자상태는 BMC[3:0]와 A[3:0]로 표현하고 BMC[3:0]는 BMC와 PMNS의 현재 격자상태를 표시하며 RCKO의 falling edge후에 0에서 15까지 카운팅된다. A[3:0]는 BMC[3:0]보다 1클럭후 0에서 15까지 카운트되며 PMNS에서 NEWPM의 어드레스를 제공한다. PH1과 PH2는 RCKO에 따라 2개의 위상클럭을 제공하는데 PH1은 RCKO의 HIGH시, PH2는 RCKO의 LOW시 클럭을 제공하며 이 2클럭은 Trellis Storage부에서 데이터를 복호하는데 이용한다.

9. Data Quality Monitor부

Data Quality Monitor(DQM)부는 검출된 송신 오류를 출력하고, 오류가 정해진 윈도우내에서 임계치 이상 검출되면 Change Statc(CHST)를 발생하며 복호기의 모호상태를 바꾸어 복호를 다시 시작하도록 한다. DQM부는 I와 Q의 오류확률이 가장 작은 최상위 부호심볼(I2, Q2)을 수신하여 저장하고, 복호된 데이터(DOT)를 재 부호화하여 이 부호화된 데이터와 저장된 I2, Q2를 비교, 틀린부분을 카운트하며 ERRD 라인을 통하여 틀린비트를 출력한다. 오류 계수기는 오류가 임계치 이상이 되거나 RSSO가 LOW 즉 수신되는 데이터가 없거나 또는 WIND가 256이 되면 리셋되어 카운팅을 다시 시작하도록 한다. WIND 카운터는 256비트의 입력 데이터동안 임계치이내의 오류가 발생되면 WIND가 1 RCKO 클럭동안 1 펄스를 발생하며 복호된 데이터는 오류없이 복호된것으로

간주하고 복호기의 모호상태를 바꾸지 않는다. 오류의 임계치는 복호기를 이용하는 시스템 설계자에 의해 선택할 수 있도록 하며 임계값은 64, 80, 96, 112중 하나를 선택할 수 있게 설계하였다.

10. Maintenance Control부

Maintenance Control(M&C)부는 복호기칩을 부품레벨, 보드레벨, 시스템레벨로 테스트하기 위해 사용하고 칩을 검증하기 위한 테스트 벡터에 사용하며, 특히 부호기와 복호기를 자체적으로 테스트하도록 루프백(Loopback) 기능을 추가하였다. 또한 TCOR (Trellis Correct)에 의해 16 Trellis 레지스터가 최종 출력으로서 적합하지 않은 경우를 표시하도록 설계하였다.

V. 부/복호부 검증을 위한 루프백 제어부 설계

ASIC으로 부/복호기를 복합 단일칩으로 구현한 후 성능검증을 용이하게 하고, 본 칩을 이용한 시스템 개발시 회로검증 및 고장수리(debugging)를 쉽게하기 위해 루프백(loopback) 기능을 추가하였다. 본 루프백 기능은 부호부의 기능을 검증하기 위한 제 1 루프백 제어부와 복호부의 기능을 검증하기 위한 제 2 루프백 제어부로 구분하여 설계하였다.

1. 제 1 루프백 제어부

제 1 루프백 제어부는 LB1 제어신호에 의해 복호할 수신데이터(RXD)를 부호기로부터 부호화된 데이

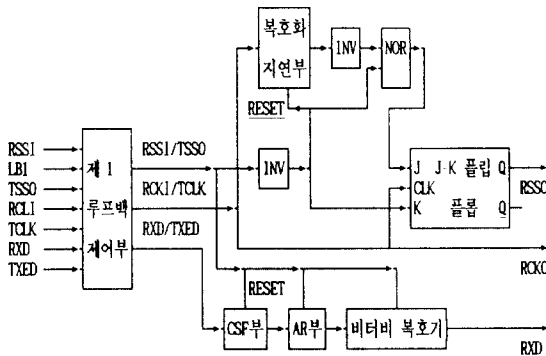


그림 6. 제 1 루프백 제어부의 블록도
Fig. 6. Block diagram of loopback # 1

타(TXED)로 대체하여 복호하도록 식 (14)와 같이 제 1 루프백 제어부에서 입력신호를 교환한다. 그림 6은 제 1 루프백 제어부를 포함한 RSSO 생성부의 블록도로서 부호기에 의해 부호화된 데이터를 칩 내부에서 루프백시켜 복호화 시킨다.

$$RSSI/TSSO = RSSI \& \underline{LB1} + TSS0 \& \underline{LB1}$$

$$RCKI/TCLK = RCKI \& \underline{LB1} + TCLK \& \underline{LB1} \quad (14)$$

$$RXD/TXED = RXD \& \underline{LB1} + TXED \& \underline{LB1}$$

2. 제 2 루프백 제어부

제 2 루프백 제어부는 LB2 제어신호에 의해 부호화할 송신데이터(TXD)를 복호기로부터 복호화된 데이터(RXDD)로 대체하여 부호화하도록 식 (15)와 같이 제 2 루프백 제어부에서 입력신호를 교환한다. 그림 7은 제 2 루프백 제어부를 포함 TSSO 생성부의 블록도로서 복호기에 의해 복호화된 데이터를 칩 내부에서 루프백시켜 부호화 시킨다.

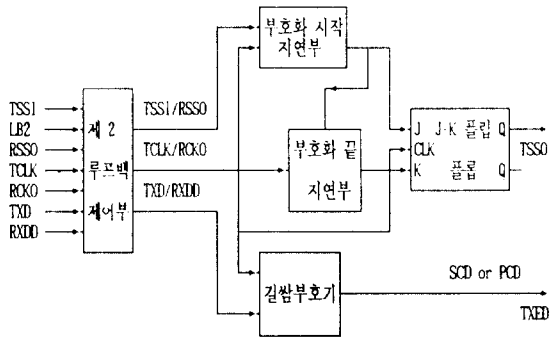


그림 7. 제 2 루프백 제어부의 블록도
Fig. 7. Block diagram of loopback # 2

$$TSS1/RSSO = TSS1 \& \underline{LB2} + RSS0 \& \underline{LB2}$$

$$TCLK/RCKO = TCLK \& \underline{LB2} + RCKO \& \underline{LB2} \quad (15)$$

$$TXD/RXDD = TXD \& \underline{LB2} + RXDD \& \underline{LB2}$$

VI. 시뮬레이션

본 부호기 및 복호기를 ASIC칩으로 만들기 위해 COMPASS 툴을 이용하여 설계하였으며 칩을 만들

기전 회로의 완벽한 기능을 물리적으로 검증하기 위해 테스트 벡터를 설계하고 시뮬레이션을 하였다.

1. 테스트 벡터 설계

부호기 및 복호기의 기능을 검증하기 위해 루프백 1 테스트 기능을 선택하였으며 다음과 같이 모드를 선택한다.

1. 제어 및 테스트 입력: 칩 내부의 레지스터를 초기에 알고있는 상태로 만들기 위해 RST에 1 펄스를 입력하고 루프백 1 모드를 선택하여 부호화된 데이터를 칩 내부에서 복호단으로 입력하도록 테스트 모드를 입력한다.

2. 부호기단: 정상 동작모드에서 부호기 동작을 테스트.

3. 복호기단: 복호기는 칩 내부에서 부호화된 데이터가 직접 입력되므로 복호기 입력은 0으로 세팅한다.

테스트 벡터:

1. 제어 및 테스트 입력

- RST = 1 pulse(start point부터 1 time까지 1 time주기의 펄스, 그 외는 모두 0): FEC 칩의 내부 레지스터를 알고있는 상태로 만듦.
- STI = 1 (start point부터): PSEU 데이터를 부호화하여 내부적으로 복호화하는 Self-Test 모드로 하지 않기 위함.
- SER = 0(start point부터): CSF에서 PCD1과 PCD2를 병렬로 입력하기 위함.
- ASCE = 1(start point부터): CHST에 의해 내부적으로 모호상태를 변환
- T1, T0 = 00(start point부터): 오류 임계값을 64로 세팅
- TST5~0 = 32 (start point부터): 칩부에서 LB1 모드로 동작하게 하여 부호화된 데이터 PCD1과 PCD2가 내부적으로 복호기단으로 입력되어 복호되게 함. 즉 복호단의 입력인 RSSI, I, Q, RCKI를 각각 TSSO, PCD1, PCD2, TCLK로 대체함.
- TES3~0 = D(start point부터): Trellis Storage부를 정상적으로 동작시키기 위함.
- E = 1, M0 M1 = 10(start point부터): BPSK MODEM을 가정하여 복호함.

2. 부호기단

TCLK = clk(1 time부터, 114 time주기의 클럭)

TSSI = 0(start point부터 685 time(6 TCLK 클럭)까지)

TSSI = 1(685 time(6 TCLK)부터 45715 time(401 TCLK)까지)

TSSI = 0(45715 time(401 TCLK)부터)

TDIN = 0(start pint부터 571 time(5 TCLK)까지)

TDIN = random data(571 time(5 TCLK)부터 45829 time(402 TCLK)까지)

TDIN = 0(45289 time(402 TCLK)부터)

3. 복호기단

HSCK = clk(1 time부터, 1 time 주기의 클럭, HSCK 클럭이 114 주기이면 한주기의 TCLK 클럭이 발생): 복호단의 주 클럭으로 사용

RSSI, RCKI, I3~0, Q3~1, EASS, EAS0, EAS1, DQMT, NOIS, RSTD = 0(start point부터): 사용하지 않는핀

2. 시뮬레이션 결과

- TSSO: TSSO의 high는 TSSI의 high후 2 TCLK 후부터, TSSO의 low는 TSSI의 low후 40 TCLK 후부터
 - SCD, PCD1, PCD2: 부호화된 데이터는 TSSI의 high후 2 TCLK부터 TSSI의 low후 6 TCLK까지.
 - RSSO: RSSO의 high는 TSSO의 high후 38 TCLK 후부터, RSSO의 low는 TSSO의 low후 1 TCLK 후부터
 - DOT: 복호된 데이터로 TSSI의 high point의 TDIN과 RSSO의 high point의 DOT(TSSI의 high point로부터 40 TCLK후의 DOT)값이 동일함.
 - RCKO: TCLK와 동일함.
 - CHST, ERRD: 출력이 0으로 복호된 데이터에 오류가 없음을 표시
 - WIND: DOT의 256 비트마다 1 펄스가 발생함으로 복호된 데이터에 오류가 없음을 표시.
- 본 시뮬레이션의 결과에 따르면 본 부호기와 복호기는 정상적으로 동작함을 알 수 있다.

Ⅶ. ASIC칩 구현

본 ASIC칩은 3장~5장의 부호기 및 복호기의 절차에 따라 COMPASS툴을 사용하여 설계하고 시뮬레이션하여 기능을 검증한후 제작하였으며 칩의 Package

Type은 68 핀 PLCC(Plastic Leaded Chip Carrier), 사용 기술은 SOG 1.0 μ (Micron), 사용 주파수는 10MHz, In/Out 레벨은 TTL/CMOS, 사용온도는 0~+70 $^{\circ}$ C로 설계하였다. 본 ASIC칩의 실제 크기는 그림 8과 같으며 기능을 확인하기 위해 현재 상용으로 사용중인 인텔셋 VII을 이용하였다.

1. 본 ASIC칩의 특징

- 구속장 K=5, 데이터율 R=1/2인 길쌈 부호기
- BPSK, QPSK, OQPSK 변/복조기에서 부/복호가능
- 연속 및 버스트모드 통신에 대한 부/복호 가능
- 부호/복호된 데이터의 시작점/끝점 제공기능
- 부호기/복호기 루프백 제공기능
- Error Threshold Selection 기능
- 3 bit soft decision 복호기능
- 송/수신측의 제어와 클럭이 독립적으로 수행
- 외부/내부 제어 데이터 모호성 해결 기능
- 부품/보드/시스템 레벨의 테스트 기능

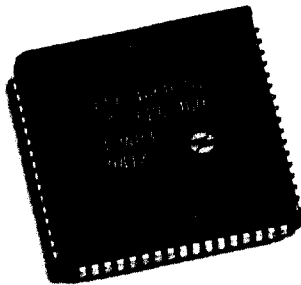


그림 8. 실제 크기의 제작된 ASIC 칩
Fig. 8. Fabricated ASIC chip in real size

2. 본 ASIC칩의 성능시험

제작된 본 칩을 시험하기 위해 BPSK 통신방식과 Ku밴드(14/12GHz)의 RF로 전송하는 VSAT시스템에 장착하였으며 인텔셋 VII을 이용하여 시험하였다. 이때 위성을 이용할 경우 C/N비가 계속 변화되고 인접채널이 상용으로 사용되기 때문에 잡음을 인가할 수 없어 정상동작상태에서 시험하였다. 여기서 데이터 전송속도는 인바운드와 아웃바운드 각각 133.3 kbps와 128kbps이고 전송성능시험을 위해 Digilog를

이용하였으며 511패턴의 랜덤데이터를 생성하여 측정하였다.

시험결과 C/No가 66~62dB-Hz이고 이때 인바운드의 BER은 2.6×10^{-9} 이었으며 아웃바운드의 EFP(Error Free Packet)비는 99.96%로 성능이 매우 우수하였다.

Ⅷ. 결 론

본 논문에서는 위성통신을 이용하는 지상시스템에서 연속모드 데이터 뿐만 아니라 버스트 모드데이터의 부/복호화를 간단히 할 수 있는 길쌈부호기와 비터미 복호기를 설계하였고 ASIC칩으로 구현하였다. 이 부호기 및 복호기의 기능은 서로 독립적으로 수행되고 양방향 통신에서 동시에 부호기와 복호기의 구동도 가능하며 연속모드 및 버스트모드 데이터 전송에도 사용한다. 본 복호기의 특징은 TDMA 통신방식에서 버스트 데이터마다 별도의 리턴던시 없이 데이터 모호성을 해결하기 위해 외부제어에 의한 모호성 해결 기능을 만들었고, 시스템 개발시 부호화와 복호화부분의 회로를 검증하도록 함으로써 시스템 개발을 쉽게하고 고장시 디버깅을 쉽게하며 생산된 ASIC 칩의 성능검증을 용이하게 하기위해 칩내에서 부호화된 데이터가 복호되고 복호된 데이터가 부호화되어 부호와 복호를 검증하도록 하는 루프백 기능을 만들었다. 또한 송/수신 데이터의 시작과 끝을 알려주는 TSSO/RSSO 기능을 추가함으로써 위성통신 및 이동통신 시스템의 고출력증폭기(HPA, SSPA)를 버스트 데이터의 유무에 따라 온/오프하여 전력을 절약할 수 있고 새로운 복잡한 회로를 구현하지 않고서 수신한 버스트 데이터의 시작점과 끝점을 DTE에 알려줄 수 있다.

본 ASIC칩의 성능을 테스트하기 위해 VSAT 통신시스템으로 개발한 VDS-100 시스템의 중심국과 단말국에 칩을 장착하고 현재 상용으로 사용되고 있는 인텔셋 VII을 이용 테스트한 결과 아웃바운드의 TDM 통신에서 BER(Bit Error Rate)은 10^{-7} 이하이고 인바운드의 TDMA통신에서 EFP(Error Free Packet)는 99.96%로 시스템 성능을 만족하였다. 또한 TDMA 방식의 버스트모드 통신에서 기존의 복호방법에 의하면 데이터의 모호성을 해결하기 위해 매 버스트의

초기마다 데이터 모호성 해결용 리던던시를 삽입하여 복호해야 했는데 본 복호기를 이용한 경우 모호성 해결을 위한 별도의 리던던시 없이 데이터를 전송하여도 모호성이 해결되었으며, 5000비트 버스트 단위로 데이터를 전송했을 경우 본 복호기 칩을 사용함으로써 20%의 데이터를 더 전송할 수 있어서 통신효율이 20% 증가하였다.

參 考 文 獻

1. M. Y. Rhee, Error Correcting Coding Theory, McGraw-Hill Company, 1989.
2. Shu Lin/Daniel J. Costello, Error Control Coding, Prentice Hall, 1983.
3. Tri T. Ha, Digital Satellite Communications, McGraw-Hall Company, 1990.
4. P. Elias, "Coding for Noisy Channels", IRE Conv. Rec., Part 4, pp. 37~47, 1955.
5. A. J. Viterbi, "Error Bounds for Convolutional Codes and Asymptotically Optimum Decoding Algorithm", IEEE Trans. Inform. Theory, Vol. IT-13, pp. 260~269, April 1967.
6. G. David Forney, "The Viterbi Algorithm", Proceedings of the IEEE, Vol. 61, No. 3, pp. 268~278, March 1973.
7. Susumu Otani/Toshiharu Yagi/Toshya Todoroki, "Development of a Variable Rate FEC LSI for Satellite Communications", NEC Res. & Develop., No. 88, pp. 12~19, January 1988.
8. 장대익/최재익/김덕년, "저속데이터 전송용 VSAT 통신시스템의 링크설계", 한국통신학회논문지 제 19권 제7호, pp. 1213~1223, July 1994.
9. Mc. Cartier, "Forward Error Correction(FEC) Application Notes", SOREP Corp., pp. 4-5~6, April 1991.
10. Kamilo Feher, Digital Communications, Prentice-Hall Inc., 1983.
11. "Viterbi Decoder Technical Data Sheet", Qualcomm VLSI Products, April 1990.

張 大 翼(Dae-Ig Chang)

正會員

한국통신학회 논문지 제19권 제7호 참조
현재: 한국전자통신연구소 위성통신연구단 선임연구원



金 大 榮(Dae Young Kim)正會員

1975년 2월: 서울대학교 전자공학과 졸업(공학사)

1977년 2월: 한국과학기술원 전기 및 전자공학과 졸업(공학석사)

1983년 2월: 한국과학기술원 전기 및 전자공학과 졸업(공학박사)

1979년~1980년: 독일 Aachen공대, Hannover공대 연구원

1987년~1988년: 미국 University of California, Davis 객원연구원

1983년~현재: 충남대학교 공과대학 정보통신공학과 교수

※관심 분야: 전송부호화 및 모뎀, 컴퓨터 네트워크 근거리망, 고속통신, 멀티미디어등임