

# 새로운 가변 적응 상수 알고리즘을 이용한 반향제거기 설계 및 구현

正會員 최 건 오\*, 윤 성 식\*\*, 조 현 목\*, 이 주 석\*, 박 노 경\*\*, 차 균 현\*

## The Design and Implementation of Echo Canceller with new Variable step size Algorithm

Kun Oh Choi\*, Sung Sik Yoon\*\*, Hyun Mook Cho\*, Joo Sock Lee\*,  
Noh Kyung Park\*\* Kyun Hyon Tchah\*, *Regular Members*

※이 논문은 1994년도 한국 학술진흥재단의 자유공모과제 학술연구조성비에 의하여 연구되었음.

### 요 약

이 논문에서는 새로운 가변 적응 상수를 갖는 적응 디지털 반향제거기 알고리즘을 제안하고 VHDL에 의해 하드웨어를 구현한다. 본 논문에서 제안한 새로운 알고리즘은 주기적으로 적당한 반복 순간마다 평가 기능을 부여하여 최적의 계수 추적을 돕는 기법이다. 새로운 알고리즘은 LMS 알고리즘과 VS(Variable step Size) 알고리즘보다 수렴 속도가 빠르며 수렴 후 오차도 작은 값을 보인다. 컴퓨터 시뮬레이션 결과는 위 알고리즘이 LMS 알고리즘이나 VS 알고리즘보다 빠른 수렴 속도를 나타냄을 보여준다. 하드웨어 설계는 VHDL을 이용하여 회로를 설계하고 InterGraph사의 Synovation을 이용하여 합성을 하고 DLAB 시뮬레이터를 이용하여 검증하였다. 합성은 Actel사의 FPGA library인 Act1을 사용하였다. 이 논문에서 제안한 알고리즘을 토대로 설계한 회로는 2진수 소수점 7자리까지 계산을 하였다. 검증시 시뮬레이션 자료는 컴퓨터 시뮬레이션의 데이터를 기초로 하여 컴퓨터 시뮬레이션과 동일한 조건의 입력 데이터 값을 주었을 때 컴퓨터 시뮬레이션의 결과와 약간의 오차(약 0.015)가 나오기는 했지만 만족할 만한 결과를 얻을 수 있었다. 사용된 게이트 수는 5,500개 정도이고, 최대 동작 주파수는 5.53MHz이다.

\* 고려대학교 전자공학과  
Dept. of Electronic Engineering, Korea University

\*\* 호서대학교 정보통신공학과  
Dept. of Information-Communication Engineering, Hoseo University

論文番號: 96105-0329

接受日字: 1996年 3月 29日

ABSTRACT

In this paper, the design and implementation of echo canceller with new variable step size algorithm is discussed. The method used in the new algorithm is to periodically adopt the test function which helps an optimal coefficient tracking. This algorithm outperforms LMS and VS algorithms in convergence speed and steady state error. As the period of test function is decreased, the speed of convergence is improved, but the number of calculation is increased, then the trade off between these parameters must be considered. Simulation results show new algorithm outperforms LMS and VS algorithms in convergence rate. For the design of hardware, circuit is designed with VHDL, and synthesized with Act1 which is a FPGA library of Actel™ in use of synovation of InterGraph™. Verification of the synthesized circuit is carried out with simulator DLAB. The circuit based on the algorithm which is suggested in this paper calculated 7 radix places of binary number.

A simulation data for the verification is based on the data of algorithm simulation. When the same input data is applied to the both simulation, output results of circuit simulation had slight difference in compare with that of algorithm simulation. The number of used gate is about 5,500 and We have 5.53MHz in maximum frequency.

I. 서 론

정보화 시대의 정보 통신 서비스의 수요 증가를 충족시키기 위해서 종합정보통신망의 구축에 관한 사업이 국내외적으로 추진되고 있다. 외국의 각국에서는 ISDN에 접근하기 위한 독자적인 기술을 개발하여 상용화 단계에 들어갔으며 국내에서는 이 ISDN의 중요성을 인식하여서 꾸준히 기초연구, 기술개발을 해왔다. 앞으로도 이 분야에 대한 체계적인 연구가 필요한 실정이다. 현대의 통신망에서 급증하는 정보량에 대처하기 위한 ISDN 개발은 먼저 2선 가입자 선로 및 전체 통신망의 디지털화가 선행되어야 한다. 2선 가입자 선로의 디지털화에는 FDM, TCM, ECM(Echo Cancellation Method) 방식이 있으며 위의 3가지 방식 중에서 국내 가입자 선로 실정으로 볼 때에는 ECM이 가장 적합하다고 인정된다. 반향제거기는 보상회로를 병렬로 연결함으로써 구현할 수 있는데, 이러한 보상 회로로는 적응 디지털 필터를 사용하여 구현할 수 있다. 여기서 적응 디지털 필터에서 적응되는 계수를 조정하기 위한 규칙을 반향제거기 알고리즘이라고 한다. 반향제거기 알고리즘에 대한 자세한 내용은 본문 II에서 설명하였다.

기존의 TDL 구조의 반향제거기는 탭 수만큼의 승산기를 이용하여 병렬처리동작을 수행하여 회로가 매우 복잡하고 커지게 된다. 따라서, 본 논문에서는 직

접화의 용이성을 위하여 순차처리 반향제거기를 설계하였다. 설계는 회로설계 자동화를 목표로 개발이 진행되고 있는 VHDL을 이용하는데 이는 기존의 시스템 설계 방식인 Bottom-up 방식에서 벗어나 하이레벨 언어를 이용하여 Top-down 방식으로 Function 레벨, Register-transfer 레벨, 게이트 레벨, Circuit 레벨 등 여러 단계에서 하드웨어를 설계하여 검증할 수 있으며, 기존의 하드웨어 기술언어가 특정한 설계기술과 설계방법에 의존하는 반면에 이와는 무관하게 사용될 수 있는 여러가지 장점을 가지고 있다.

실제적인 회로의 설계는 VHDL을 이용하여 행위와 구조를 기술하고 논리 시뮬레이션을 통해 동작상태를 검증하고 합성툴을 이용하여 전체회로를 설계하였다.

II. 반향제거기 알고리즘

적용 디지털 필터에 쓰이는 가장 대표적인 알고리즘으로 LMS알고리즘을 들 수 있다. LMS 알고리즘은 계수 보정을 위한 계산이 간단하고 기울기 추적 방법에 의해 쉽게 유도될 수 있는 장점을 가지고 있다. 하지만 고정된 적응 상수  $\mu$ 는 필터의 수렴 속도와 수렴후 오차를 결정하는 요소가 된다. 즉  $\mu$ 가 커질수록 수렴 속도도 빨라지지만 수렴후 오차의 증가도 거저오게 된다.

이러한 LMS 알고리즘의 성능을 향상시키는 방법의 하나로, 가변 적응 상수  $\mu$ 를 사용하는 방법이 있다. 가변 적응 상수  $\mu$ 를 사용하게 되면 수렴후 오차를 그대로 유지하면서 수렴 속도를 높일 수 있다. 이러한 장점 이외에도 가변 적응 상수를 쓰면 비정상적인 환경에서 계수들을 추적하는데 효과적이다.

가변 적응 상수  $\mu$ 를 쓰는 기본적인 개념은 필터 계수의 최적해와 필터 계수의 근접 여부에 따라 적응 상수를 변화시키는 것이다. 필터 계수와 최적해 사이의 근접성을 측정하는 여러 가지 기법에 따라 여러 알고리즘이 개발되었다. Variable Step Size 적응 알고리즘에서는 기울기 벡터의 부호 변화가 근접성을 나타내는 척도로 사용되었다.<sup>[1],[5]</sup>

Variable step size 적응 필터의 알고리즘에서는 기울기 벡터의  $m_0$ 번 연속적인 부호 변화가 있으면 적응 상수  $\mu$ 를 감소시키고 같은 부호가  $m_1$ 번 계속되면 적응 상수  $\mu$ 를 증가시킨다.<sup>[1]</sup> Fast convergence 알고리즘에서는 경사 탐색방법에 의해 적응 상수가 변하게 된다.<sup>[2]</sup> Variable step size LMS 알고리즘에서는 제곱 평균 오차의 크기가 척도로 사용되었고<sup>[3]</sup>, 적응 필터를 위한 새로운 convergence factor 에서는 경사 벡터의 norm이 필터 계수와 최적해 사이의 근접성을 측정하는 척도로 사용되었다<sup>[4]</sup>. 위에서 언급한 여러 알고리즘의 성능은 여러 매개변수값의 선택에 따라 좌우되며, 또한 최적 매개변수 값들도 입력 data에 매우 의존적이다. 이러한 점이 위 알고리즘들의 실제적인 응용을 제한하고 있다. Variable step size 적응 필터의 알고리즘은 여러 가지 약점을 가지고 있다<sup>[1]</sup>. 빠른 수렴 속도와 적은 수렴후 오차를 보장해 주는  $m_0$ 와  $m_1$  값을 결정하기가 어렵다는 것과, 변화된 적응 상수  $\mu$ 가 항상 성능 향상을 의미하지는 않는다는 것이 단점이다. 빠른 변화된  $\mu$ 값이 학습 결과의 저해를 초래할 수도 있다.

이 논문에서는 위의 약점을 개선한 새로운 알고리즘을 제안한다. 제안된 알고리즘은 Variable step size 적응 필터의 알고리즘과 비슷한 구조를 갖고 있다<sup>[1]</sup>. 경사 벡터의 부호 변화가 적응 상수  $\mu$ 를 크게 할 것인지, 작게 할 것인지를 나타내는 척도로 사용되며, 변화된 적응 상수와 변화되기전 적응 상수의 성능을 평가하는 함수가 추가된다. 기존의 알고리즘과 제안한 알고리즘은 다음 절에 설명하였다.

### 2.1 LMS 알고리즘, VS 알고리즘

LMS 알고리즘은 Widrow에 의해 제안 되었으며 steepest decsent 방법을 이용한 것으로 사용범위가 제한되어 있으나 구조가 간단하고 계산이 용이하다.

그림 1의 트랜스버설 필터 구조에서 LMS 알고리즘과 관계된 주요 관계식을 살펴보면 다음과 같다.

시간 k에서 오차 신호는

$$e_k = d_k - y_k \tag{1}$$

이며, 출력  $y_k$ 는 다음 식 (2)와 같다.

$$y_k = W_k^T X_k = W_k X_k^T \tag{2}$$

$e_k$ : 시간 k에서의 오차

$d_k$ : 기준 신호(reference signal)

$W_k$ : Tap 계수에 대한 열 벡터

$X_k$ : 시간 k에서의 입력 신호 벡터

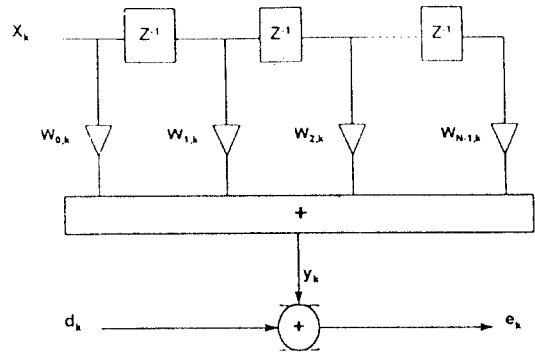


그림 1. 적응 디지털 필터의 구조

따라서  $e_k = d_k - W_k^T X_k = d_k - X_k^T W_k$ 가 되며 순시 자승 오차는 식(3)와 같다.

$$e_k^2 = d_k^2 + W_k^T X_k X_k^T W_k - 2d_k X_k^T W_k \tag{3}$$

Steepest descent 방법에 의해서 시간 k에서의 계수 보정식은 Gradient  $\nabla_k$ 를 식 (1)로 부터 구하여 적용 하면 다음 식 (4)과 같다.

$$W_{k+1} = W_k + \mu \cdot e_k \cdot X_k \tag{4}$$

식 (4)가 LMS 알고리즘의 최종식이다. 현재까지 이러한 Least Mean Square(LMS) 알고리즘의 여러 다양한 변형이 발표되어왔다.<sup>[1], [2], [3], [4], [5]</sup> 가변 적응상수를 적용하게 되면 수렴후 오차를 유지하면서 LMS 알고리즘의 수렴속도를 향상시킬 수 있고 비정상적인 환경하에서도 LMS 알고리즘보다 계수 추적이 용이한 장점이 있다.

VS 알고리즘을 쓰는 일반적인 경사 추적 방법의 트랜스버설 필터의 구조는 앞의 그림 1과 같으며 시간 k에서의 에러, 입력신호  $X_k$ , 필터출력  $y_k$ , 계수  $W_k$ 에 관한 정의는 LMS 알고리즘의 경우와 같다. 경사 추적 방법을 이용한 VS 알고리즘에서 계수보정에 관한 식은 다음 식 (5)과 같다.

$$W_{k+1} = W_k + M_k \cdot e_k \cdot X_k \tag{5}$$

$$M_k = \begin{pmatrix} \mu_{1,k} & 0 & 0 & \dots & 0 \\ 0 & \mu_{2,k} & 0 & \dots & 0 \\ 0 & 0 & \mu_{3,k} & \dots & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & 0 & \dots & \mu_{n,k} \end{pmatrix}$$

시간 k에서 n번째 계수에 적용되는 적응 상수  $\mu_{n,k}$ 는 경사벡터  $\nabla_{n,k} = -2e_k X_{k-n}$ 의 부호 변화에 따라서 변하게 된다. 즉,  $\nabla_{n,k}$ 의 부호가  $m_0$ 개의 연속적인 입력 신호에 대해서 부호가 교차하면 필터계수가 최적해에 가까워졌음을 의미하므로 적응상수  $\mu_n$ 는  $\mu_n \div \alpha$ 로 감소하게 되고,  $m_1$ 개의 연속적인 입력신호에 대해서 같은 부호가 계속되면 필터 계수들이 최적해에서 멀어졌음을 의미하므로 적응상수  $\mu_n$ 는  $\mu_n \times \alpha$ 로 증가하게 된다.

2.2 제안한 알고리즘

앞절에서 언급한 VS 알고리즘은 여러가지 장점이 있으나 적은 수렴후 오차와 빠른 수렴속도를 동시에 보장해주는  $m_0, m_1$  값을 결정하기가 어려운 단점과 함께  $m_0, m_1$ 에 의해 변화된 적응 상수가 항상 오차 신호의 감소를 의미하는 것이 아니라 때때로 오차 신호의 증가를 가져오는 단점이 있으므로 변화된 적응 상수가 성능 향상에 기여하는 적응 상수임을 평가하기 위해 평가 함수를 사용하여 성능 향상을 시도하였

다. 제안한 알고리즘의 관계식은 LMS 알고리즘의 관계식을 유도하는 것과 유사하다.

$$W_k = [W_{1,k}, W_{2,k}, W_{3,k}, \dots, W_{N,k}]^T$$

$$X_k = [x_k, x_{k-1}, x_{k-2}, \dots, x_{k-N}]^T$$

$e_k, d_k$ 는 각각 계수벡터, 입력신호벡터, 시간 k에서의 오차, 기준신호(reference signal)를 나타낸다. 적응 필터의 출력은 다음 식과 같다.

$$y_k = W_k^T X_k = W_k X_k^T$$

에러신호와 경사 벡터의 계산은 다음 식과 같다.

$$e_k = d_k - y_k, \nabla_k = \frac{\partial e_k^2}{\partial W_k} = 2e_k \cdot \frac{\partial e_k}{\partial W_k} = -2e_k \cdot X_k$$

계수 벡터의 update는 다음의 식과 같다.

$$W_{k+1} = W_k + \mu \cdot e_k \cdot X_k$$

제안된 알고리즘에서 적응 상수  $\mu_{n,k}$ 는 주기 T를 갖는 평가 기간 동안 경사 벡터의 부호를 관찰함으로써 변하게 된다. P번째 평가 기간에서 경사 벡터( $e_k \cdot X_k$ )의 부호 변화가 없다면, 즉,

$$(\nabla_k \cdot \nabla_{k-1}) = (e_k \cdot X_k)(e_{k-1} \cdot X_{k-1}) \geq 0$$

면 계수 벡터가 최적해에서 멀리 떨어져 있음을 의미하므로 적응 상수는 증가하여야 한다.

선택의 폭을 넓혀 빠른 수렴속도를 얻을 수 있도록 적응 상수는 다음과 같은 2가지 경우로 증가한다.

$$\mu'_{pT} = 2\alpha \cdot \mu_{(p-1)T}, \mu'_{pT} = \alpha \cdot \mu_{(p-1)T}$$

$\mu'_{(p-1)T}$ 는 P-1번째 평가 기간에서의 적응 상수이다.

반대의 경우, 경사 벡터의 부호 변화가 있다면, 즉,

$$(\nabla_k \cdot \nabla_{k-1}) = (e_k \cdot X_k)(e_{k-1} \cdot X_{k-1}) \leq 0$$

일 땐, 이는 계수 벡터가 최적해에서 멀리 떨어져 있

지 않음을 의미하므로 적응 상수는 감소하여야 한다. 마찬가지로 적응 상수는 다음과 같은 2가지 경우로 감소하게 된다.

$$\mu'_{PT} = \mu_{(P-1)T} \cdot 2\alpha, \mu'_{PT} = \mu_{(P-1)T} \cdot \alpha$$

$\mu'_{PT}$ 는 P번째 평가 기간에서 변화된 적응 상수로서, 수렴하기 위해서 다음 조건을 만족해야 한다.<sup>[5]</sup>

$$0 < \mu'_{PT} < \frac{1}{\sigma_x^2}, \sigma_x \text{는 입력 data의 분산이다.}$$

Gradient vector의 부호 변화가 0보다 클 경우에는  $\mu_{(P-1)T}$ 와  $\mu'_{PT} = \alpha \cdot \mu_{(P-1)T}$ ,  $2\alpha \cdot \mu_{(P-1)T}$ 의 3개의 step-size를 가지고 시간 n+1에서의 계수를 update하는 수식은 다음 식 (6)과 같다.

$$\begin{aligned} W_{(k+1)} &= W_k + \mu_{(P-1)T} \cdot e_k \cdot X_k \\ W_{(k+1)} &= W_k + \alpha \cdot \mu_{(P-1)T} \cdot e_k \cdot X_k \\ W_{(k+1)} &= W_k + 2\alpha \cdot \mu_{(P-1)T} \cdot e_k \cdot X_k \end{aligned} \quad (6)$$

식(6)에서 update된 3개의 계수를 가지고 에러신호 ( $e_k = d_k - W_k^T \cdot X_k$ )를 계산하여 가장 작은 에러신호 ( $e_k$ )가 나오는 적응 상수를 사용한다.

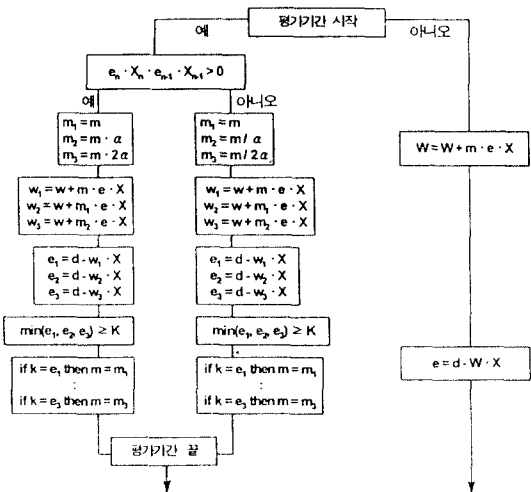


그림 2. 제안된 알고리즘에 대한 순서도

경사 벡터의 부호가 0보다 작은 경우에는 다음 식 (7)과 같이 update된다.

$$\begin{aligned} W_{(k+1)} &= W_k + \mu_{(P-1)T} \cdot e_k \cdot X_k \\ W_{(k+1)} &= W_k + \mu_{(P-1)T} \div \alpha \cdot e_k \cdot X_k \\ W_{(k+1)} &= W_k + \mu_{(P-1)T} \div 2\alpha \cdot e_k \cdot X_k \end{aligned} \quad (7)$$

식 (7)에서 update된 3개의 계수를 가지고 에러값을 비교하게 된다. 선택된 적응 상수는 다음번 평가 기간이 시작될 때까지 쓰이게 된다. 각각의 탭에 따른 계수들에 대한 적응 상수들이 위의 방법으로 보정되게 된다. 그림 2는 이 논문에서 제안된 알고리즘에 대한 순서도이다.

### 2.3 시뮬레이션 결과

이 절에서는 논문에서 제안한 새로운 알고리즘의 성능을 LMS알고리즘과 VS알고리즘과 비교하였다<sup>[[1]]</sup>. 시뮬레이션 형태는 시스템 모델링이며 그림 3에서 보는바와 같이 모델링될 시스템과 평행으로 적응 필터가 놓여 있다. 입력으로 사용된  $X_k$ 는 two-level 신호로써 평균치는 0 값을 갖는다. 부가되는 잡음 신호의 level은 0.001이다. 시뮬레이션에 사용된 적응 필터의 Tap수는 10개이며 초기치는 0값을 주었다. 적응상수  $\alpha$ 와 평가 기간 T는 시뮬레이션 결과,  $\alpha=2.0$ , 평가 기간의 주기 T는 5인 경우에 하드웨어 구현에 적절하고 좋은 tracking 능력을 갖는다. 표 1에서  $\alpha=2.0$ , T=5를 갖는 NEW 알고리즘과 수렴후 오차범 수렴 속도를 비교하기 위해서  $m_0=4$   $m_1=3$ ,  $m_0=4$   $m_1=4$ 를 갖

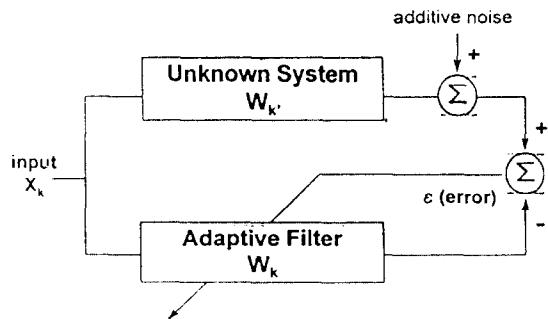


그림 3. 시스템 모델링 형태

는 VS 알고리즘과 수렴후 오차가 적도록 작은  $\mu$ 값( $\mu=0.01$ )을 갖는 LMS 알고리즘의 수렴 상태와 수렴후 오차를 나타내고 있다

표 1에서 MSE는 각 알고리즘의 수렴 후 오차를 비교하기 위한 정적상태오차를 나타내는 데이터이며, iteration number는 수렴속도를 비교하기 위하여 자승오차가 적정 수준까지 도달하는데 필요한 반복횟수를 나타내고 있다. 그림 4는 고정된 적응 상수( $\mu=0.01$ )를 갖는 LMS 알고리즘과  $\alpha=2.0$ , 평가 기간의 주기  $T=5$ 를 갖는 제안된 알고리즘과의 성능 비교를 보여준다.

그림 4, 5의 Y축은 Log Scale로 표현된 것으로 자승 오차가 나타내는 값은  $20 \log \left\{ \left( \frac{c_k}{d_k} \right)^2 + 1 \right\}$ 의 결과를 FFT Filtering한 것이다.

그림 5는 VS알고리즘( $m_0=4, m_1=3$ )과  $\alpha=2.0$ , 평가 기간의 주기  $T=5$ 를 갖는 제안된 알고리즘과의 성능 비교를 보여준다. 그림에서 볼 수 있듯이 수렴후

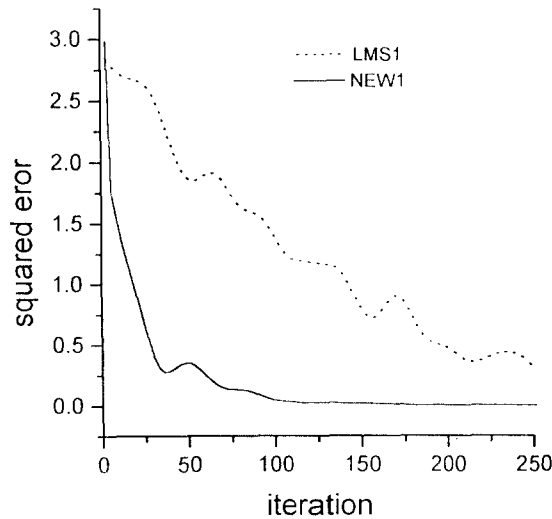


그림 4. LMS 알고리즘과 제안된 알고리즘의 성능 비교

오차와 수렴 속도에서 제안된 알고리즘이 고정된  $\mu$ 값을 갖는 LMS알고리즘과 VS알고리즘보다 좋은 성능을 나타냄을 알 수 있다.

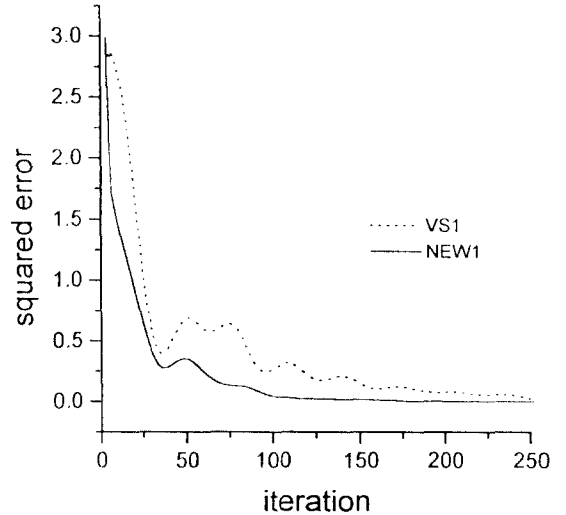


그림 5. VS 알고리즘과 제안된 알고리즘의 성능 비교

### Ⅲ. 반향제거기의 설계

#### 3.1 반향제거기의 전체 구성

제안한 반향제거기 알고리즘을 이용한 전체 회로는 9개의 블록으로 나눌 수 있고 전체 회로에 대한 블록도는 다음의 그림 3.1과 같다.

일반적으로 N개의 탭수를 가지는 병렬처리 적응 디지털 필터는 하나의 집적회로로 구현하기가 매우 어렵다. 그 이유는 탭수가 N개 만큼의 승산기의 수가 필요하기 때문에 회로가 복잡하게 된다. 따라서, 본 논문에서는 순차처리를 하는 적응 디지털 필터를 제안한다.

그림 3.1에서 입력 데이터  $A(K)$ 와 적응계수  $C(K)$

표 2.1 제안된 알고리즘과 다른 알고리즘의 성능 비교

	LMS		VS				NEW	
	$\alpha=0.01$		$m_0=4, m_1=4$		$m_0=4, m_1=3$		$\alpha=2.0, T=5$	
iteration	663	723	213	324	300	333	204	231
MSE(db)	-24.762	-25.934	-23.947	-26.054	-25.171	-26.635	-26.148	-27.144

는 순환 루프를 이용한 쉬프트 레지스터 DSR(Data Shift Register)과 CSR(Coefficient Shift Register)에 저장된다. 곱셈기 M1에 의해서 연산되어진 결과는 탭수만큼인 N번의 연산이 이루어지는 동안 누산기(ACC)에 저장된 후에 하나의 출력 신호를 출력하게 된다. 그리고, DSR에서 적당한 순간에 새로운 입력을 받기 위해 스위치를 포함한다. 새로운 입력을 받는 순간에 가장 먼저 있던 입력 데이터는 소멸하게 된다. CSR의 순환 루프는 계수의 순환동안에 새로운 계수를 생성하기 위해서 덧셈기를 포함한다. 지연회로(Delay)는 반향의 복사신호가 출력되어 새로운 계수를 update 하기 위한 R(K)를 제공하는데 필요한 지연을 보상하기 위해서 사용된다. 비교기(Comparator)는 계수를 update하기 위한  $\mu$ 를 계산하는데 사용되었다. 쉬프터(Shifter)는 제안한 알고리즘에서  $\mu$ 를 2배 곱하거나 나누기 위해 사용되었다. 그리고, 전체 블록에 대한 타이밍을 맞추기 위해서 제어회로를 삽입하였다.

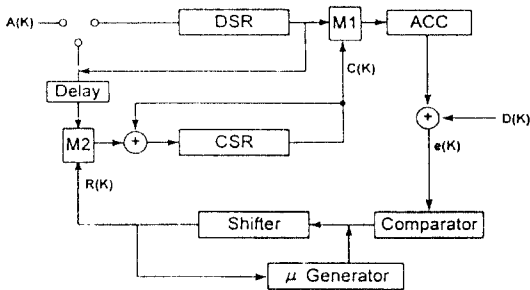


그림 3.1 전체 블록도

### 3.2 반향제거기의 블록별 설계

#### 3.2.1 M1, M2(곱셈기) 회로 설계

제안한 알고리즘에서는 1, -1의 값을 입력데이터로 사용하였다. 음수의 처리는 2'complement를 사용하였다. M1 승산기의 경우에서는 승산기의 알고리즘을 사용하지 않고 Mux의 형태를 이용하여 데이터의 입력이 1일 경우 CSR에서 오는 계수를 그대로 보내고, -1일 경우 2'complement를 해서 출력을 내보내는 방법을 사용하였다. M2의 경우도 마찬가지로 Delay의 출력이 1, -1에 따라 R(K)를 보내거나 2'complement를 해서 출력을 내보낸다.

#### 3.2.2 ACC(누산기) 회로 설계

ACC는 M1에서 출력을 탭수만큼 더하면서 누적시킨다. 여기서 회로를 간단히 하기 위해 하나의 덧셈기와 플립플롭을 이용하여 구성하였다. 덧셈기는 현재 가장 많이 사용하고 있는 CLA를 사용하였다. 누산기의 출력은 DSR에서 탭수 만큼 더한 다음 출력을 내보내고, 클리어 된다.

#### 3.2.3 Comparator(비교기) 회로 설계

비교기에서는 현재의 에리 신호, 바로 전의 에리 신호, 현재 입력과 다음 입력을 곱하여 음수인가 양수인가를 판별하여 출력을 한다. 비교기에서는 에리 신호의 비트 수의 곱셈기가 필요하다. 그리고, 이 출력 신호는  $\mu$ 의 값을 변화시키는데 사용된다.

#### 3.2.4 Shifter 회로 설계

Shifter는 비교기의 출력신호를 감지하여 출력신호가 1이면 전의  $\mu$ 값에 2배 나누고, 0이면 2배 곱하는 동작을 한다. 새로이 update된  $\mu$ 값을 출력한다.

기존의 VS 알고리즘에서는 계산되어진  $\mu$ 값을 경사벡터의 부호에 따라서 2배로 곱하거나 2배로 나눈다. 본 논문에서 제안한 알고리즘에서는  $\mu$ 값을 경사벡터의 부호에 따라서  $\alpha$ 와  $2 \cdot \alpha$ 를 곱한후 각각에 대하여 2배 곱하거나 나눈다. 따라서 Shifter회로에서 제안된 알고리즘을 사용했을 경우 VS알고리즘을 사용하여 하드웨어를 구성했을 때보다 사용된 게이트수는 약 5배가량 증가하였다.

#### 3.2.5 $\mu$ -Generator( $\mu$ 발생) 회로 설계

$\mu$  발생회로에서는 shifter에서 출력한  $\mu$ 값을 비교기의 출력이 나올 때까지 유지시키는 동작을 한다. 현재의  $\mu$ 값을 다음의 쉬프터 회로에 적용하기 위해 탭수만큼 지연시키는 동작을 한다.

#### 3.2.6 DSR, CSR 회로 설계

DSR과 CSR은 입력 데이터 신호와 update된 계수를 저장한다. DSR과 CSR은 기본 소자로, D Flip Flop을 사용하였고 SISO(Serial In Serial Out)의 shift register의 구성을 가진다.

#### 3.2.7 지연회로(Delay) 설계

Delay는 앞서 설명했듯이, 반향의 복사신호가 출력되어 새로운 계수를 update하기 위한 R(K)를 제공하는데 필요한 지연을 보상하기 위해서 사용되었다. Delay 회로 역시 SISO의 구조를 가지는 shift register을 사용하였다.

### 3.2.8 덧셈 회로 설계

덧셈기에서의 연산속도는 carry에 의해 결정되어진다. carry의 ripple delay를 줄이므로 연산속도가 빠른 CLA를 사용하였다.

### 3.2.9 제어 회로 설계

제어회로는 전체 반향제거기의 동작에 필요한 제어 신호들을 적절한 순간에 공급해 주는 역할을 담당한다. 제어회로를 구현하는 방법에는 random logic 구현과 structured logic 구현의 두가지 방법이 있다. 본 논문에서는 사용되는 신호의 수가 많지 않고, 신호들 사이의 연관성이 적어서 제어신호들의 함수들을 최적화하기가 용이하지 않기 때문에 random logic을 이용한 제어회로를 구현하였다. Module 5 Counter, Module 10 Counter와 게이트를 조합하였다. 입력 데이터에 대하여 순차적으로 처리하기 때문에 내부 동작에 필요한 클럭보다 탭수의 2배가 빠른 클럭을 DSR과 CSR에 클럭으로 해 주어야 한다. DSR에서 N번 순환되고 다음의 새로운 입력을 받기 위하여, 그림 3.1의 전체 블록도에서 스위치 부분을 첨가하였고, 제어블럭을 첨가하였다. 그리고, ACC에서는 탭수만큼 더해진다음 출력을 내보내고 클리어 시키기 위해 LD, CLEAR 신호를 사용하였다.

## IV. 제안한 반향제거기의 합성 및 시뮬레이션 결과

### 4.1 각 블록별 합성 회로 및 시뮬레이션 결과

각 부 블록은 VHDL이용하여 회로를 설계하였고 Synthesis를 한 다음 Simulation을 통하여 검증하였다. VHDL로 회로 설계시 Synthesis를 고려하여서 부분적으로 Behavioral Modeling과 RTL(Register Transfer Level) Modeling을 조합하여 설계를 하였다. 또한, FPGA Library는 Actell을 사용하여 Synthesis를 하였다. VHDL Compiler는 DAZIX을 이용하였고, Synthesis는 Synovation을 이용하였으며, Schematic Capture는 ACE-

PLUS를 사용하였다. 각 블록에 대한 Synthesis 방법은 Speed 최적화 방법을 이용하였다. 설계한 하드웨어 중 곱셈기와, 비교기와 제어회로의 블록에 대한 합성된 결과는 다음의 그림에 나타내었다.

### 4.2 전체 시뮬레이션 결과 및 평가

본 논문에서 제안한 반향제거기에서 입력값과 기대되는 신호는 컴퓨터 시뮬레이션에서 사용되어진 데이터 값을 이용하여 동일하게 적용하였을 때 CSR의 계수의 값들이 컴퓨터 시뮬레이션에서 나온 결과값과 동일한지 검사하여 설계한 회로에 대한 동작을 검증하였다.

## V. 결 론

본 논문에서는 새로운 가변 적응상수를 채택한 적응 디지털 반향제거기 알고리즘을 제안하였다. 새로운 알고리즘은 종전의 iteration process에 평가 시간을 추가하였다. 그리고 시스템 모델링 방법으로 기존의 알고리즘과 성능을 비교하였다. 전산 시뮬레이션을 통해 기존의 LMS알고리즘보다 빠른 수렴 속도와 적은 수렴 후 오차(error)를 갖고 있음을 보였고, VS 알고리즘과 비교할 경우 수렴 속도 면에서는 약간의 성능 향상이 있지만 수렴 후 오차에 있어서는 좋은 결과를 나타내었다. 이러한 장점이 있는 반면, 평가 시간의 주기 T가 짧을 수록 계산량이 많아지게 되므로 이에 대한 트레이드-오프가 필요하다.

전체 회로는 9개의 블록으로 나누어지는데, 입력데이터를 저장하기 위한 DSR블럭, update된 계수를 저장하기 위한 CSR블럭, 곱셈블럭, 입력 데이터를 탭의 개수만큼 누적시키는 ACC 블럭, 에러신호를 만들기 위한 가산기블럭,  $\mu$ 를 update하기 위하여 입력데이터와 에러신호를 곱하는 비교기블럭,  $\mu$ 를 2배 곱하거나 나누기 위한 Shifter블럭, 새로운 계수 R(K)가 계산되는 동안의 지연시간을 보상하기위한 Delay 블럭, 전체회로 동작에 필요한 신호를 공급하기 위한 제어블럭으로 구성되어진다. VHDL을 이용하여 Top-down 방식으로 설계하고 합성함으로써 설계시간을 단축하고 이후의 필요한 블록은 모듈별 사용이 용이한 장점을 얻을 수 있었다.

구현한 반향제거기는 실제 FPGA의 vendor library



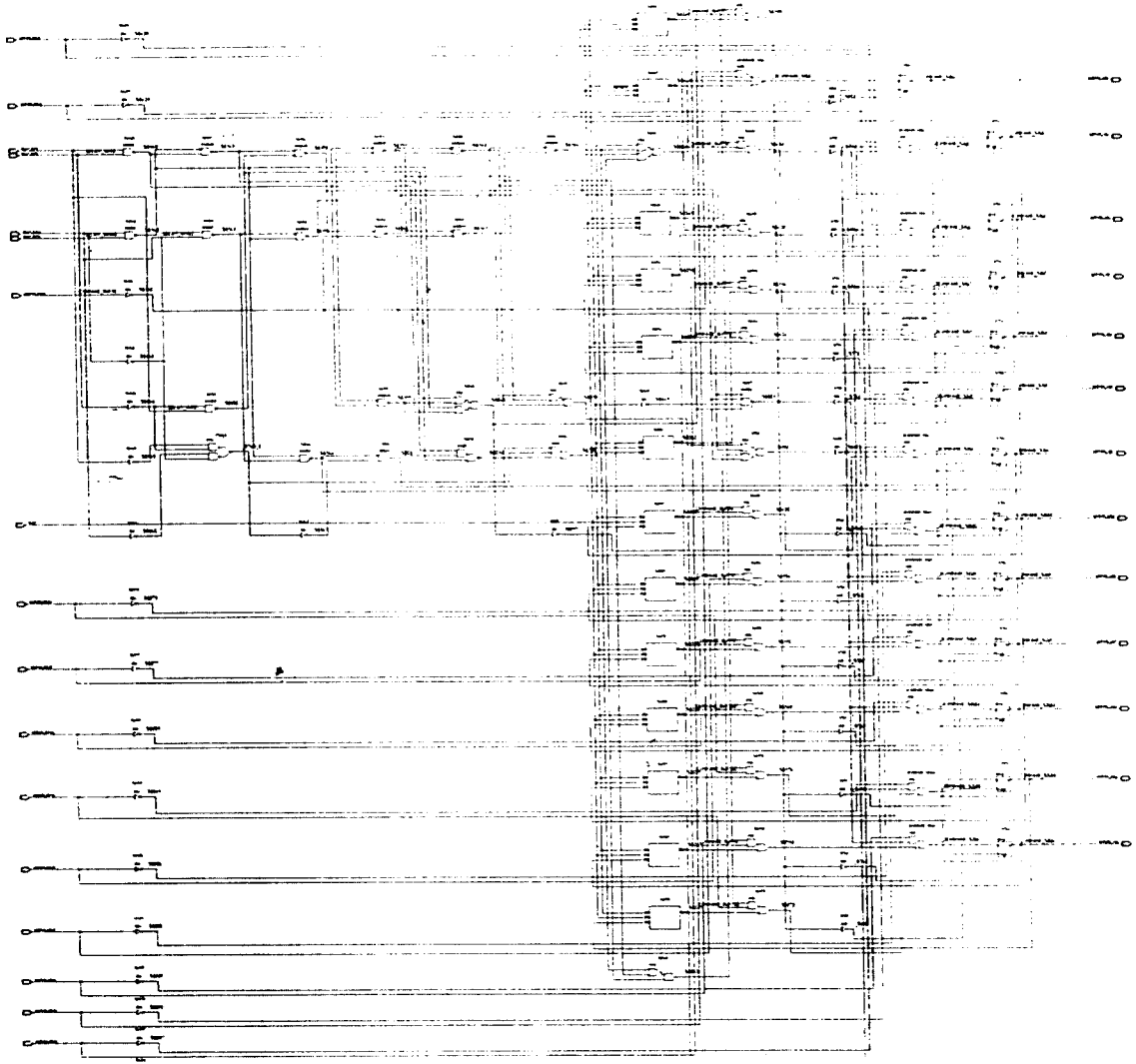


그림 4.1 비교기의 합성 회로

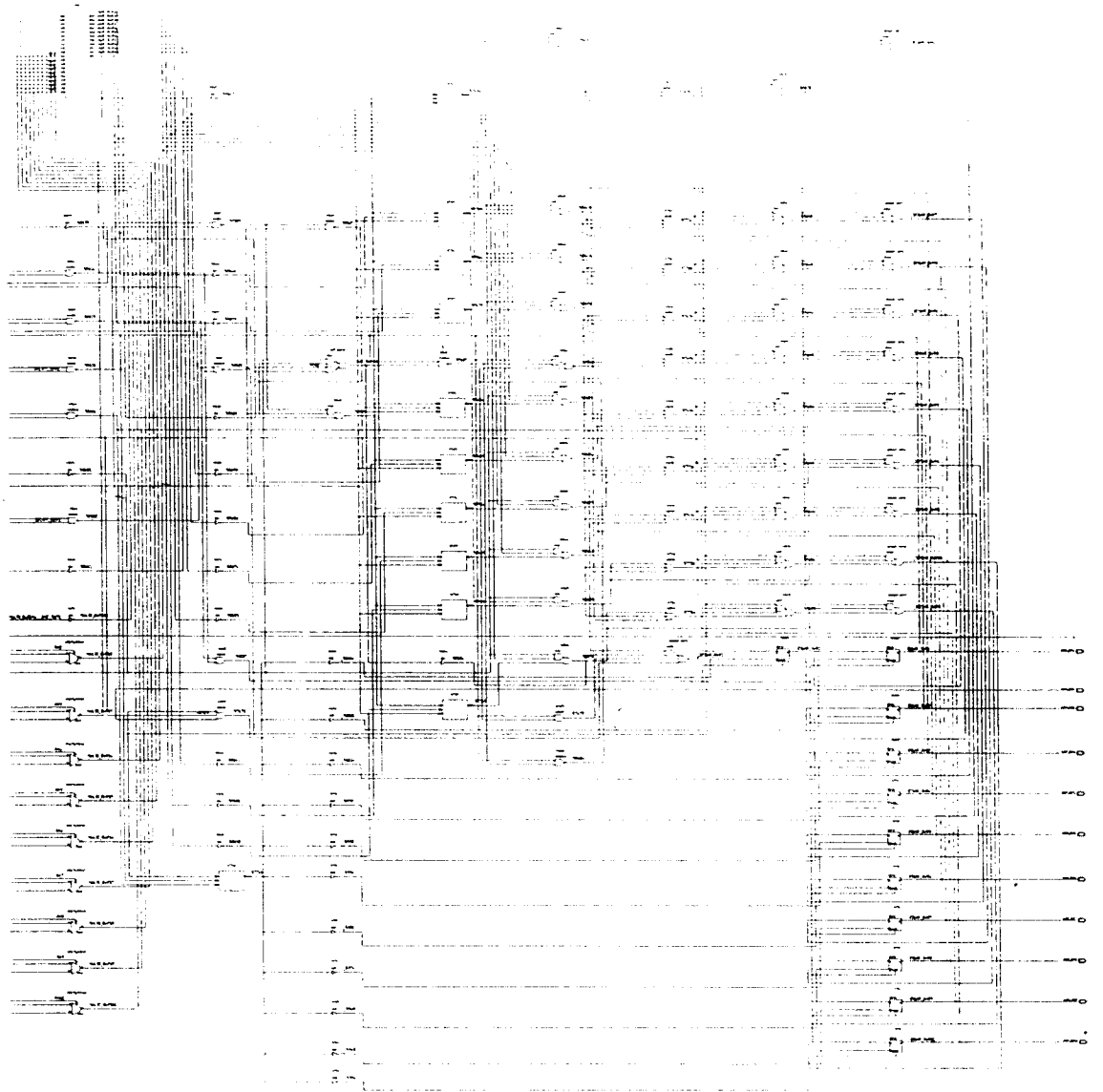


그림 4.2 곱셈기의 합성 회로



표 4.1 컴퓨터 시뮬레이션 결과와 설계한 하드웨어 시뮬레이션 결과 비교

iteration	컴퓨터 시뮬레이션 결과					하드웨어 시뮬레이션 결과				
	W[0]	W[1]	W[2]	W[3]	W[4]	W[0]	W[1]	W[2]	W[3]	W[4]
10	0.684	2.400	2.352	2.538	3.459	0.678	2.380	2.532	2.539	3.459
20	0.732	2.228	2.881	3.891	4.435	0.736	2.228	2.881	3.891	4.435
30	0.938	2.099	2.954	3.911	4.792	0.937	2.096	2.513	3.913	4.790
40	1.005	2.096	3.972	3.972	4.935	1.004	2.096	3.974	3.972	4.935
50	0.970	2.035	2.991	4.010	4.967	0.969	2.034	2.990	4.010	4.970
60	0.993	2.010	2.995	4.004	4.992	0.990	2.012	2.994	4.004	4.995
70	1.000	2.002	2.999	4.001	4.997	0.998	2.000	2.994	4.001	4.998
80	1.000	2.000	3.000	3.999	4.999	1.000	2.000	2.997	3.999	4.999
90	1.000	2.000	3.000	3.999	4.999	1.000	2.000	2.997	3.999	4.999
100	1.000	2.000	3.000	4.000	4.999	1.000	2.000	2.999	3.999	5.000

를 이용하여 합성을 하여 FPGA가 가지고 있는 게이트 지원을 적용시켜 시뮬레이션을 하고 검증하였다. 구현한 반향제거기는 Actel사의 Act1을 이용하였고, 사용된 게이트는 5,500여개 이고, 최대 동작 주파수는 5.53MHz이다. 제안한 알고리즘을 VHDL을 이용하여 회로로 검증할 수 있음을 증명하였다.

참 고 문 헌

1. R. W. Harris, D. M. Chabries, and F. A. Bishop, "A variable step (VS) adaptive filter algorithm", IEEE Trans. on Acoust., Speech, and Signal Processing, Vol. ASSP-34, No. 2, pp. 309-316, April 1986.
2. Y. K. Shin and J. G. Lee, "A study on the fast convergence algorithm for the LMS adaptive filter design," Proc. IEEE, Vol. 19 No. 4, pp. 12-19, Oct. 1985.
3. R. H. Kwong and E. W. Johnston, "A variable step size LMS algorithm", IEEE Trans. on Signal Processing, Vol. 40, No. 7, pp. 1663-1642, July 1992.
4. S. Karni and G. Zeng, "A new convergence factor for adaptive filter", IEEE Trans. Circuit System., Vol. 36, No. 7, pp. 1011-1012, July 1989.
5. J. B. Evans, P. Xue and B. Liu, "Analysis and Implementation of Variable Step Size Adaptive Algorithm", IEEE Trans. on Signal Processing, Vol. 41,

No. 8, pp. 2517-2535, August 1993.

6. S. Haykin, Adaptive Filter Theory. Englewood Cliffs, NJ: Prentice-Hall, 1986.
7. James R. Armstrong, F. Gail Gray, Structured Logic Design With VHDL. Englewood Cliffs, NJ: Prentice-Hall, 1993.
8. 박현철, VHDL 회로설계와 응용. 한성출판사, 1995.

차 균 현(Kyun Hyon Tchah) 정회원  
 1965년 2월: 서울대학교 전기공학과(공학사)  
 1967년 6월: Univ. of Illinois(공학석사)  
 1972년 6월: 서울대학교 전자공학과(공학박사)  
 1978년 3월~현재: 고려대학교 전자공학과 교수

※주관심분야: VLSI, 통신



박 노 경(Noh Kyung Park) 정회원  
 1984년 2월: 고려대학교 전자공학과(공학사)  
 1986년 2월: 고려대학교 전자공학과(공학석사)  
 1990년 2월: 고려대학교 전자공학과(공학박사)  
 1988년 4월~현재: 호서대학교 정보통신공학과 부교수

※주관심분야: 영상신호처리 ASIC 설계, 회로 및 시스템 설계



이 주 석(Joo Sock Lee) 정회원  
1983년 2월:서강대학교 전자공학과(공학사)  
1985년 8월:고려대학교 전자공학과(공학석사)  
1985년 11월~1995년 2월:LG반도체, LG전자 근무  
1995년 3월~현재:고려대학교 전자공학과(박사과정)

※주관심분야:영상신호처리, VLSI/CAD



최 건 오(Kun Oh Choi) 정회원  
1995년 2월:고려대학교 전자공학과(공학사)  
1995년 3월~현재:고려대학교 전자공학과(석사과정)

조 현 묵(Hyun Mook Cho) 정회원  
1989년 2월:고려대학교 전자공학과(공학사)  
1991년 2월:고려대학교 전자공학과(공학석사)  
1995년 2월:고려대학교 전자공학과(공학박사)  
1995년 9월~현재:공주대학교 전자공학과 전임강사

※주관심분야:데이터통신, VLSI 설계



윤 성 식(Sung Sik Yoon) 정회원  
1995년 2월:호서대학교 정보통신공학과(공학사)  
1995년 3월~현재:호서대학교 정보통신공학과(석사과정)