

다중경로를 갖는 가상병렬 다단계 상호연결 네트워크

김 익 수[†]

요 약

본 논문은 프로세서와 기억장치 모듈 사이에 다중의 연결경로를 갖는 가상병렬 다단계 상호연결 네트워크에 대해 서술하고 있다. 제안된 가상병렬 MIN 네트워크는 입력 스위칭 블록에 $m \times 1$ 멀티플렉서와 출력 스위칭 블록에 $1 \times m$ 디멀티플렉서를 그리고 $\log N - 1$ 단의 스위칭단을 사용하여 프로세서와 기억장치 모듈 사이에 최대 $2 \times m$ 개의 독립된 연결경로를 갖고 있다. MIN 네트워크는 다중의 중복된 연결경로를 갖고 있기 때문에 다수의 프로세서들은 동시에 서로 다른 경로를 통해 특정의 출력포트에 연결될 수 있다. 또한 새로운 가상-병렬구조의 MIN 네트워크는 스위칭 블록에서 패킷 충돌의 가능성을 줄일 수 있으며 제안된 MIN 네트워크를 Pass-through ratio, 신뢰도와 가격의 측면에서 MBSF 구조의 MIN 네트워크와 비교하였다. 가상-병렬구조의 MIN 네트워크는 MBSF 구조의 MIN에 비해 성능이 개선되었으며 매우 간단한 구조로 이루어졌음을 확인하였다.

Virtual-Parallel Multistage Interconnection Network with multiple-paths

Iksoo Kim[†]

ABSTRACT

This paper presents a virtual-parallel multistage interconnection network(MIN) which provides multipath between processor and memory module. The proposed virtual-parallel MIN network which uses $m \times 1$ multiplexer at the input switching block, $1 \times m$ demultiplexer at the output switching block and $\log N - 1$ switching stages has maximum $2 \times m$ unique paths between processor and memory module. Because it has multi-redundance paths, a number of processors can connect a specific memory module through different path at the same time. Also, this new virtual-parallel structured MIN network can reduce packet collision possibility at switching block and it has been compared with MBSF structured MIN network from the viewpoint of passthrough ratio, reliability and cost. It is shown to improve a performance and to be a very simple structure in comparison with MBSF structured MIN.

1. 서 론

다단계 상호연결 네트워크(Multistage interconnection network: MIN) 회로는 병렬처리 시스템에서 프로세

서들 사이 그리고 프로세서와 기억장치 모듈 사이의 데이터 교환에 광범위하게 사용되고 있으며 또한 광대역 종합 정보 통신망(Broadband integrated service digital network: BISDN) 분야에 근간이 되는 비동기 전송모드(Asynchronous transfer mode: ATM) 네트워크에서 중간노드들 사이의 연결을 위한 스위칭 네트워크로 사용되기 때문에 MIN 네트워크에 대한 관심이 크게 고조되고 있다[1, 2, 3].

*본연구는 1995년도 인천대학교 연구비 지원에 의해 수행되었음.

† 정 회 원: 인천대학교 정보통신공학과 부교수

논문접수: 1996년 3월 30일, 심사완료: 1996년 12월 11일

MIN 네트워크의 구성에 기본적으로 사용되고 있는 한 개의 연결경로만을 제공하는 단일 Banyan MIN 네트워크[4, 5]는 소수의 프로세서들과 기억장치 모듈로 구성된 병렬처리 시스템에서 데이터 교환이나 송수신측 사이에 통신이 빈번하지 않는 소규모 통신망에는 사용이 가능하다. 그러나 일반적인 다중 프로세서 시스템과 ATM 통신망에서는 다수의 전송 패킷 데이터들이 스위칭 블록에서 빈번하게 충돌이 발생할 수 있으며 또한 스위칭 블록의 고장으로 인한 연결경로의 폐쇄와 같은 문제점이 있기 때문에 단일경로 MIN의 신뢰도는 크게 낮아지게 된다[6, 7]. 따라서 MIN 네트워크에서 다수의 프로세서들과 기억장치 모듈들이 동시에 데이터들을 전송할 경우 스위칭 블록에서 발생할 수 있는 데이터 충돌 가능성을 줄여 MIN의 신뢰도와 성능을 높이기 위해 다수의 중복된 연결경로를 확보하기 위한 노력을 기울여 왔다[8, 9]. 이와 같이 프로세서들과 기억장치 모듈들 사이에 다수의 중복된 연결경로를 갖기 위해 독립된 MIN 네트워크를 여러 단으로 구성할 경우 가격이 비싸진다는 단점을 갖고 있다.

지금까지 프로세서들과 기억장치 모듈들 사이에 단일 경로만을 제공하는 Banyan MIN 네트워크의 단점을 해결하기 위한 다수의 논문들 가운데 독립된 Banyan MIN을 다단으로 연결한 다중-Banyan 스위칭 구조 (Multi Banyan Switching Fabrics: MBSF)[10, 11]는 동일한 MIN 네트워크를 병렬로 연결하여 동시에 다수의 프로세서들이 특정 기억장치 모듈과 통신을 할 경우 MIN 네트워크의 첫 단에서 패킷 데이터 충돌이 발생된 프로세서 가운데 하나를 병렬로 구성된 다른 독립된 MIN 네트워크를 통해 기억장치 모듈과 연결되는 간단한 구조의 병렬 MIN 네트워크이다. 따라서 MBSF 구조는 구성된 MIN 네트워크 수만큼 다수의 독립된 연결경로를 제공하게 된다. 그러나 MBSF MIN들은 각단의 MIN에서 프로세서와 기억장치 모듈들 사이에 경로가 단지 한 개 뿐이라는 단점 또한 갖고 있다. 따라서 패킷 데이터가 MBSF MIN에서 진행되고 있는 도중에 충돌 또는 스위칭 블록의 고장으로 경로가 차단되어 송수신측 사이에 통신이 불가능하게 되어 MIN의 신뢰도가 크게 떨어지게 된다[7, 11].

본 논문에서 사용되고 있는 MIN 네트워크는 기존의 Banyan MIN의 입력과 출력 스위칭단에 각기 m

$\times 1$ 멀티플렉서와 $1 \times m$ 디멀티플렉서만을 추가하여 $\log_2 N - 1$ 개의 스위칭 단으로 특정의 프로세서와 기억장치 모듈 사이에 최대 $2 \times m$ 개의 중복된 연결경로를 가질 수 있다. 따라서 MIN 네트워크 내의 특정 스위칭 블록에서 고장 또는 이미 다른 프로세서의 서비스를 실행 중일 경우라도 동일한 스위칭단의 다른 스위칭 블록을 통해 연결을 보장해 주는, 즉 MIN의 신뢰도가 향상되는 특징을 갖고 있다. 그리고 제안된 MIN을 새로운 가상적인(virtual) 병렬구조로 구성할 경우 MIN의 성능을 나타내는 Passthrough ratio를 향상시킬 수 있는 단순한 구조로서 MBSF 구조에 비해 매우 경제적으로 구성되는 새로운 다중경로를 갖는 MIN 네트워크이다. 또한 프로세서와 기억장치 모듈들 사이에 연결경로의 선택(routing)이 매우 단순하여 경쟁이 없을 경우에는 기존의 Banyan MIN과 동일하게 동작된다. 본 논문에서는 제안된 가상병렬 MIN 네트워크와 기존 MBSF MIN [11] 사이에 Passthrough ratio, 신뢰도 및 가격의 측면에 대해서 비교하기로 한다.

2. 다단계 네트워크의 구조

본 논문에서 프로세서들과 기억장치 모듈들이 각각 N 개로 구성되는 다단계 MIN 네트워크는 $\log_2 N - 1$ 개의 스위칭단을 필요로 한다. 일반적인 MIN의 스위칭단들은 입력과 출력 사이에 직결(straight) 또는 교환(exchange)의 스위칭을 수행할 수 있는 2×2 스위치를 사용하고 있으며 MIN 네트워크의 각단은 $N/2$ 개의 2×2 스위치로 구성된다[5, 9, 10, 12]. 그러나 본 논문에서 제안한 가상병렬 구조의 MIN 네트워크에서는 전송 패킷 데이터가 진행되는 동안 패킷의 충돌이 발생하는 첫 번째 스위칭단은 모두 1×2 스위칭 블록으로 대체된다.

(그림 1)(a)와 (b)에 3-상태 버퍼를 사용한 2×2 스위치와 1×2 스위치의 구조를 각각 나타냈다. 스위치의 입력과 출력 사이에 연결을 위한 제어는 제어비트인 c_i 가 논리 1일 경우 입력은 하위출력에 연결되고 c_i 가 논리 0으로 인가될 경우 상위출력에 연결된다[11]. 또한 기억장치 모듈(수신측)들은 프로세서들로부터 전송된 데이터들이 전송도중에 오류없이 올바르게 수신되었음을 알리는 프로세서(송신측)로의 인식정보(acknowledge)의 전송은 데이터 전송경로를 따라

역으로 전송된다. 물론 전송도중에 패킷 데이터에 오류가 발생될 경우에는 프로세서측은 동일한 패킷 데이터를 재전송하게 되며 이는 (그림 1)(a), (b)와 동일한 회로를 추가하여 구성할 수 있다.

3. 다중-출력 MIN 네트워크와 경로의 선택

3-1. 다중-출력 MIN 네트워크의 구성과 해석

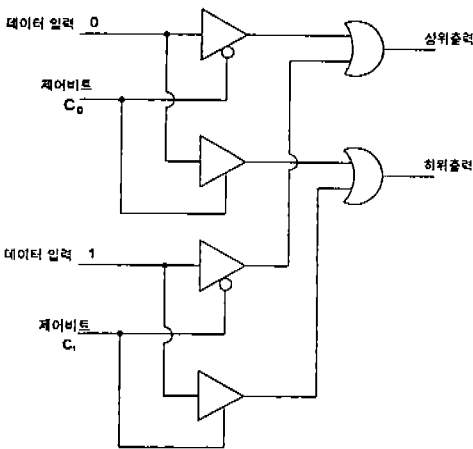
스위칭 네트워크의 입력단에 연결된 프로세서들과 출력단에 연결된 기억장치 모듈들 사이에 통신을 할 경우 특정의 스위칭 블럭단에서 발생하는 입력 패킷 데이터들간의 충돌을 막기 위해서 또는 특정 스위칭 블럭단의 고장으로 인한 연결경로의 폐쇄를 막기 위해서 다중의 중복된 연결경로를 갖는 MIN 네트워크를 필요로 한다[8, 9]. 따라서 본 논문에서 제안한 가상병렬 MIN 네트워크에 사용되는 기본적인 MIN 블럭으로서 (그림 2)와 같이 첫 번째 스위칭단에 $m \times 1$ ($m=4$) 멀티플렉서를 그리고 마지막 스위칭단에 $1 \times m$ 멀티플렉서를 부가한 프로세서와 기억장치 모듈이 각각 N 개($N=16$)인 $\log_2 N - 1$ 개 스위칭단으로 구성된 MIN 네트워크를 사용하기로 한다.

(그림 2)에 나타낸 MIN 네트워크는 다중의 중복된 경로를 제공하기 위해 3개 스위칭단 가운데 첫 번째

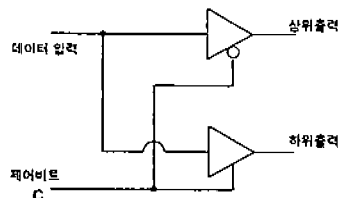
스위칭단에 인가한 4×1 멀티플렉서들은 패킷 데이터의 전송을 원하는 프로세서를 4개의 독립된 스위칭 블럭단으로 분배할 수 있다. 따라서 특정의 스위칭 블럭단이 다른 프로세서들과 경쟁이 발생할 경우 나머지 3개단의 스위칭 블럭 가운데 한 개의 스위칭 블럭을 통해 최초의 연결경로가 확보되어 패킷 데이터가 전송된다. 또한 기억장치 모듈에 위치한 1×4 디멀티플렉서들은 서로 다른 스위칭 경로 가운데 한 개 경로에 대한 출력을 결정해 주게 된다.

(그림 2)의 MIN에서 프로세서 5에서 기억장치 모듈 7로의 가능한 모든 연결경로를 굵은선으로 나타냈으며, 최대 $8(2m)$ 개의 중복된 연결경로를 제공하고 있음을 알 수 있다. 이와 같이 특정 프로세서로부터 특정의 기억장치 모듈로 연결되는 8개에 달하는 다중의 연결경로는 스위칭 블럭의 고장이나 또는 다른 프로세서들이 이미 중복된 연결경로 가운데 한 개의 경로를 사용하고 있을 경우에도 다른 경로를 통해 두지점간의 연결이 가능하다는 것을 나타낸다.

(그림 2)에서 프로세서 5는 1, 3, 5와 7의 4×1 멀티플렉서에 인가되며 멀티플렉서는 선택비트에 의해서 4개의 스위칭 블럭 가운데 언제나 한 개의 2×2 스위칭 블럭에 연결될 것이다. 그리고 스위칭단 1의 S_2 스위칭 블럭에서 멀티플렉서 5의 출력과 멀티플렉서 4



(a) 2×2 스위칭 블럭
(a) 2×2 switching block



(b) 1×2 스위칭 블럭
(b) 1×2 switching block

(그림 1) 3-상태 버퍼를 사용한 스위칭 블럭의 내부구조
(Fig. 1) Internal structure of switching block using 3-state buffer

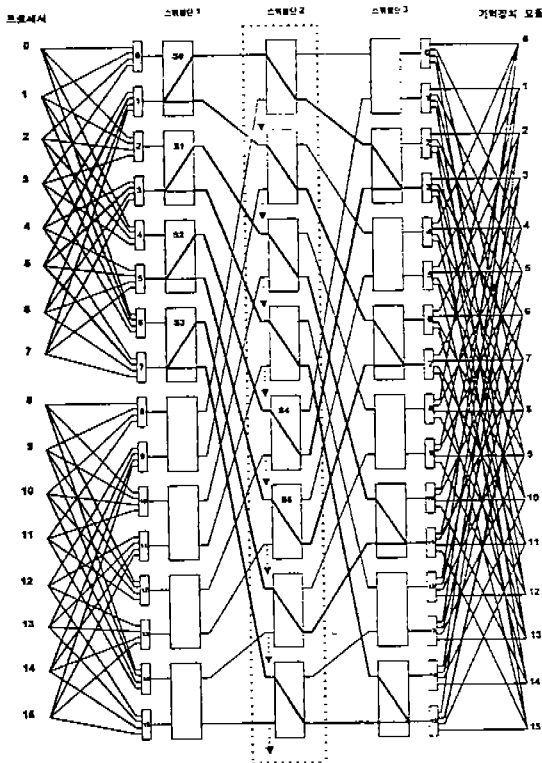
의 출력이 동시에 패킷 전송을 요청할 경우에도 멀티플렉서 5의 출력은 멀티플렉서 4의 출력에 관계없이 언제나 S_2 스위칭 블록의 상위 또는 하위출력을 통해 스위칭단 2로 연결된다. 따라서 스위칭단 1에서는 전송 패킷 사이에 충돌이 없게 되며 결과적으로 패킷은 스위칭단 2로의 연결요청은 보장된다.

그러나 스위칭 블록 S_2 와 연결된 스위칭단 2의 스위칭 블록(S_4 와 S_5) 가운데 한 개의 스위칭 블록에 연결된 패킷은 스위칭단 1에서와는 달리 2×2 스위치의 2개 패킷입력들이 동일한 출력단자를 요청할 경우 충돌이 있게 된다. 따라서 한 개의 패킷입력은 스위칭 블록을 통과할 수 없게 되며 (그림 2)와 같이 한 단의 MIN 네트워크를 사용할 경우 프로세서와 기억장치 모듈 사이에 연결은 불가능하게 된다. 이는 스위칭단 3의 경우에도 동일한 결과를 나타내며 스위칭단 3을 통과한 프로세서 5의 패킷은 1×4 디멀티플렉서 3 또

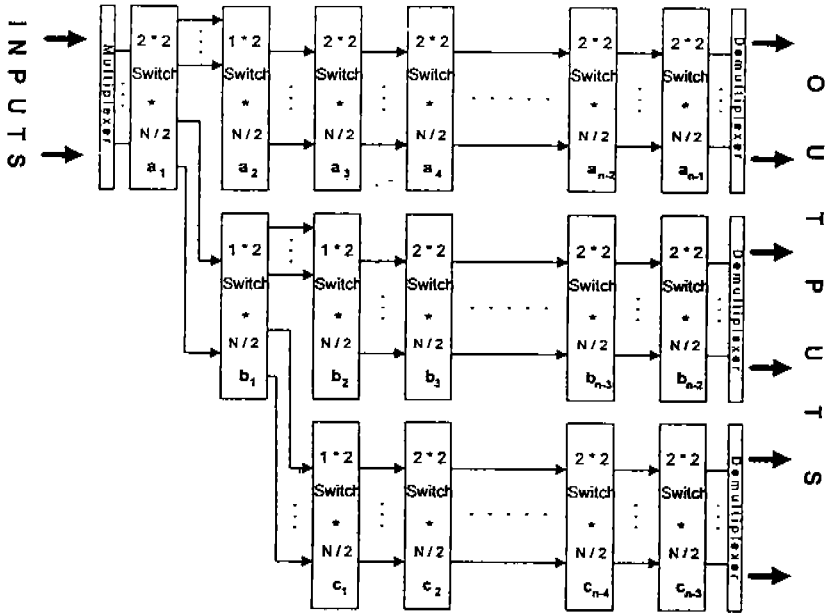
는 7에 의해 기억장치 모듈 7에 전달할 수 있다. 따라서 MIN 네트워크를 여러단 사용할 수 있는 본 논문에서 제안한 새로운 2 또는 3-가상병렬 MIN은 스위칭단 2에서 패킷 데이터의 충돌을 피하기 위해 (그림 3)의 블럭도에 나타낸 바와 같이 스위칭단 2의 a_2 단을 1×2 스위칭 블록으로 구성할 경우 (그림 2)와는 달리 a_2 단도 패킷들간에 충돌이 없게 된다. 또한 가상병렬단의 첫 번째 스위칭단(b_1 단)도 1×2 스위칭 블록들로 구성되기 때문에 두 개 MIN 네트워크의 두 번째 스위칭단(a_2 단과 b_1 단)에서는 어떠한 경우에도 전송 패킷 데이터들 사이에 충돌이 없게 된다. 따라서 이들 스위칭 블록(a_2 와 b_1)에 인가되는 패킷입력(γ 의 확률)은 언제나 두 개의 출력 가운데 한곳으로 전달된다. 또한 3-가상병렬로 구성할 경우에도 세 번째 가상병렬 MIN 네트워크의 첫 번째 스위칭단(c_1 단)도 1×2 스위치로 구성된다. 따라서 (그림 2)는 한 단의 MIN 네트워크를 구성할 경우에만 사용되는 기본회로이고 가상병렬 구조일 경우 (그림 3)과 같이 변화된다. 이와 같이 일반적인 병렬구조의 MIN 네트워크를 구성하고 있는 스위칭단들을 모두 2×2 스위칭 블록으로 구성하는 것보다 (그림 3)에 나타낸 가상병렬 MIN 네트워크를 사용할 경우 훨씬 경제적으로 설계가 가능하게 된다.

3-2. MIN 네트워크의 경로선택

(그림 2)에 나타낸 프로세서와 기억장치 모듈 사이에 다중의 연결경로 가운데 한 개의 경로를 선택하는 정보인 경로선택(routing) 비트는 프로세서와 기억장치 모듈의 주소정보로부터 결정된다[1, 5, 12]. 멀티플렉서의 선택비트는 프로세서 주소의 하위 2개($\log m$) 비트를 사용하여 연결을 요청한 프로세서를 선택하며 스위칭단 1의 2×2 스위치들은 기억장치 모듈의 주소에 관계없이 상위 또는 하위출력에 연결된다. 그리고 스위칭단 2와 3의 스위칭 블록들의 경로선택은 기억장치 모듈 주소의 하위 2개($\log_2 N - 2$)비트를 사용한다. 또한 디멀티플렉서의 선택은 기억장치 모듈 주소의 상위 2개($\log m$) 비트를 경로 제어비트로 사용하여 프로세서와 기억장치 모듈 사이의 경로를 선택하게 된다. 여기서 경로선택 제어비트가 논리 0일 경우 2×2 스위치의 상위출력에, 그리고 논리 1일 경우 하위출력에 연결된다[11].



(그림 2) 다중경로를 갖는 16×16 MIN 네트워크의 기본회로
 (Fig. 2) Basic 16×16 MIN network with multi-paths



(그림 3) 3-가상병렬 구조의 MIN 네트워크 블럭도
 (Fig. 3) The block diagram of MIN network of 3-virtual parallel structure

소스 프로세서 5의 주소는 0101_B이므로 (그림 2)에 나타낸 바와 같이 1, 3, 5와 7의 멀티플렉서에 연결되며 4개의 멀티플렉서 가운데 언제나 한 개의 멀티플렉서를 선택하기 때문에 프로세서 5 주소의 상위 2개 비트는 임의항(don't care term)이 된다. 따라서 멀티플렉서를 선택하기 위한 경로선택 비트는 XX01_B이다. 그러나 기억장치 모듈 7(0111_B)의 선택은 주소의 하위 2개 비트가 임의항으로 사용되기 때문에 기억장치 모듈 7에 연결되기 위한 디멀티플렉서의 경로선택 비트는 01XX_B가 된다. 또한 스위칭단 1의 각 스위칭 블럭단의 경로는 상위 또는 하위출력인 관계가 없기 때문에 제어비트는 X(논리 0 또는 1)가 된다. 나머지 2개 스위칭단의 경로선택 비트는 목적지 주소의 하위 2개 비트를 사용하기 때문에 11이 되어 하위출력에 연결된다. 따라서 소스 프로세서 5에서 기억장치 모듈 7로의 경로선택 비트는 XX01X1101_B이 되지만 실제로 연결경로의 선택에 사용되는 경로선택 비트는 6개 비트로서 011101_B이 되는 것이다. 따라서 N×N 가상병렬 MIN 네트워크에서 경로선택 비트는

$2\log_2 m + \log_2 N - 2$ 비트로 구성된다.

4. MIN 네트워크의 평가와 분석

4-1. MIN 네트워크의 Passthrough ratio의 평가

MIN 네트워크 회로를 평가하는데는 Passthrough ratio[11, 15]와 신뢰도[7, 13] 그리고 가격[8]에 대한 비교평가가 있다. MIN 네트워크의 성능평가는 일반적으로 대역폭[15] 또는 Passthrough ratio(PT)[11, 14]로 평가하는 것이 일반적이다. PT란 패킷 데이터의 전송을 요구하는 소스 프로세서의 전송요청이 MIN 네트워크 내에서 다른 프로세서들의 전송요청에 의해서 연결경로가 차단됨이 없이 목적지 기억장치 모듈과 통신할 수 있는 확률을 의미하기 때문에 다중의 중복된 연결경로를 갖는 MIN 네트워크는 단일경로 MIN 네트워크에 비해 보다 우수한 PT를 보유하게 된다[1].

전송 패킷 데이터가 (그림 2)의 MIN 네트워크에서 각 스위칭단의 입력에 인가되는 확률을 γ 라 할 경우 각 단 스위칭 블럭의 2개 입력에 동시에 인가되어 동

일한 출력을 요청할 때 전송 패킷 데이터들 사이에 충돌이 있게 되며, 충돌이 발생한 한 개의 패킷은 폐기된다. 2x2 스위치를 사용할 경우 현재의 스위칭 단에서 충돌의 확률은 0.25 γ^2 이 된다[10, 14, 15].

(그림 2)의 MIN 네트워크에서 패킷이 γ 의 확률로 스위칭단 1에 인가될 경우 스위칭단 2로의 연결은 언제나 보장되기 때문에 스위칭단 2로의 연결확률은 γ 가 된다. 그러나 스위칭단 2 이하에서의 특정 i 단에서 다음 단($i+1$ 단)으로의 패킷 전송은 스위칭 블록의 2개 입력들이 동일한 출력단자를 요구할 수 있기 때문에 서로 충돌이 발생할 수 있으며 이때 패킷의 전송 확률은 다음과 같이 나타낼 수 있다[11, 14].

$$\gamma_{i+1} = \gamma_i - 0.25\gamma_i^2 \tag{1}$$

그러나 2-가상병렬 구조의 MIN 네트워크를 사용할 경우 (그림 3)의 a_2 단과 b_1 단의 출력이 각각 a_3 단 b_2 단으로 전달될 확률은 각각 식 (2)와 같이 수정되며 이하의 나머지 단에서 전달확률은 식 (1)을 따르게 된다.

$$\gamma_3 = 0.5\gamma_2, \quad \gamma_2' = 0.5\gamma \tag{2}$$

(그림 4)에 $N=256$ 으로 프로세서와 기억장치 모듈이 각기 256개인 경우로서 기존의 MBSF 구조의 MIN 네트워크와 PT를 비교하였다. (그림 4)에 나타낸 바와 같이 제안된 가상병렬 구조의 MIN 네트워크는 MBSF 구조에 비해 한 단의 MIN 네트워크($k=1$)로 구성될 경우 스위칭 블록에 유입되는 패킷 데이터

의 확률이 $\gamma=0.7$ 을 기준으로 약 17.3% 이상 PT의 개선이 있음을 알 수 있다. 또한 $k=2$ 일 경우 약 19%의 개선이 있으며 모든 경우에 가상병렬 구조의 MIN 네트워크가 보다 우수한 성능을 보유하고 있다. 특히 본 논문에서 제안한 가상병렬 MIN은 2개단만을 사용하여도 MBSF 구조의 MIN을 3개단 사용했을 경우보다도 우수한 Passthrough ratio를 갖고 있음을 알 수 있다.

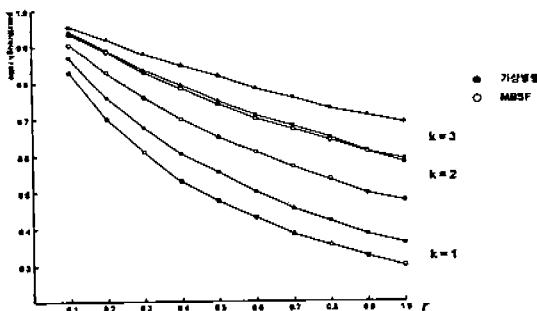
4-2 MIN 네트워크의 신뢰도 평가

신뢰도 평가의 경우 MIN 네트워크의 강인성을 나타내는 단자 신뢰도(terminal reliability)로 MIN 네트워크를 비교할 수 있다. 다중경로를 갖는 MIN 네트워크는 소스 프로세서들의 동시 요청에 의한 연결경로가 차단되는 영향을 감소시킬 수 있기 때문에 단일 경로 MIN 네트워크에 비해 우수한 성능을 보유하게 된다[1, 6]. 단자 신뢰도란 MIN 네트워크에서 한 개의 특정 프로세서가 특정의 기억장치 모듈과 통신할 수 있는, 즉 다중의 중복된 연결경로 가운데 오류가 없이 목적지 기억장치 모듈에 연결될 수 있는 경로가 적어도 한 개 존재하는 확률을 의미한다. 따라서 프로세서와 기억장치 모듈 사이에 오류가 없는 스위칭 경로가 한 개 이상 존재할 수 있는 확률의 결정은 다중경로의 수가 $2m$ 개이므로 각각의 연결경로에 대해 오류없이 연결될 수 있는 전체 경로에 대한 확률을 누적하여 구하게 된다.

본 논문에서 $8(2 \times m)$ 개의 독립된 연결경로에서 R_i 를 $2m$ 개 경로 가운데 경로 i 만이 오류가 없이 목적지 기억장치 모듈에 연결되고 나머지 앞선 $i-1$ 개의 연결경로들은 스위칭 도중에 모두 오류가 발생하는 경로라 할 경우 단자 신뢰도(TR)는 다음과 같다.

$$TR = 1 - P_r \tag{3}$$

식(3)에서 P_r 란 경로 i 를 제외한 모든 다른 경로에 오류가 발생할 확률을 나타낸다. 따라서 8개 각각의 연결경로에 대한 확률을 구하고 이들을 누적함으로써 식(4)와 같은 전체 스위칭 경로에 대한 단자 신뢰도를 구하게 된다. 이때 오류가 없는 스위치의 신뢰도를 p 라 할 경우 각각 프로세서와 기억장치 모듈에 연결되어 있는 멀티플렉서와 디멀티플렉서를 포함하



(그림 4) Passthrough ratio의 비교

(Fig. 4) The comparison of passthrough ratio

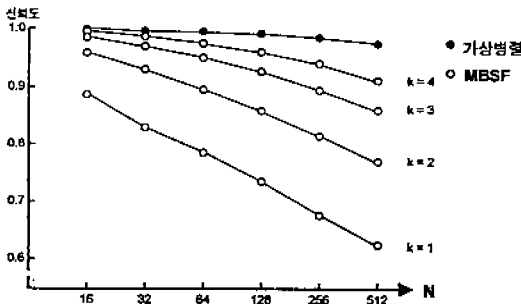
는 입력 스위칭단의 신뢰도(p_i)와 출력단의 신뢰도(p_o)는 모두 $p_i = p_o = p^{(m+3)/4}$ 이다. 따라서 (그림 3)에 나타낸 본 논문에서 제안된 가상병렬 MIN 네트워크의 단자 신뢰도는 식(4)와 같다[13, 15].

$$TR = \sum_{i=0}^{2m-1} R_i(1 - R_i) \quad (4)$$

식 (4)에서 R_i 은 다음과 같다.

$$R_i = p_i p^{i(\log N - 1) - 2i} p_o = p^{i(m-1)/2 + \log N - 1}$$

(그림 5)에 프로세서와 기억장치 모듈 수에 따른 단자 신뢰도를 비교하였으며 (그림 3)에 제안된 가상병렬 MIN 네트워크의 신뢰도는 기존의 MBSF 구조의 MIN 네트워크 회로에 비해 매우 우수한 단자 신뢰도를 보유하고 있음을 알 수 있다.



(그림 5) 단자 신뢰도의 비교
(Fig. 5) The comparison of terminal reliability

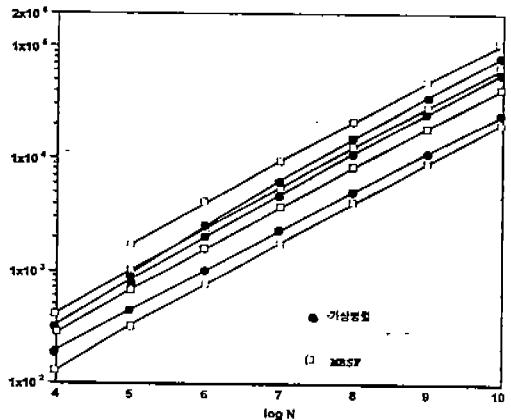
4-3. MIN 네트워크의 가격평가

MIN 네트워크에 있어서 또 다른 중요한 평가의 지표로는 MIN 네트워크를 설계할 때 얼마나 경제적으로 구성할 수 있는가를 나타내는 가격평가이다. 일반적으로 MIN 네트워크의 가격은 MIN 네트워크를 구성하고 있는 각 단 스위칭 블록내의 접점의 수에 비례하게 된다[8, 15]. (그림 3)의 가상병렬 MIN 네트워크는 스위칭단 $1(a_1$ 단)에 멀티플렉서와 출력단(a_{N-1} , b_{N-2} , c_{N-3} 단, ...)에 디멀티플렉서 회로들이 추가될 뿐이다. 그러나 가상병렬 MIN을 구성하고 있는 스위칭 블록들은 모두 2×2 스위치를 필요로 하지 않으며

(그림 3)에서 각 MIN 네트워크의 스위칭단 가운데 a_2 단과 b_1 , b_2 단 그리고 c_1 단 ... 등은 1×2 스위치로 구성된다. 따라서 (그림 3)의 가상병렬 MIN 네트워크 회로에 대한 가격에 관한 식은 식(5)와 같다.

$$COST = 2N[k \log N - \{(k-1)(k+6)/2 + 1\}] + 2N(k-1) + N(k+1)(m-1) \quad (5)$$

(그림 6)에 MBSF MIN 네트워크와의 가격을 비교하였으며 그림에 나타낸 바와 같이 가상병렬 MIN 네트워크는 MIN의 단수가 $k=1$ 일 경우 기존의 MBSF 구조에 비해 가격이 고가이지만 이는 입력단과 출력단에 멀티플렉서와 디멀티플렉서를 부가하여 pass-through ratio와 신뢰도를 개선하기 위해 감수해야만 한다. 그러나 가상병렬 MIN의 단수가 $k=2$ 인 경우에는 MBSF의 경우와 동일한 가격으로 구성할 수 있으며 단수가 $k=3$ 으로 증가될 경우에는 MBSF 구조에 비해 가격이 더 낮아진다는 것을 알 수 있다.



(그림 6) 가격의 비교
(Fig. 6) The comparison of cost

5. 결 론

가상병렬구조의 다중경로 MIN 네트워크는 단일경로의 Banyan MIN 네트워크의 입력과 출력 스위칭단에 각기 멀티플렉서와 디멀티플렉서를 부가하여 스위치의 고장 또는 동시접속으로 인한 패킷 데이터의

충돌로 발생되는 패킷의 폐기를 줄이기 위한 독립된 다중의 연결경로를 보유하고 있다. 또한 제안된 가상 병렬구조 MIN 네트워크의 단자 신뢰도는 $N=256$ 과 $K=3$ 인 경우 MBSF 구조에 비해 약 14.7%가 향상됐으며 Passthrough ratio의 경우도 13.6% 이상($r=0.7$) 향상된다는 것을 확인하였다. 또한 MIN 네트워크를 구성하는 가격도 기존의 MBSF 구조 보다 낮은 가격으로 매우 간단하게 설계가 가능할 수 있다는 것을 확인하였다. 따라서 제안된 가상병렬구조로 구성된 다중경로를 갖는 MIN 네트워크는 병렬처리 시스템의 다중 프로세서 사이의 통신과 프로세서와 주기억 장치 사이 및 차세대 정보통신망인 ATM 네트워크의 스위칭 분야에 광범위하게 사용될 수 있을 것이다.

참 고 문 헌

[1] F.A.Tobagi, "Fast Packet Switch Architectures for Broad-band Integrated Services Digital Networks", Proc. of the IEEE, vol.78, No.1, pp.133~167, Jan. 1990.

[2] C.P.Ravikumar and G.Manimarau, "Star-Graph Based Multistage Interconnection Network for ATM Switch Fabric," Proceedings of the 6th IEEE Symposium on Parallel and Distributed Processing pp.444~451, Oct. 1994.

[3] M.J.Narasimha, "The Batchier-Banyan Self-Routing Network: Universality and Simplification," IEEE Trans. Communications, vol.36, No.10, pp. 1175~1178, Oct. 1988.

[4] A.Abdennadher and T.Feng, "On rearrangeability of Omega-Omega Networks," 1992 International Conference on Parallel Processing, vol.1, pp.159~165, Aug. 1992.

[5] I.N.Bhuyan, "Interconnection Networks for Parallel and Distributed Processing," IEEE Computer pp.9~12, June 1987.

[6] S.M.Reddy and V.P.Kumar, "On Fault-Tolerant Multistage Interconnection Networks," Proc. of the 1984 International Conference on Parallel Processing, pp.155~164, Aug. 1984.

[7] G.B.Addams, D.P.Agrawal and H.J.Siegel, "Fault-Tolerant Multistage Interconnection Network," IEEE Computer, pp.14~27, June 1987.

[8] G.Lee and Sizheng Wei, "Design and Analysis of a Fault-Tolerant Multistage Interconnection Network for Large-Scale Shared Memory Parallel Computers," in Proc. of the Int'l Conf. on Parallel Processing, vol.1: Architecture, pp.201~204, Aug. 1988.

[9] Y.Chang and L.Bhuyan, "Extending Multistage Interconnection Networks for Multitasking," 1992 International Conference on Parallel Processing, vol.1, pp.151~158, Aug. 1992.

[10] C.Wu and M.Lee, "Performance Analysis of Multistage Interconnection Network Configuration and Operations," IEEE Trans. on Computers, vol.41, No.1, pp.18~27, Jan. 1992.

[11] T.Hanawa, H.Adamo and Y.Fujikawa, "Multistage Interconnection Networks with multiple outlets," Proc. of the 1994 International Conf. on Parallel Processing, vol.1 pp.1~8, Aug. 1994.

[12] H.J.Siegel, "Interconnection Networks for Large-Scale Parallel Processing," 2nd ed. McGraw-Hill 1990.

[13] A.Varma and C.S.Raghavendra, "Reliability Analysis of Redundant-Path Interconnection Networks," IEEE Trans. on Reliability, vol.38, No.1, pp.130~137, April 1989.

[14] J.H.Patel, "Performance of Processor-Memory Interconnections for Multiprocessors," IEEE Trans. on Computers, vol.c-30, No.10, pp.771~780, Oct. 1981.

[15] P.G.Harrison and N.M.Patel, "Performance Modelling of Communication Networks and Computer Architectures," Addison-Wesley 1993.



김 익 수

1978년 2월 동국대학교 전자공
학과 졸업(학사)

1981년 2월 동국대학교 대학원
전자공학과(공학석
사)

1985년 8월 동국대학교 대학원
전자공학과(공학박
사)

1988년 3월~1994년 2월 인천대학교 정보통신공학과
부교수

1993년~1994년 North Carolina State Univ. 객원교수

1994년~현재 (시립) 인천대학교 정보통신공학과 부
교수

관심분야: 병렬처리, ATM 통신망 및 컴퓨터 구조