

이종망간의 상호연동 게이트웨이 시스템을 위한 내부고속연동망

김 동 원[†] · 신 현 식[†] · 류 원[†] · 이 현 우[†] · 전 경 표[†] · 배 현 덕^{††}

요 약

본 논문에서는 다양한 이종 망간의 상호 연동을 통한 개방형정보통신서비스를 제공하기 위해 게이트웨이 시스템(Gateway System)으로 개발되고 있는 대용량 통신처리시스템의 내부 고속 연동망의 구조를 제시한다. 주요 제원으로는 32×32 입출력 채널의 공유버스 구조의 스위치이며 각 입출력 채널은 100Mbps TAXI(Transparent Async. X-miter-roceiver Interface)를 이용한 직렬 통신 방식을 사용한다. 공유버스의 스위칭 대역폭은 640Mbps로써 평형상태에서 각 채널별 약 20Mbps 정도의 대역폭 할당이 가능하여 전화망 뿐만 아니라 고속의 ISDN 및 인터넷 서비스 연동이 가능하다.

고속 연동망은 주된 스위칭 기능을 담당하는 중계교환부, 각 입출력 채널을 구성하는 가입자 입출력부, 이들을 상호 연결하는 백플레인버스로 구성이 되고, 신뢰성 향상을 위하여 부하 분담 방식의 이중화 구성이 가능하다. 또한 망정합모듈의 구현을 용이케 하고 연동망 프로토콜을 처리하는 부하를 감소하기 위해 고속 연동망 프로토콜을 전달 처리하는 가입자노드 어댑터를 개발 하였다.

High Speed Interconnection Network for Interworking Gateway of Heterogeneous Networks

Dong Won Kim[†] · Hyeon Sik Shin[†] · Won Ryu[†] · Hyun Woo Lee[†] ·
Kyung Pyo Jun[†] · Hyeon Deok Bae^{††}

ABSTRACT

This paper proposes the architecture of an interconnection network for Advanced Information Communication Processing System(AICPS) developed for providing open information communication services on a variety of heterogeneous networks.

The proposed interconnection network, called High Speed Switching Fabric(HSSF), has been designed by a common bus. It can handle 32 I/O channels, each of which uses serial communication method using 100Mbps TAXI. The switching bandwidth of the common bus is 640Mbps. Each I/O channel can be allotted about 20Mbps bandwidth in steady state, and therefore it's sufficient bandwidth is able to interwork with ISDN and

※ 본 연구는 한국통신의 "고속/대용량 통신처리 시스템 개발" 사업의 수행결과입니다.

† 정 회 원 : 한국전자통신연구원 지능망연구부

†† 정 회 원 : 충북대학교 전자공학과

논문접수: 1996년 11월 5일, 심사완료: 1997년 3월 4일

Internet services, as well as PSTN.

HSSF is composed of the switching board assembly, the subscriber I/O board assembly, and the backplane board assembly. An attached node takes in the network adapter board assembly to adapt the high speed interworking protocol. For reliability, HSSF is duplicated with load-sharing method.

Key Words: Interconnection Network, Information Communication System

1. 서 론

고도 정보화 사회의 도래로 보다 유익하고, 편리한 새로운 미디어 정보유통 수요가 늘어나고 있으며, 최근에는 PC 통신 및 멀티미디어 통신의 활성화와 인터넷 서비스의 폭발적 이용에 따른 망의 고속화 다양화에 따라 정보통신 서비스 기반 구조 구축이 필요하게 되었다. 이러한 시대적 상황에 따라 다양한 정보통신 서비스와 망들을 상호 연동하여 다양한 정보의 유통을 원활히 지원하기 위해 국제 표준화 기구에서 개방형 Audio/Visual 서비스 네트워크 시스템에 대한 표준 모델을 제시하고 있으며, 표준모델의 기본적 방향은 통신망에 다양한 정보통신서비스를 일관되게 수용할 수 있는 서비스플랫폼의 구축으로 제시되고 있는 상황이다[1]. 국내 현실은 HiTEL, 천리안등의 주요 PC 통신 사업자와 수많은 중소 VAN 사업자가 출현하여 복수 사업자 환경이 성숙하였으나, 불공평한 망접속, 요금 체계 등으로 불공정한 문제가 제기되고 있으며, 패킷기반의 다양한 정보 통신 서비스망이 난립하여 상호 서비스 연동이 어렵고, 설비의 비효율성과 관리의 어려움이 가중되고 있다. 기간 망은 고속 인터넷 지원을 위해 ISDN으로 진화하고 있고, B-ISDN이 초고속 정보통신망 구축을 위해 연구개발되고 있어 조만간 이들 종합 정보통신망을 기반으로 한 새로운 서비스의 보급 확산이 예상된다. 이와 같이 정보통신 서비스가 다양한 망구조와 서비스 특성으로 상호 독립적으로 발전하고 있는데, 국가적 정보통신의 글로벌화와 자원의 효율적 활용을 위해 이들이 모두 효율적으로 연동 시키고 연계 관리가 되도록 하기 위해 한국통신과 한국전자통신연구원은 1994년 부터 개방형 구조를 갖춘 대용량 통신처리 시스템 개발에 착수하게 되었다.

대용량 통신처리시스템(AICPS: Advanced Information Communication Processing System)은 기존의 01410 하이텔 서비스에 사용 중인 통신처리시스템을

고속으로 대용량화 하여 복수의 VAN 사업자들을 동등 접속시키고, 향후 널리 사용될 ISDN과 프레임 릴레이망, B-ISDN 등을 용이하게 수용하여 인터넷 서비스까지 확장할 수 있도록 개방형 구조를 기반으로 개발 중에 있다. 대용량 통신처리시스템에서 앞으로 널리 사용될 다양한 망들을 용이하게 수용하고 부가적인 정보통신 서비스를 개발 탑재하기 위해서는, 내부 고속연동망을 중심으로 다양한 망정합 모듈과 프로토콜 처리모듈들이 연동되는 모듈화 및 분산처리 구조를 가지는 것이 가장 효율적인 것으로 검토되었다[2].

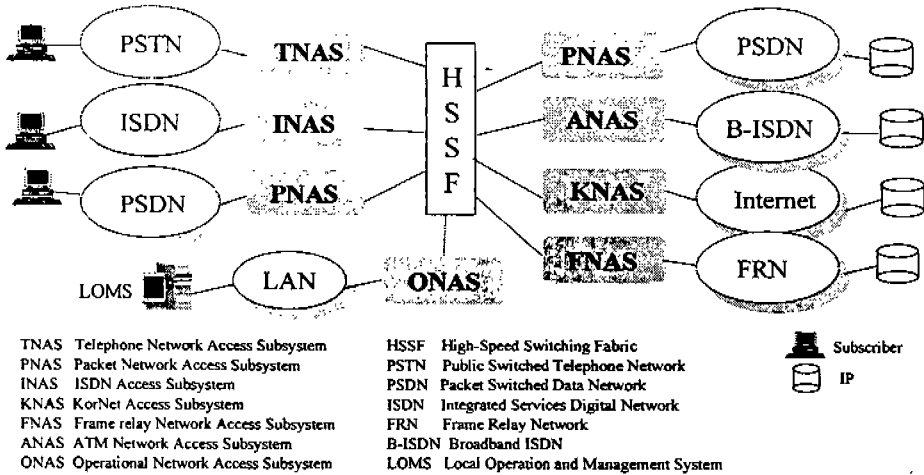
본 논문의 2장에서는 대용량통신처리시스템 구조를 살펴보고, 3장에서는 이를 효율적으로 지원하기 위해 설계 구현한 내부 고속 연동망의 구조와 통신방식을 제시하고, 4장에서는 신뢰성을 높이기 위한 연동망의 장애관리와 이중화방식을 설명하고, 5장은 구현된 상황을 설명하고, 6장에서는 결론 및 향후 연구 방향을 기술한다.

2. 대용량 통신처리시스템 구조

궁극적으로 개방형 정보통신 기반구조 구축을 목표로 개발되고 있는 게이트웨이 역할의 대용량 통신처리시스템의 주요 제원 및 특징을 살펴보면 다음과 같다.

- 50개 이상 VAN 사업자 망 동등 접속,
- PSTN(V.34 modem 960회선, T1/E1, R2MFC signalling), PSDN(56Kbps X.25 256링크), ISDN, Frame Relay망, ATM망(UNI) 상호접속,
- 전국규모의 고속 데이터, 고속 인터넷 접속, 멀티미디어 서비스(수 Mbps급) 수용,
- 복합 과금 회수대행, 정보탐색 및 안내, 상세통계 수집등 부대서비스 제공 등

이와 같이 다양한 이기종 통신망 간 접속 및 프로



(그림 1) 대용량 통신처리시스템 구조
(Fig. 1) AICPS structure

토콜을 지원하기 위하여 개방형 통신처리 플랫폼 구조에 대한 연구를 수행하여, (그림 1)과 같이 내부의 고속 연동망을 중심으로 다양한 망정합모듈들이 접속되는 분산처리 구조를 제안하였다[2].

이러한 분산처리구조는 기존의 보편적 서비스망 접속 기술뿐만 아니라 앞으로 널리 보급될 새로운 서비스망들을 쉽게 시스템 내에 수용할 수 있는 모듈화가 가능하며, 새로운 서비스 발굴과 추가 등이 용이한 유연성을 갖는다. 또한 서비스망 접속 모듈들과 내부 고속 연동망 간의 표준화된 인터페이스 채택을 통해 시스템 용량에 맞게 수십 Mbps에서 수 Giga 급까지의 기술을 내부 연동망에 독립적으로 채택할 수 있으므로 서비스 망 발전 추세에 맞추어 진화 가능한 구조이다.

3. 내부고속 연동망

3.1 설계 고려 사항

현재 알려진 내부 연동망 기술은 LAN 또는 MAN 기술, 밀결합 형태의 공동메모리 방식, 시스템버스 방식, 크로스바를 이용한 회선교환 방식 및 최근의 ATM 교환 방식 등이 있다. LAN 또는 MAN은 비교적 복잡한 매체접근 통신프로토콜을 사용하여 성능에 비해(약 100Mbps 미만) 가격이 비싼 편이며, 공동메모리, 시스템버스 방식은 한 셀프내의 백플레인 실장 규모로

써 근거리의 분산 노드들을 수용하기 어렵고 노드 수에 제한이 있다. 크로스바나 ATM 교환 방식은 성능은 좋으나 제어가 복잡하고 가격이 비싸다[3, 4, 5, 6, 7]. 따라서 목적 시스템의 요구사항에 따라 성능과 가격이 절충된 기술을 취해야 하는 바, 대용량 통신처리 시스템에서 요구하는 내부 연동망의 고려사항은 다음과 같다.

- 여러종류의 망정합모듈과 프로토콜처리 모듈 상호간의 고속 데이터 통신이 주된 목적이므로 패킷교환방식을 채택하며 실시간 동시성 서비스는 추후 고려한다.
- 다양한 망정합모듈의 개발과 독립적으로 병행 개발이 가능하게 표준인터페이스를 제공한다.
- 확장 및 변경이 용이하고 새로운 기술의 채택이 용이한 모듈화 구조를 가지도록 한다.
- 충분한 트래픽처리 용량으로 설계하여 서비스 확장을 용이하게 한다.
- 이중화 리던던시(Redundancy) 구조로 신뢰성 및 가용성을 높인다.
- 일대일 통신 뿐만 아니라 하드웨어적으로 브로드캐스팅, 멀티캐스팅을 지원하여 다양한 응용 서비스 제공이 가능하도록 한다.
- 하드웨어 self routing 방식으로 고속화 한다.

목표로 하는 연동망의 설계 규격은 가입자 입출력 채널 수는 32개, 공유버스의 스위칭 대역폭은 640Mbps 일 때 각 채널별 할당 가능한 대역폭은 약 20Mbps가 되도록 한다. 각 채널별 20Mbps 정도의 대역폭은 ISDN 및 인터넷 서비스 연동을 고려한 요구 사항으로써, 설계 규격의 검증을 위하여 해석적 방법으로 성능을 분석한 결과 공유버스가 640Mbps대역폭을 가지고 32채널을 수용할 경우 각 채널별 약 20Mbps 정도 대역폭 할당이 가능함을 알 수 있었다[2].

이상의 고려사항을 기반으로 고속의 중재교환부를 통해 각 노드로 부터 순차적으로 패킷을 전송하며, 패킷전송 중에 다음 대기 노드를 찾아 중재를 해나가는 병렬처리를 하여 버스사용율을 개선하였다. 그리고 동축 케이블을 이용하여 직렬로 근거리의 분산 노드들을 성형으로 접속할 수 있는 병렬 공동버스기반의 패킷교환방식인 내부 고속연동망(HSSF: High Speed Switching Fabric)을 설계하였다.

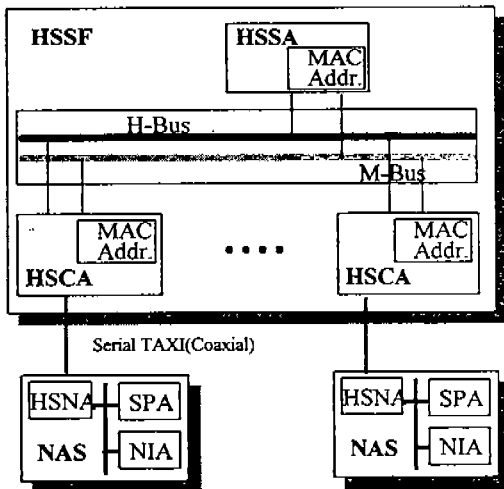
3.2 HSSF 구조

공유버스를 기반으로 한 고속 패킷교환방식을 채택하고 있는 HSSF는 크게 가입자 입출력부, 중재교환부, 병렬공동버스부로 구성된다.

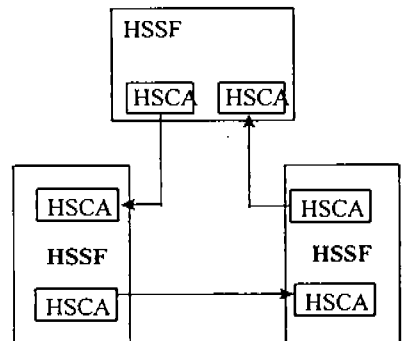
(그림 2)에서는 HSSF의 전체 구성도를 나타낸다. HSSF는 각 가입자 노드들과 직렬접속되어 패킷교환의 입출력을 담당하는 가입자 입출력부(HSCA: High Speed Channel Assembly)와 가입자 입출력부들 간에 공통매체인 공유버스 사용권을 중재한다. 또한 패킷 데이터들의 전달을 담당하는 중재교환부(HSSA: High Speed Switching Assembly), 패킷데이터들의 실제 수송로 역할의 데이터버스 및 가입자 입출력부와 중재교환부사이의 제어신호버스 및 주소신호버스로 구성된 H-bus와 채널의 상태 및 장애관리를 위한 M-bus로 구성되는 병렬공동버스부의 3개 기능부로 구성된다.

병렬공동버스부를 제외한 HSSA 및 HSCA들은 각각 고유의 Medium Access Control(MAC) 주소를 가지며 이들 주소에 의해 셀프라우팅이 되는 주소할당은 다음과 같은 계층구조에 원칙에 따라 부여한다.

- 시스템 ID(System Identification): HSSF의 주소를 표시하며 HSSA의 ID로써 사용된다. 2비트 할당되어 최대 3개의 장치가 (그림 2-b) 처럼 확장 구조로서 수용 가능하다.
- 가입자 입출력부 ID: HSSA 및 HSCA의 주소로서 6 비트가 할당되어 논리적으로 한 HSSF당 64



(a) 단일 구조



(b) 확장 구조

MAC : Medium Access Control
 NAS : Network Access Subsystem
 SPA : Service Processing board Assembly
 NIA : Network Interface board Assembly

(그림 2) HSSF 구조
 (Fig. 2) HSSF structure

채널까지 수용 가능하며, 각 채널은 시스템 ID와 가입자 입출력부 ID를 합쳐서 MAC 주소화 하여 할당된다. 따라서 3개의 장치를 확장 구조로 운용 시 최대 192개의 채널이 수용 가능 하지만 실제 구현된 상황은 대용량 통신처리시스템에서의 요구를 만족시키는 HSSF당 32 채널만 설장이 가능하도록 기구물과 백플레인 보드가 설계 되어 있다.

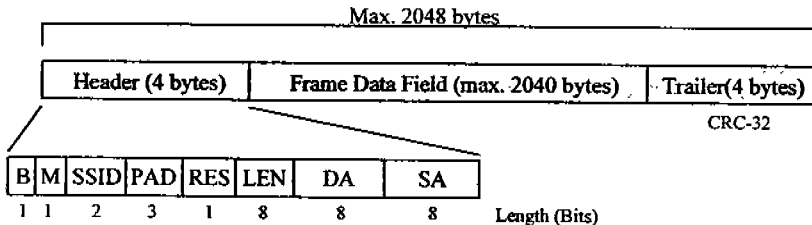
3.3 프레임 형식

HSSF내부에서 데이터의 교환, 전달을 위한 프레임은 헤더 4바이트, 트레일러 4바이트 및 가변길이의 데이터 정보가 최대 2040바이트로 구성된다. 헤더의 경우 Self-routing이 이루어지기 위한 정보들로 구성되는데, 데이터의 교환방식이 브로드캐스팅, 특정 그룹으로만 전달하는 멀티캐스팅 및 일대일 교환을 구분하는 비트들, 확장 구조에서 자신의 시스템을 구분하는 ID와 프레임을 전달할 목적지 주소 및 소스 주소,

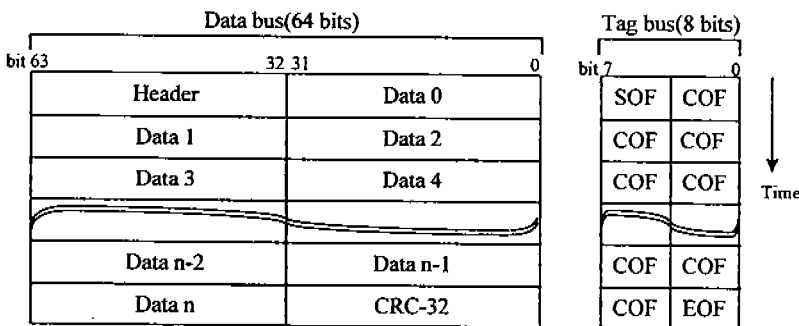
프레임 데이터 영역의 길이 정보들로 구성된다. 트레일러 영역은 오류 제어를 위해 헤더를 제외한 프레임 데이터 영역에 대해 CRC-32계산 결과를 삽입하고 있다. 이 CRC-32의 Polynomial은 ITU-T I.363에서 권고[8]한 것을 사용하고 있다. 최대 2040 바이트로 구성되는 프레임 데이터 영역은 내부 H-bus의 구조상 반드시 8의 배수로 되어야 한다. 8의 배수 바이트수로 맞추어 전송하기 위해 헤더 영역에 패딩 바이트수를 기록하여야 한다.

(그림 3-a), (그림 3-b)는 H-bus상에서 프레임 전송 구조를 나타내고 있는데, 데이터 버스의 폭이 64비트이기 때문에 데이터의 전송이 이루어지는 단위가 8바이트씩으로 된다. 아울러 데이터의 전송과 더불어 프레임의 순서를 구분하는 태그 정보를 전송하여 현재 전송되는 프레임의 시작, 계속 및 끝임을 나타내도록 하고 있다.

프레임 구조상의 각 영역의 자세한 구성 내용은 다음과 같다.



(a) 직렬프레임 형식



n = max. 510

(b) H-bus상의 프레임 전송 구조도

(그림 3) 프레임 구조
(Fig. 3) Frame format

- B: Broadcasting 표시
- M: Multicasting 표시
- SSID: Source System Identification(B 또는 M 비트가 세트될때 소스 입출력 가입자로부터는 '0' 값으로 설정되고, 중재교환부를 거치면서 중재교환부가 자기 자신의 System Identification을 새겨넣는 필드)
- PAD: Padding byte count(8 바이트 정렬 데이터를 만들기 위해 프레임길이가 8의 배수로 나누어지지 않을 경우dummy로 채운 바이트 수 표시)
- LEN: 전체 프레임의 길이를 나타내며 4바이트 longword 수로 표시(max.2Kbyte)
- DA: Destination Address(목적지 주소를 나타냄, M 비트가 세트될 때는 그룹주소를 의미함)
- SA: Source Address(소스 주소를 나타냄)
- CRC-32: Cyclic Redundancy Code(에러 검출 코드)
- TAG: 데이터 4바이트마다 4비트의 태그를 붙여 프레임 구분
- SOF: Start of Frame(시작 태그)
- COF: Continuous of Frame(계속 태그)
- EOF: End of Frame(끝 태그)

3.4 병렬 공통버스부

병렬공통버스부는 데이터 수송로 역할의 H-bus와 각 채널의 상태 및 장애 관리를 위한 M-bus로 구성된다. H-bus는 데이터, 주소 및 제어 신호들로 구성된다. 데이터 버스는 64비트 크기로써 별도로 프레임의 순서를 구분하는 태그 신호 8비트를 포함한다. 주소

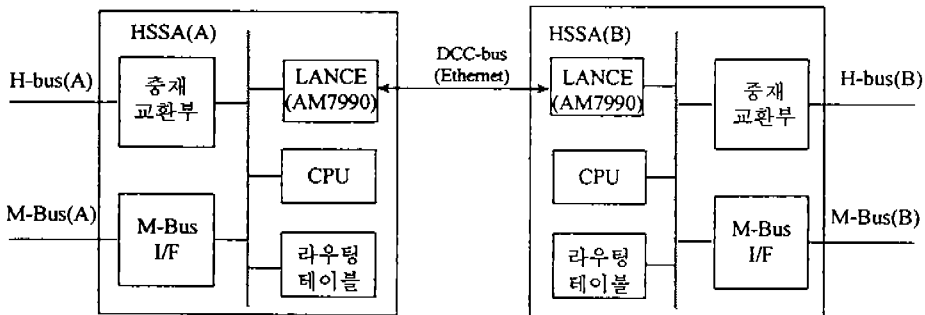
버스는 폴링 주소와 소스 주소 및 목적지 주소로 구분되며, 폴링 및 소스 주소는 각각 8비트가 할당되어 있고 목적지 주소는 브로드캐스팅과 멀티캐스팅임을 구분하는 신호 2비트를 포함하여 10비트로 구성된다. 제어신호는 전송요구신호, 폴링주소 strobe신호, 소스 주소 strobe신호, 목적지 주소 strobe신호, Read신호, 및 Write신호들로 구성된다. 시스템의 관리를 위한 M-bus는 데이터 신호 8비트, 주소 신호 6비트, address strobe, R/W신호들로 구성된다.

3.5 중재교환 및 관리부(HSSA)

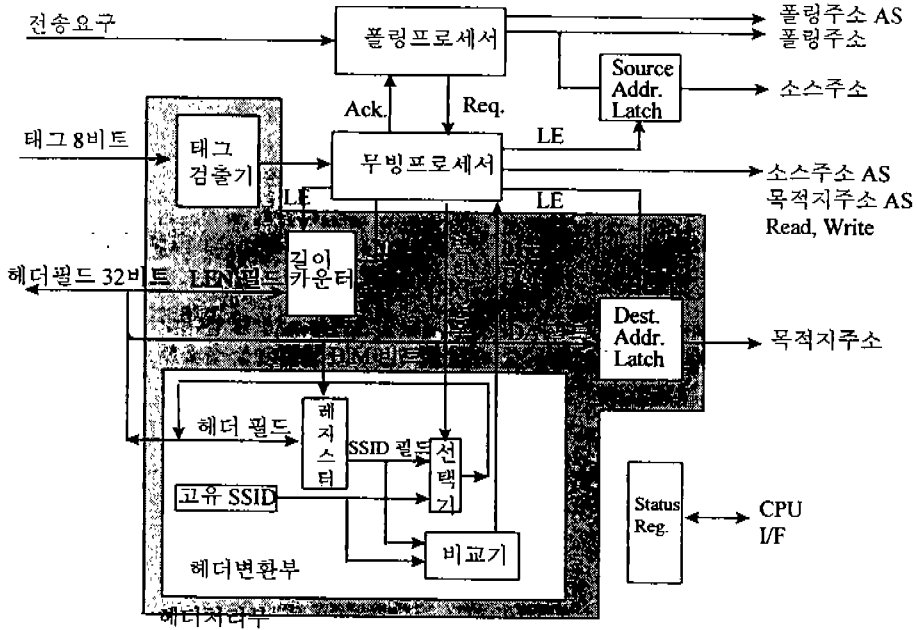
HSSA는 H-bus를 통해 각 HSCA의 상태파악 및 버스사용권 중재를 위한 폴링중재동작기능과 패킷헤더 분석 및 데이터 교환전달의 기능을 담당하며, 폴링프로세서(Polling Processor), 무빙프로세서(Moving Processor)와 헤더처리로 구성된다. 관리부는 M-bus를 통해 각 HSCA의 채널 상태를 감시하는 기능을 수행하고, ethernet으로 되어있는 이중화 제어 버스(DCC-bus)를 통해 이중화 제어 메시지를 주고받아 이중화 상태 판단, 라우팅테이블 갱신을 한 후 H-bus를 통해 라우팅테이블을 전 가입자 노드에게 알려주는 역할을 한다. HSSA의 구성도는 (그림 4)에 도시하였고 중재교환부의 상세구성도는 (그림 5)에 나타내었다.

(1) 폴링중재동작

폴링프로세서는 폴링주소를 순차적으로 발생시켜 가며 각 가입자 입출력부로부터의 전송요구신호를 검사해 나가는 역할을 한다. 만약 패킷 전송을 요구한 가



(그림 4) HSSA 구성도
(Fig. 4) HSSA configuration

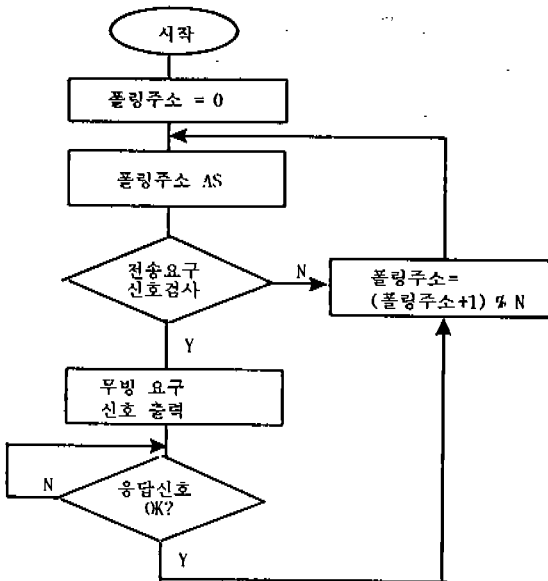


(그림 5) 중재교환부 구성도
(Fig. 5) Poll/moving part configuration

입자 입출력부가 있다면 무빙프로세서에게 무빙요구 (Req.)를 한다. 무빙프로세서는 무빙서비스가 가능한 시기에 응답신호(Ack.)를 폴링프로세서에게 알려줌과 동시에 그때의 폴링주소를 소스주소로 래치를 하며 무빙 동작으로 들어간다. 폴링프로세서는 응답신호를 받으면 다음 차례의 요구신호가 발생한 가입자 입출력부가 있는지를 찾아나가는 폴링검사를 계속한다. 이러한 폴링프로세서는 VHDL로 State Machine을 구현하였으며 동작흐름도는 (그림 6)과 같다.

(2) 프레임헤더 분석 및 데이터교환전달동작

무빙프로세서는 래치된 소스주소의 유효함을 표시하는 소스 주소 Strobe 신호와 Read 신호를 발생시킨다. 이때 소스로 선택된 가입자 입출력부로부터 송신 시스템 FIFO에 격납되어 있던 프레임데이터가 데이터버스에 읽혀져 나오게 되며 첫번째로 읽혀진 <8 바이트 데이터 + 8 비트 태그>는 헤더분석기에서 처리하게 된다. 헤더분석기는 프레임의 SOF, COF, EOF를 검출해서 무빙프로세서에게 알려주며 무빙프



(그림 6) 폴링 프로세서의 동작흐름도
(Fig. 6) Flow chart of poll processor

로세서는 SOF인 경우 길이카운터와 목적지주소 레지스터에 해당 LEN 필드, DA 필드를 래치한다.

데이터 교환전달동작은 무빙프로세서의 소스주소 AS와 Read 신호에 따라 읽혀진 데이터가 목적지주소 AS와 Write 신호에 따라 선택된 목적지 가입자입출력부에 Write됨으로써 교환전달동작이 처리되며 길이 카운터에 래치된 프레임길이 값만큼 읽기와 쓰기를 반복한다. 무빙프로세서는 Read와 Write 신호에 맞추어 길이카운터를 감소시켜 카운터값이 0이 될때까지 반복한다. 카운터값이 0이 되고 EOF와 일치하면 하나의 프레임이 모두 전달 처리된 것으로 간주한다. 이러한 동작 타이밍도를 (그림 7)에 도시하였다.

동작 타이밍도 상의 Read 신호와 Write신호의 한 주기가 공유버스의 스위칭 대역폭을 결정지으며, 주기의 결정은 송신대기 FIFO의 액세스 시간, 버스 드라이브 소자의 지연시간과 백플레인 버스의 전송신호 지연시간의 합보다 긴 주기로 설정된다. 따라서 25ns 액세스 시간의 FIFO, FCT16245소자의 max.7ns 지연 시간을 고려하여 100ns 주기로 설계하였으며, 64bit 데이터 폭을 사용하므로 640Mbps의 스위칭 대역폭을 가진다.

교환전달동작에서 목적지가 하나일 경우는 일대일 통신이라 하고, 장치 내의 모든 가입자입출력부를 목적지로 할 때를 브로드캐스팅이라 하며, 장치 내의 특정그룹을 정해 그룹소속 가입자입출력부들을 목적지로 할 때를 멀티캐스팅이라 한다.

• 일대일 통신

일대일 통신은 프레임 헤더의 B 또는 M 비트가 세트되지 않은 경우이며 DA 필드가 목적지주소를 나타낸다.

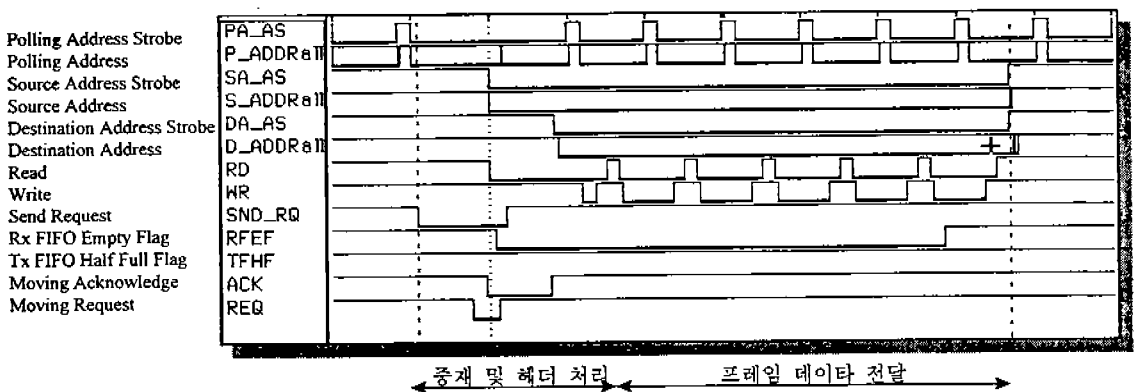
• 브로드캐스팅

프레임 헤더의 B 비트가 세트되고 M 비트는 세트되지 않은 경우이며 이때 DA 필드는 무시된다. 브로드캐스팅을 원하는 가입자노드는 프레임 헤더의 B 비트를 세트하고, SSID 필드는 0의 값으로 초기화하여 프레임의 전송해야 한다.

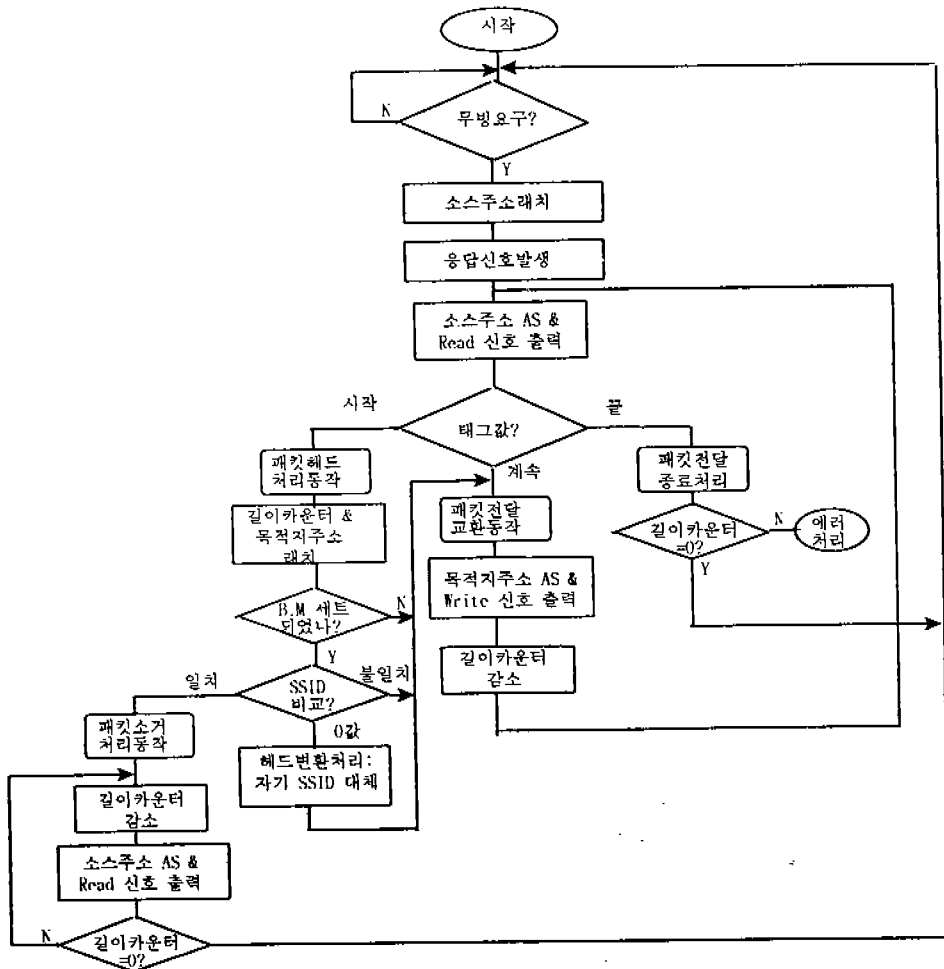
• 멀티캐스팅

멀티캐스팅은 프레임 헤더의 M 비트가 세트되고 B 비트가 세트되지 않았을 때를 말한다. 브로드캐스팅 일 때와 동작방식이 같다. 단 목적지 주소인 DA 필드가 그룹주소를 나타낸다.

헤더변환부는 링형 확장구조에서 브로드캐스팅 프레임을 소거하기 위해 부가된 기능이다. 브로드캐스팅이 시작된 증재교환부의 헤더변환부에서 프레임헤더를 레지스터에 래치하고 SSID 필드가 0이면 자기 자신의 고유 SSID를 SSID 필드에 대체 변환 한다. SSID필드가 변환된 브로드캐스팅 프레임은 HSSF의 모든 가입자 노드에 전송이 되며, 링형으로 연결되어 있는 다른 HSSF로도 전달이 된다. 이렇게 전달된 브로드캐스팅 프레임은 각 HSSF의 헤더변환부에서 SSID 필드를 검사하게 되고 자기 자신의 SSID와 일



(그림 7) 증재교환 동작의 타이밍
(Fig. 7) Timing diagram of poll/moving operation



(그림 8) Moving Processor의 동작흐름도
(Fig. 8) Flow chart of moving processor

치하면 프레임 소거 동작으로 들어간다. 프레임 소거 동작은 소스주소 AS와 Read 신호만 발생시켜 이루어진다. 무빙 프로세서는 VHDL로 State Machine을 구현하였으며 동작흐름도는 (그림 8)과 같다.

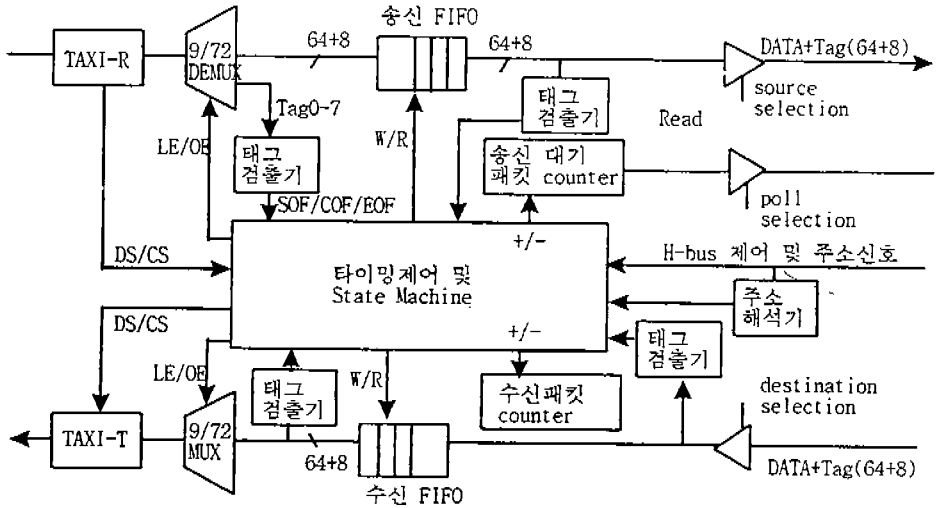
3.6 가입자 입출력부(HSCA)

(그림 9)는 가입자입출력부의 상세 구성도로써 가입자 노드와는 TAXI[9]로 연결되어 직렬 통신을 하고, H-bus를 통해 패킷 교환이 될 때 까지 패킷 프레임을 저장하는 버퍼 역할을 한다.

가입자 노드로 부터 프레임이 직렬로 송신되어 올

때 1 바이트 데이터와 1 비트 태그가 9 비트로 직렬화되어 송신되며, 수신 TAXI는 이를 9비트 병렬 데이터로 수신한다. 역다중화기(DEMUX)는 TAXI로 부터 수신된 9비트 병렬데이터 8개를 64 비트 데이터와 8비트 태그로 변환하고, 송신 FIFO에 차례대로 저장되며 프레임이 모두 수신되면 송신 대기 프레임 카운터의 값을 증가시킨다. 하나의 프레임 수신은 태그 검출기에서 SOF, COF, ..., COF, EOF 순서가 검출될 때를 의미한다.

H-bus와 접속되는 주소해석기는 폴링주소, 소스주소, 목적지주소를 자기의 MAC(Medium Access Con-



(그림 9) 가입자 입출력부 구성도
(Fig. 9) HSCA configuration

trol) 주소와 비교하여 선택 여부를 결정한다. 폴링시 선택된 가입자 입출력부는 송신 대기 프레임 카운터의 값이 1 이상이면(즉, 송신 대기 프레임이 존재함) 전송요구신호를 송출한다. 소스로 선택된 가입자 입출력부는 Read 신호에 따라 송신 FIFO로부터 데이터를 읽어내어 H-bus로 보낸다. 한 개의 프레임이 읽혀나가고 EOF 태그의 검출에 의해 송신 대기 프레임 카운터 값을 감소시킨다(즉, 대기하고 있던 프레임 한 개의 전송완료 표시). 목적지로 선택되는 경우는 세가지 경우가 있다. 첫째, 목적지 주소 AS 신호가 활성화 될 때 목적지 주소의 해석으로 선택이 되며, H-bus상의 데이터를 Write 신호에 따라 수신 FIFO에 저장 시킨다. 둘째, 프레임 헤더의 B 비트가 세트되어 브로드캐스팅이 일어날 때는 모든 가입자 입출력부는 H-bus상의 데이터를 Write 신호에 맞추어 수신 FIFO에 저장 시킨다. 셋째, 프레임 헤더의 M 비트가 세트되어 멀티캐스팅이 일어날 때는 목적지 주소 그룹주소를 나타내며 자기 자신의 그룹주소와 일치하면 Write 신호에 맞추어 수신 FIFO에 저장 시킨다. 수신 FIFO에 하나의 프레임이 완전히 수신되면 태그검출기에 의해 수신 프레임 카운터를 증가 시킨다. 수신된 프레임이 있으면 수신 FIFO를 읽어 내어 다중화기를 거쳐 9 비트 씩 TAXI를 통해 직렬로 가입자 노드에게 송신된다.

3.7 가입자노드 어댑터(HSNA)

가입자노드 어댑터는 (그림 10)의 구성도와 같이 HSSF를 통하여 통신을 원하는 각각의 망정합모듈을 구성할 때 사용되는 네트워크 카드로서 HSSF에서 규정한 계층 3네트워크계층 기능과 계층 2 링크계층 기능 및 계층 1물리계층 기능을 전담한다[10].

계층 3은 통신하고자 하는 망정합 모듈의 응용프로세스 peer-entity간의 연결 설정 및 해제와 라우팅테이블 정보에 따라 계층 3 주소를 계층 2의 MAC 주소로 resolution하는 네트워크 계층을 규정하고 있으며 망정합모듈에서 처리된 응용 프로토콜 데이터 유닛(APDU: Application Protocol Data Unit)의 제어정보에 따라 연결 설정하고 데이터 송수신 단계로 들어가며 통신이 완료되고 나면 연결 해제를 수행한다.

계층 2는 프레임 생성 및 검출 기능과 CRC 생성 및 검사에 의한 에러처리기능을 담당하는 링크계층을 규정하고 있다. 계층 2 처리는 S/W와 H/W의 공동작업으로 이루어진다. 계층 3에서 resolution된 MAC 주소를 프레임 헤더의 목적지 주소 필드에 부착하고, 프레임 길이를 계산하여 LEN 필드에 부착하고 패딩처리를 하는 것은 S/W에서 처리되며, CRC 생성 및 검사와 프레임 시작, 계속 및 끝을 검출하는 기능은 H/W로 구성된 DMA에서 자동 처리한다.

계층 1은 differential 동축케이블과 ANSI X3T9.5의

4B/5B, NRZI 코딩 방식을 지원하는 TAXI를 사용한 물리 계층을 규정하고 있다.

(1) 송신처리

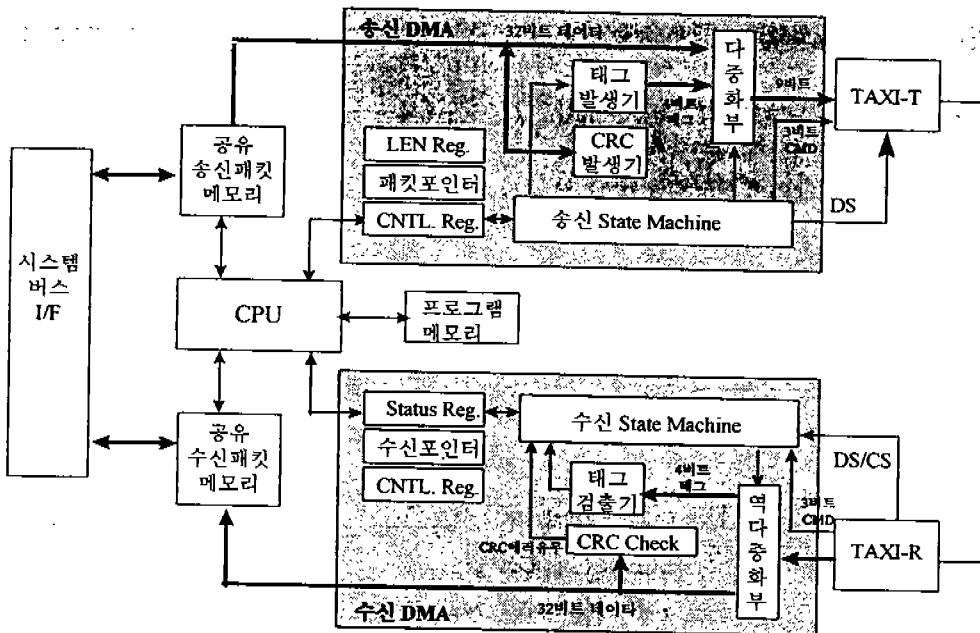
망정합모듈에서 생성된 APDU는 HSNA의 공유 송신패킷메모리에 격납되고 HSNA의 제어프로그램은 격납된 데이터의 제어정보를 분석하여 계층 3 패킷 헤더를 생성하여 부착하고 계층 2 프레임 헤더를 생성 부착한 후 송신DMA를 구동 시킨다.

송신 DMA는 생성된 프레임은 32비트 단위로 프레임 길이 만큼 읽어내어 다중화부를 통하여 TAXI로 송신을 수행하는데 프레임의 시작과 연속 및 끝 부분을 표시하기 위한 태그(SOF, COF, EOF)를 자동 생성 시키며 프레임의 마지막 부분에서는 CRC발생기로 부터 계산된 CRC 값을 송신하게 된다. 모든 프레임데이터가 다 전송되고 마지막 CRC 필드부분이 출력되면 송신DMA는 DONE 인터럽트를 발생시키고 제어 프로그램의 인터럽트 처리 루틴에서는 송신상태를 검사하고 다음 프레임의 송신을 처리하게 된다.

(2) 수신 처리

수신처리는 HSSF로 부터 TAXI를 통하여 직렬데이터가 입력되면(8비트 데이터 + 1비트 태그가 9비트씩 직렬로 수신됨) 역다중화부에서 32비트 데이터와 4비트 태그로 정렬 시킨다. 4비트 태그는 태그검출기에서 SOF가 감지되면 수신DMA는 공유 수신패킷메모리에 역다중화의 32비트 데이터를 저장하고, 이러한 DMA동작은 EOF 태그가 될때까지 계속된다. EOF 태그가 검출되면 수신 DMA의 CRC검출기는 계산된 CRC값이 약속된 신드롬 값과 일치하는지 비교하여 오류 유무를 검출하고 인터럽트를 발생시킨다.

TAXI 소자에서 데이터는 DS신호에 의해 4B/5B, NRZI 코딩되어 송수신된다. 데이터 입출력 및 명령(CMD) 입출력 신호가 모두 12비트가 있으나 데이터 신호로써 유효데이터 8비트와 태그 신호 1비트를 사용하고 있으므로 CMD는 3비트로만 사용한다. 그리고 TAXI-T와 TAXI-R간의 클럭 복구를 위해 데이터 송수신이 없을 때도 sync.pattern을 보내주는 용도와 프레임 동기화를 위해 프레임의 시작과 끝, 계속을



(그림 10) 가입자노드 어댑터 구성도
(Fig. 10) HSNA configuration

나타내는 태그와 연계하여 CMD신호를 보내주어 프레임 검출 및 MUX/DEMUX 제어를 할 수 있는 타이밍 제어 용도로 사용된다.

4. 장애관리 및 이중화 구성

HSSF는 무결성을 요구하는 고품질, 고 신뢰성의 데이터통신을 위한 내부 연동망이므로 신뢰성과 가용성을 제고한 장애관리 및 이중화 구성방식을 설계하였다.

4.1 채널 장애 감지

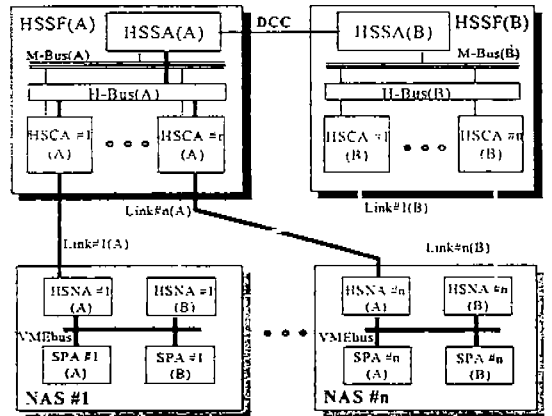
(그림 11)은 HSNA와 HSCA간의 링크상태감시부의 구성도이다. HSCA의 주기적 alive 패킷발생기로부터 일정 주기 간격으로 alive 패킷이 발생되어 HSNA로 전송되면, HSNA의 패킷분류기는 alive 패킷인지 순수 데이터 패킷인지를 구분하여 순수 데이터 패킷은 수신패킷메모리로 수신하고 alive 패킷은 루프백 회로를 통해 HSCA로 되돌려 보낸다. HSCA는 alive 패킷이 주기적으로 되돌아 오는지를 감지 타이머를 통해 감시한다. 감시 타이머에서는 정해진 주기 시간 안에 alive 패킷이 되돌아 오지 않으면 링크의 절단 또는 상대방의 고장 등으로 판단하여 경보신호를 발생시킨다.

HSSA는 M-bus를 통해 차례대로 각각의 HSCA의 경보신호를 읽어 봄으로써 장애 유무를 판별한다. 경보신호에는 HSCA 탈장 및 기능장애신호와 HSSA의

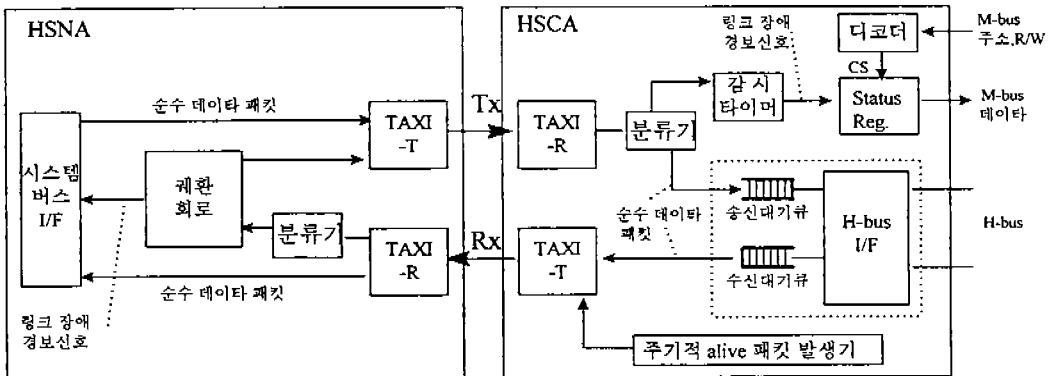
중재교환장에 신호를 포함하고 있다. 링크 및 HSCA 장애를 감지하였을시 해당 채널을 중재교환부의 폴링대상에서 제외시킴으로 장애를 격리시킴과 동시에 HSSF라우팅테이블에 장애등록처리를 함으로써 해당채널을 블럭킹시킨다.

4.2 이중화 구성방식

단일구조 HSSF를 기본으로 연동망이 구성이 되고 이러한 단일 구조 HSSF 한 조를 병렬로 설치하여 이중화를 시킨다. 이중화 방식은 부하분담(load sharing) 방식으로 운용함을 원칙으로 하고 Active-Stanby 형태도 가능하다.



(그림 12) 이중화 구성도 (Fig. 12) Duplication configuration



(그림 11) 링크상태 감시부 (Fig. 11) Link status monitor

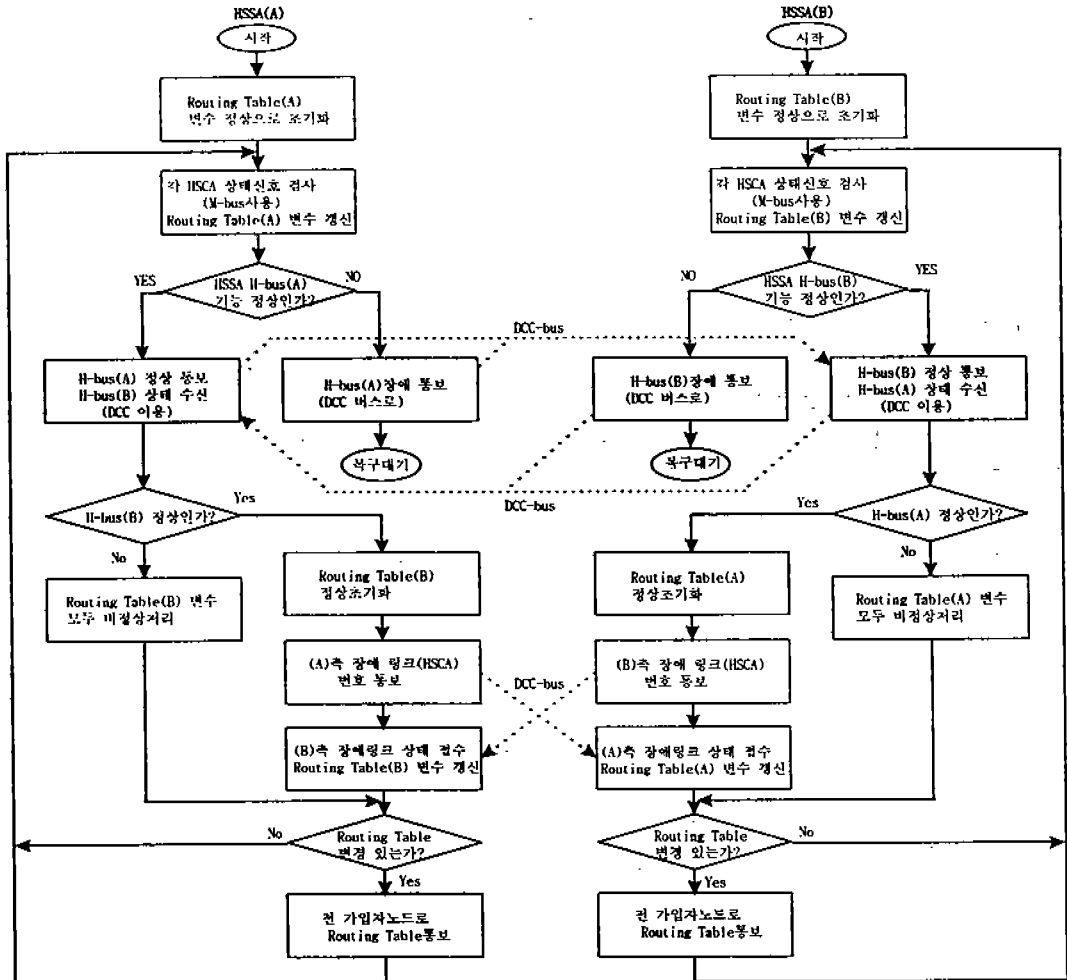
설명의 편의상 HSSF(A)와 HSSF(B)라고 할 때 이들 상호간에 이중화 제어정보를 주고 받기 위한 DCC-bus가 존재한다. 각 가입자노드는 HSNA를 역시 이중화로 구성하고 (그림 12)에서와 같이 HSNA(A)는 HSSF(A)로 HSNA(B)는 HSSF(B)로 연결 된다.

〈표 1〉은 라우팅테이블 구성도를 나타내며 각 가입자노드와 접속되는 링크의 번호와 장애유무 상태변수로 구성되며, 상대측 HSSF의 라우팅테이블도 함께 구성된다. 라우팅테이블에서 각 링크의 상태변수 값은 초기에는 전부 정상이지만 HSSA의 M-bus를 통한 각 HSCA의 경보신호를 검사하는 처리 과정을 거

치면서 장애가 난 링크는 비정상상태로 변경 갱신된다.

〈표 1〉 라우팅테이블
〈Table 1〉 Routing table

링크번호	A측 링크 상태	B측 링크상태
0	정상/장애	정상/장애
.		
.		
n	정상/장애	정상/장애



(그림 13) 이중화 동작 방식
(Fig. 13) Duplication control scheme

(1) 초기상태 와 정상동작상태 처리과정

HSSF(A)와 HSSF(B)는 원칙적으로 부하분담 방식의 이중화 운용모드로 동작한다. 즉 초기의 상태에서는 A 와 B 둘 다 정상동작이 가능한 상태이다. 따라서 가입자노드단에서는 A 또는 B 어느쪽으로도 패킷송수신을 할 수 있다. 이러한 초기상태의 지정 및 가입자노드단에서의 인식을 위한 방법으로, HSSA(A)와 HSSA(B)는 라우팅테이블을 초기화 하여 모든 가입자노드단에 라우팅테이블을 브로드캐스팅하여 초기화한다.

가입자노드단에서는 전송할 패킷을 전송하기 위하여 먼저 A측을 이용할 것인지 B측을 이용할 것인지를 판단해야 하는데 이때 라우팅테이블을 참조하면, A 또는 B 중 정상으로 되어 있는 링크를 사용하면 되고, 둘 다 정상일 경우는 부하분산의 교번 사용을 원칙으로 한다.

(2) 링크#i(A) or HSCA#i(A) or HSNA#i(A) 장애 발생 상태 때 처리과정

어떤 링크#i나 HSCA#i나 HSNA#i의 고장 및 장애는 동일한 장애그룹으로 볼 수 있다. 즉 3가지 중 하나만 고장이 나도 동일한 장애처리 절차를 따른다. 이러한 장애가 검출되면 HSSA(A)는 라우팅테이블에서 해당 링크의 상태를 고장으로 등재하고 라우팅테이블을 브로드캐스팅한다. HSSA(A)와 (B)가 동일한 라우팅테이블을 유지하기 위하여 상호 상태정보를 DCC-bus를 통해 주고 받음으로 일치성을 보장한다. 그러면 만약 어떤 노드#i를 목적지로 하는 패킷을 송신하고자 할 때 각 노드에서 상태 테이블을 참조해보면 A측이 고장이고 B측이 정상이라면 B측 경로를 통해 패킷을 송출한다.

(3) HSSA(A) or H-bus(A) 장애발생 상태 때 처리과정

HSSA나 H-bus의 장애발생일 경우는 그 쪽에 속한 모든 가입자 노드와 입력력부가 동작이 불가능한 상태이므로 라우팅테이블의 모든 노드를 고장처리하고 불럭킹시킨다. 이러한 라우팅테이블을 정상상태의 HSSF측을 통하여 브로드캐스팅한다. 그러면 이때부터는 모든 노드들이 패킷통신을 하기 위하여 라우팅테이블을 참조해보면 A측은 모두 불럭킹이 되어 있고 B측은 정상이므로 B측 HSSF를 이용하여 통신하

게 된다.

(그림 13)은 DCC-bus를 통해 상호 이중화 제어 정보와 자신의 링크 상태 정보를 알려주기 위한 동작 흐름도를 나타낸다.

5. 구 현

시스템은 19인치 크기의 1 shelf Rack에 고속 연동망 기능을 실현하기 위하여 주된 스위칭 기능을 담당하는 스위치 보드와 각 입력력 채널을 구성하는 가입자 입력력 보드들과 이들을 상호 연결하는 백플레인 보드로 단일 구성된다. 1 Shelf에는 HSSA 1장, 전원 공급보드 1장 및 최대 16장의 HSCA를 실장할 수 있다. 신뢰성 향상을 위하여 단일 구성 2조로써 이중화 구성이 된다. 망정합모듈은 고속 연동망 프로토콜을 정합하는 어댑터 보드를 탑재시켜 표준 API(Application Program Interface)를 통해 쉽게 노드 시스템을 구축 할 수 있게 하였다.

각 보드는 상용의 부품을 조합하여 구현하였으나 본 시스템의 주요 기능부는 속도와 집적도를 높이기 위해 PLD나 FPGA를 이용하였다. HSSA의 중재교환부는 개념 수준의 설계 입력방법을 사용하여 기능검증을 한 후, VHDL 코드의 생성과 회로 합성의 단계를 거쳐 6,000 Gate급의 PLD로 구현하였으며 시스템 관리 기능을 위해 MC68030마이크로 프로세서와 LANCE와 같은 주변 제어기들을 내장하고 있다. HSCA는 보드 당 두 채널의 회로를 실장하고 있으며, 하나의 채널 당 1,250 Gate급의 PLD로 TAXI를 이용한 직렬통신 제어회로와 FIFO를 읽고 쓰는 제어 기능을 수용하며, 2,500 Gate급의 PLD로 H-bus 및 M-bus 접속회로와 역시 프레임 버퍼인 FIFO를 읽고 쓰는 제어회로를 수용하였다. 여기서의 PLD에 대한 설계는 회로입력과 VHDL 코딩의 혼합된 방법을 이용하였다. HSNA는 표준의 VMEbus 규격에 준하는 상용부품을 이용한 VME접속 기능과 MC68030 마이크로 프로세서, LANCE와 같은 주변제어기, 패킷 데이터를 저장하는 공유 메모리, 이 메모리 접근을 제어하는 중재 제어기능, DMA를 내장한 TAXI직렬통신 제어기 등으로 구성된다. 공유메모리 중재 제어기능을 갖는 PLD는 6,000 gate급이며, DMA를 내장한 송신 및 수신 TAXI 직렬통신 제어기는 각각 12,000 Gate

급의 FPGA로서 VHDL 코딩에 의한 설계와 Synopsys사의 회로 합성기를 이용한 합성으로 구현하였다.

6. 결 론

본 논문에서는 다양한 이기종 망간의 상호 연동을 통한 개방형 정보통신서비스를 제공하기 위해 게이트웨이 시스템(Gateway System)으로 개발되고 있는 대용량 통신처리시스템의 내부 고속 연동망의 설계 구조를 제시하였다. 주요 계원으로는 32×32 입출력 채널의 공유버스 구조의 스위치이며 각 입출력 채널의 링크 속도는 100Mbps TAXI를 이용한 직렬통신 방식이다. 공유버스의 스위칭 대역폭은 640Mbps이고 각 입출력 채널별 평형상태에서 약 20Mbps 정도의 대역폭 할당이 가능하여 전화망 뿐만 아니라 고속의 ISDN 및 인터넷 서비스 연동이 가능하다.

고속 연동망 기능을 실현하기 위하여 주된 스위칭 기능을 담당하는 스위치 보드와 각 입출력 채널을 구성하는 가입자 입출력 보드로 구성되며 이들을 상호 연결하는 백플레인버스 보드로 단일 구성이 되며, 신뢰성 향상을 위하여 단일 구성 2조로써 이중화 구성이 가능하다. 망정합모듈은 고속 연동망 프로토콜을 정합하는 어댑터 보드를 탑재시켜 표준 API를 통해 쉽게 노드 시스템을 구축할 수 있게 하였다. 각 보드는 상용의 부품을 조합하여 구현하였으나 본 시스템의 주요 기능부는 집적도를 높이기 위해 PLD나 FPGA를 이용하였다.

개발된 고속 내부 연동망은 상호 일대일 통신, 멀티캐스팅, 브로드캐스팅이 가능하여 다양한 통신 서비스가 지원되며, 가입자 노드의 통신처리 부하를 전용 가입자 노드 어댑터에서 처리함으로써 노드단의 주 제어 프로세서의 부하를 경감하고 처리속도를 높이는 효과를 가져 왔다.

향후 연구 방향은 ATM 기반의 멀티미디어 게이트웨이 시스템 개발을 위하여 ATM 스위칭 기술을 이용한 내부 고속연동망에 관한 연구를 계획하고 있다.

참 고 문 헌

[1] 김동원, 전경표, 류근택, 배현덕, "Development of Infoshop Service System," Proceeding of Inter-

national Conference on Consumer Electronics, pp. 388-389, Jun. 1996.

- [2] 김동원, 류원, 전경표, 배현덕, "개방형 정보검색 시스템의 설계 및 성능분석," 정보처리논문지 제 3권 7호, 1996. 12.
- [3] R. J. McMillen, "A Survey of Interconnection Networks," Proc. of Globecom 84, pp. 105-113, Nov. 1984.
- [4] 정진욱, 변옥환, 데이터통신과 컴퓨터 네트워크, Ohm 사, 1996.
- [5] Joseph Y. Hui, Switching and Traffic Theory for Integrated Broadband Networks, KALA, 1990.
- [6] Bharat T. Doshi and Pravin K. Jorhi, "Communication Protocols for High Speed Packet networks," Computer Networks and ISDN Systems 24, pp. 243-273, 1992.
- [7] A. S. Krishnakumar, et al., "HIPOD: An Architecture for High-Speed Protocol Implementations," 4th IFIP conference on High Performance Networking 92, H2-1~H2-13, Dec. 1992.
- [8] Peter A. Steenkiste, et al., "A Host Interface Architecture for High-Speed Networks," 4th IFIP conference on High Performance Networking 92, A3-1~A3-16, Dec. 1992.
- [9] AMD Technical Manual, Am7968/Am7969
- [10] 류원, 신현식, 김동원, "대용량통신처리시스템에서의 고속스위치부 소프트웨어 설계 및 구현," 통신학회 하계학술, pp. 938-941, 1996.



김 동 원

1983년 경북대학교 전자공학과 졸업(공학사)
 1990년 경북대학교 전자공학과 졸업(공학석사)
 1994년~현재 충북대학교 전자공학과 박사과정
 1983년~현재 한국전자통신연구원

고속통신접속연구실 선임연구원, 개방형통신처리구조연구 과제책임자
 관심분야: 고속연동망, B-ISDN, 신호처리



신 현 식

1991년 금오공과대학교 전자공학과 졸업(공학사)
1991년~현재 한국전자통신연구원 고속통신접속연구실 선임연구원
관심분야: 고속연동망, B-ISDN, Design Methodology



전 경 표

1975년 서울대학교 산업공학과(공학사)
1979년 한국과학기술원 산업공학과(공학석사)
1988년 미국 North Carolina State Univ. Raleigh, 산업공학과(공학박사)
1979년~현재 한국전자통신연구원 지능망연구부 부장
관심분야: 지능망, ATM트래픽 모델링 및 성능분석



류 원

1983년 부산대학교 계산통계학과 졸업(이학사)
1988년 서울대학교 대학원 계산통계학과 졸업(이학석사)
1996년 성균관대학교 대학원 정보공학과 박사과정

1989년~현재 한국전자통신연구원 고속통신접속연구실 선임연구원
관심분야: 통신망 관리, 데이터 통신, 멀티미디어 통신



배 현 덕

1977년 한양대학교 전자공학과(공학사)
1980년 서울대학교 전자공학과(공학석사)
1990년 서울대학교 전자공학과(공학박사)
1987년~현재 충북대학교 전자공학과 교수

관심분야: 디지털신호처리, 적응신호처리, Wavelet 변환, 통신망기술



이 현 우

1993년 한국항공대학교 항공전자공학과 졸업(공학사)
1995년 한국항공대학교 대학원 통신정보공학과 졸업(공학석사)
1995년~현재 한국전자통신연구원 고속통신접속연구실 연구원

관심분야: 고속데이터통신, 트래픽 제어, Internetworking