



DRAM 반도체 소자의 향후 기술 동향

박종우, 이강윤
 (*삼성전자(주) 반도체 연구소)

1. 서론

DRAM(Dynamic Random Access Memory)은 반도체 소자 중 가장 대표적인 기억소자로, switch 역할을 하는 1개의 transistor와 data의 전하를 축적하는 1개의 capacitor로 구성된 단순한 구조와 고 집적화에 용이하다는 이점을 바탕으로, super-computer에서 가전제품, 통신기기 및 산업기기에 이르기 까지 널리 이용되어 왔다. 한편으로 DRAM사업은 고가의 장치사업으로 조기 시장 진입을 위하여 초기에 막대한 자본투자, 급속한 기술발전, 짧은 life cycle, 가격급락 등이 심하여, 시한내에 투자회수가 이루어져야 하는 위험도가 큰 기회사업이라는 양면성을 가지고 있다. 이러한 관점 때문에 새로운 DRAM기술은 매 세대마다 끊임없이 빠른 속도로 개발되어왔다. 그러나 sub-half-micron 이하의 DRAM세대로 갈수록 그에 대한 새로운 기술은 점차 어렵게 되어가고, 한편으로는 system의 다양화에 따른 요구도 강하여, 이제는 통상적인 DRAM의 고집적화 및 저가의 전략만으로는 생존하기 어려운 실정이므로 개발전략도 수정하여야만 할 것이다. 이러한 어려운 기술한계를 극복하기 위하여 새로운 소자기술 및 공정개발에 대한 breakthrough가 이루어져야 할 것이다.

이러한 관점에서 현재까지의 DRAM개발 추이와 향후의 기술방향에 관하여 몇 가지 중요한 item을 설정하여 논의하여 보기로 한다.

2. 본론

2.1 DRAM의 대용량화와 제품추이

그림 1에서 제시한 바와 같이 지금까지 DRAM은 거의 3년마다 4배의 비율로 대용량화 되어왔는데 매 세대마다 design rule을 0.6배의 비율로 미세화하여 cell size를 약 1/3배로 줄이므로써 매 3년마다 bit cross를 가능하게 하여 system업계의 요구에 부응하여 왔다.

현재는 16M DRAM의 전성기를 지나 빠르게 64M DRAM

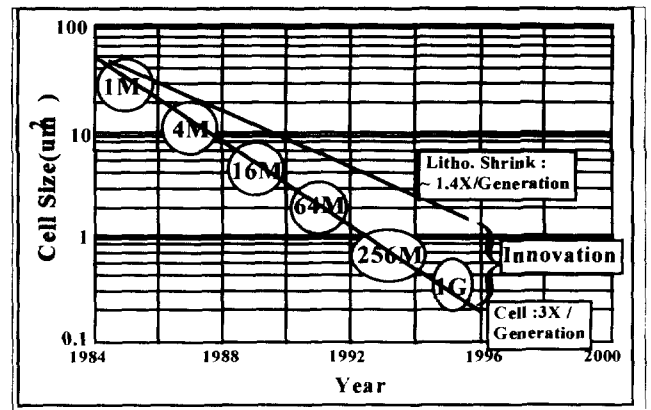


그림 1. DRAM의 대용량화에 따른 cell size와 lithography

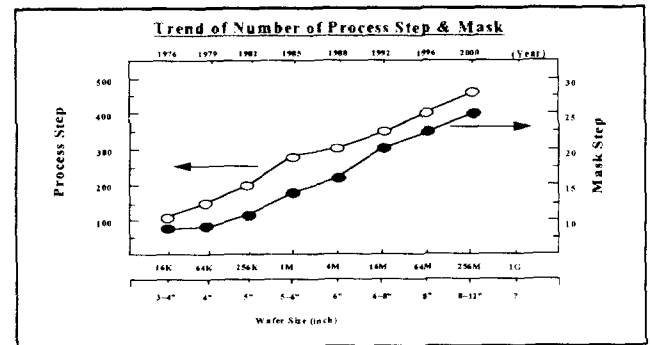


그림 2. DRAM 대용량화에 따른 공정수와 mask수의 증가 추

으로 제품이 전환되고 있으며 금세기가 지나기 전에 256M DRAM이 양산될 전망이며, 1G DRAM의 시제품개발이 완료단계 내지 개발단계에 와 있다. 그림 2에서 보듯이 16K에서 1G로 대용량화 할수록 매 세대마다 공정 및 mask수가 증가하며, 이는 DRAM기술의 어려움과 cost가 증가함을 대변해 주고 있다. 이러한 부담 때문에 DRAM maker들은 cost절감을 위하여 공정 단순화와 더불어 생산성 향상의 일환으로 wafer당 chip수를 증가하기위하여 chip shrink와 wafer의 대구경화를 추진하고 있다.

한편, 제품의 품종도 bit 구성, 소형 package의 다양화,

고속품 및 저소비 전력품으로 전개되고 있다. 특히 system 업계에서는 speed를 중요시하여 system total scheme으로 고속화를 꾀하고 있다. 주목되는 DRAM 고속화 기술로는 system clock에 동기시켜 clock 주기에 대응하는 synchronous DRAM, 250MHz이상용 Rambus DRAM등이 등장하고 있으며 향후 주력제품이 될 것으로 보인다.

또한, system의 소형화에 따른 저전력, 저전압화가 진행됨에 따라 이에 대응할 수 있는 DRAM제품에 대한 수요가 늘고 있다. 저전압화는 이미 16M DRAM에서 3.3V가 채용되고 있고 64M DRAM은 3.3V, 256M DRAM은 2.5V, 1G DRAM은 1.8V가 될 추세이며, processor쪽에서도 이미 저전압 대응품이 시장에 투입되고 있으므로 향후에는 저전력, 저전압 제품이 주류가 될 전망이다.

2.2 공정기술 추이

2.2.1 Lithograph 및 Etch 기술

현재까지는 반도체산업의 technology driver역할을 DRAM이 선도하여왔으며 앞으로도 상당기간 이 추세가 이어질 것으로 예상된다. Technology의 발전은 곧 미세화로 대변될 수 있으며 미세화를 위하여 가장 역점을 두는 것이 lithography기술이다. 현재 미세 가공 양산기술은 0.35 μ m까지 확보되어 제품에 이용되고 있으나, 향후 pattern size가 축소됨에 따라 resolution을 향상시킬 수 있는 새로운 기술이 도입되어야만 한다.

실제로 DRAM은 매 세대마다 resolution 향상을 위하여 새로운 기술이 개발되어 lithography의 한계를 극복하여왔다. 한 예로 0.35 μ m 가공기술은 i-line(365nm)에 PSM(phase shift mask)기술을 접목하거나 새로운 광원 (e. g. excimer laser)을 이용하여 그 한계를 넘어섰다. 이러한 추세로 보면 0.25 μ m pattern은 향후 KrF(248nm)를 광원으로 한 excimer laser로, 0.15 μ m 가공기술은 ArF(195nm)에 PSM을 적용하면 가능할 것으로 본다. Resolution을 향상하기 위한 방법으로 PSM외에도 top surface imaging 이나 off-axis illumination 기술도 상당한 성숙단계에 와있으며 일부 실용화되고 있다.

실제로 KrF 광원을 이용하고 off-axis illumination 및 half-tone PSM을 이용한 0.20 μ m D/R의 1G DRAM의 lithography 기술[1]이 발표되었다. 이렇듯 resolution의 향상은 짧은 파장의 광원을 사용하거나 lens의 NA(Numerical Aperture)를 높이든지, process parameter를 향상시키면 되지만 NA값을 높일 경우 DOF(Depth of Focus) margin이 악화된다. 때문에 미세 가공 기술은 평탄도 등 다른 공정기술에 의하여 많은 영향을 받게된다. 이 외에 고감도, 고해상도의 Deep UV PR(Photo Resist)의 개발이 필수적이며, aspect ratio가 높은 고 단차에서도 파괴되지 않는 견고한 PR이 개발되어야한다.

그림 3은 각 D/R(Design Rule)에 따른 lithography기술 추이를 나타낸 것으로 0.15 μ m급 device개발 시 가장 큰 문제는 양산 margin을 확보할 수 있는 가이다. 때문에 소자의

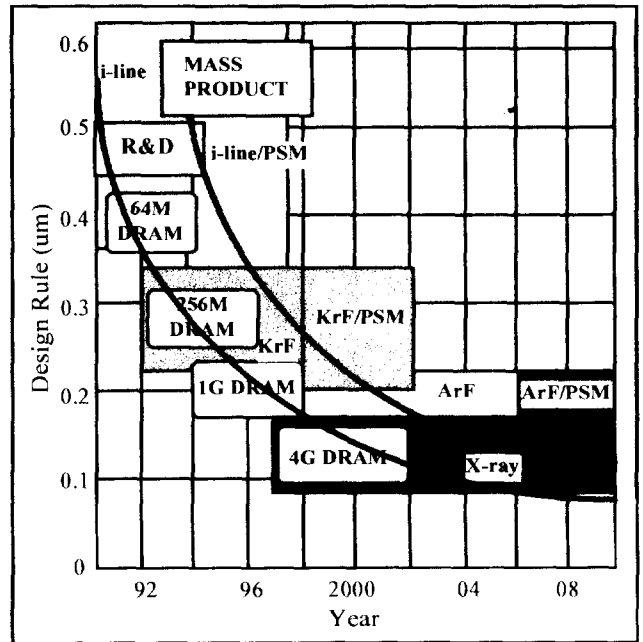


그림 3. DRAM 대응량화에 따른 lithography 개발 추

단순화가 필요하며 0.15 μ m급 lithography는 X-ray, E-beam 등의 새로운 기술개발도 병행될 것으로 본다.

미세 가공 관점에서 볼 때 dry etch기술 또한 매우 중요하다. Dry etch 기술의 문제점으로는 미세 pattern size의 control, 신물질의 etch 기술, 층간 선택비, 다층 박막의 연속 etch기술, wafer의 대구경화에 따른 uniformity문제 등을 들 수 있다. 그 중에서도 특히 층간 선택비를 높이는 것이 필수적인데 이는 반도체의 미세화에 따라 overlay accuracy가 취약하여지는 문제와 매우 작으면서도 높은 contact hole을 형성하기 위하여는 충분한 over etch가 필요하기 때문이다. Oxide와 nitride의 고 선택비를 이용한 mis-alignment를 수용할 수 있는 SAC(Self Align Contact) 기술과 고 단차의 small contact를 형성하는 inductively coupled HDP(High Density Plasma) source를 이용한 metal contact 기술이 차세대 기술로서 실용화단계에 와있다[1].

특히 0.15 μ m pattern을 형성하기위하여는 기존의 RIE(Reactive Ion Etching)기술로서는 기판의 오염 문제가 심각할 것이므로 다른 etch기술이 개발되어야 할 것이다. 이에 따라 저압 고밀도 plasma에 대한 요구가 증대되고 있으며 Helicon plasma, Inductively Coupled Plasma(ICP)와 Electron Cyclotron Resonance plasma(ECR) 등이 연구 개발되고 있다. 따라서 plasma physics에 대한 기본 연구와 불어 1) 저온 ECR, microwave plasma etch기술과 새로운 metal etch기술, 2) etch 후 세정공정에 관한 기술, 3) damage free etch기술, 4) 높은 선택 비에 의한 etch후에도 견디는 새로운 PR기술 등이 연구 개발되어야 할 것이다.

2.2.2 Capacitor 기술

Deep sub-half-micron 영역에서 DRAM의 고집적화에 따른 가장 큰 문제점 중 하나가 data의 전하를 축적시키는 cell capacitor이다. 그 이유는 cell size가 감소하더라도 data sensing margin 및 soft error 등의 신뢰성 문제 때문에 제한된 영역 내에서 어느 수준 이상의 capacitance를 유지하여야 되기 때문이다. 이러한 문제는 전원전압이 scaling됨에 따라 더욱 심각하게 대두되어 더욱 높은 capacitance를 요구하게 된다.

DRAM cell의 capacitance 증대는 $C=(\epsilon * A)/Tox$ 의 간단한 공식에 의하여 구조적으로 cell 표면적(A)을 증대하거나, 유전상수(ϵ)가 큰 재료를 사용하거나, 유전체 막의 두께(Tox)를 줄이는 3가지 방법이 있다. 표면적을 증대하는 방안은 각 DRAM 제조회사가 독특한 형태의 구조(예를 들면, stack[2], trench[3], fin[4], cylinder[5], crown[6])를 제안함으로써 C값을 최적화 하였다. 그림 4는 4M에서 1G DRAM까지 cell 구조의 발전 추이를 도식화하여 정리해 보았다. 유전막 두께는 최근 oxide/nitride/oxide 구조로 45Å 까지 신뢰성을 확보하였다. 그러나 DRAM의 고집적화가 진행되면서 위의 2가지 요소는 점차 한계에 도달하고 나머지 요소인 유전상수가 크고 신뢰성이 높은 물질 연구에 박차를 가하게 되었다. 새로운 유전막으로 연구 개발되고 있는 신 물질로는 Ta_2O_5 , ZrO_2 , Nb_2O_5 , $SrTiO_3$, PZT 및 BST등이 있으며 그 중 차세대 DRAM용으로 가장 활발히 연구되고 있는 것은 Ta_2O_5 [7]과 BST[1] 등이다. 그러나 film deposition 문제, leakage 및 dielectric breakdown 문제, 새로운 전극개발 문제 등 해결하여야 할 문제가 남아있다.

2.2.3 Device 기술

반도체의 고집적화 및 미세화가 진행되면서 SCE (Short Channel Effect), HCE(Hot Carrier Effect), GIDL (Gate Induced Drain Leakage), TDDDB(Time Dependent Dielectric Breakdown)등의 문제가 device에 발생된다. 표 1은 16M부터 1G DRAM에 이르기까지의 device 및 기타 중요한 기술 spec추이를 나타낸 것으로 device가 scaling될수록 이러한 문제들은 더욱 심각하게 된다.

예를 들어 0.15 μ m 기술을 구현하기위하여는 $L_{gate} = 0.15 \mu m$, $Tox=50\sim60\text{\AA}$, $V_{th}=0.6V$ 정도가 되어 device에 대한 심각한 문제들을 극복하여야 할 것이다. 먼저 MOS device를 형성하는 gate 절연체에 대한 신뢰성 문제를 해결하여야 한다. Device가 scaling되어 Tox 가 100Å이하가 되면 oxide tunneling현상으로 leakage가 발생하여 소자 동작의 신뢰성을 잃게된다. 이 문제를 극복하기 위하여 oxide-nitride나 oxide-nitride-oxide 등의 sandwich 구조를 가진 dielectric 물질이나, 신 공정을 이용하여 oxide막질 특성을 개선하려는 노력이 진행되고 있다.

현재까지 대부분의 gate재료는 phosphorous가 과다 doping된 poly-silicon물질을 사용하여 왔으나, speed 및 저항문제로 점차 복잡한 구조로 gate가 형성되고 있다. 64M

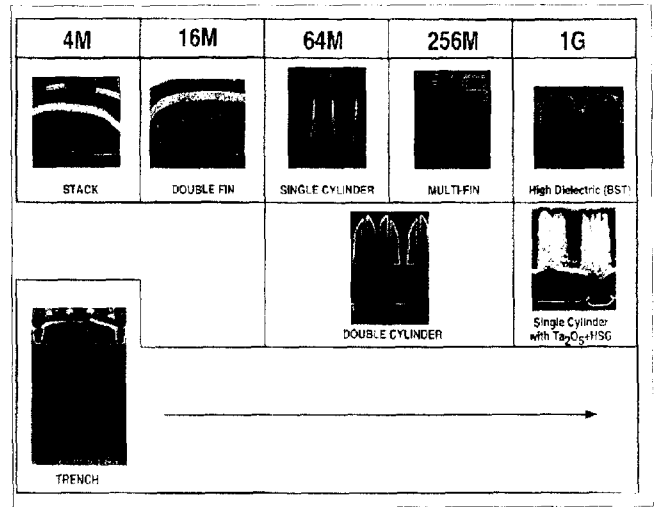


그림 4. DRAM 대용량화에 따른 cell 구조의 개발 추이

표 1. DRAM 대용량화에 따른 소자 및 기타 spec 추이

Description	16M	64M	256M	1G	
Design Rule	0.5	0.35	0.25	0.15	
Cell Size(μm^2)	4~5	1.2~2	0.6~0.8	0.25~0.3	
M	Cell Tr(L-G)	0.56	0.35	0.25~0.3	0.15
	Tox(A)	160	110	70	50~60
	Xj(μm)	0.25	0.2	0.1	0.08~0.1
	Vcc(V)	5.0	3.3~5.0	2.5~3.0	1.5~2.5
	Vbb(V)	-2.0	-1.5	-1.0	-0.5~-0.8
O	Tr.Vth(V)	1.3~1.4	1.0	0.7~0.8	0.6
	Structure	LDD	LDD	CLDD	CLDD
S	Gate Mat.	Single Poly	Single Poly	Single Poly	Single/Dual
	Gate Dielec	Pure Ox	Pure Ox	Pure Ox/NO	Pure Ox/No
Well Scheme	Twin	Twin	Twin/Triple	Twin/Triple	
Iso.Space(μm)	0.6	0.35	0.25	0.15	
Lithography	i-Line	i-Line+PSM	KrF+PSM-OAI	ArF+PSM	

DRAM이후로는 poly+WSi₂나 poly+TiSi₂와 같은 polycide구조를 채택하여 기능향상 및 metal 배선공정의 margin을 확보하려하고 있다. 이외에 1G DRAM 이후의 gate 재료로서 poly+W와 같은 poly-metal구조나 Au, Al, Ti, Cu 등의 metal재료가 연구 중에 있으며 gate dielectric 특성을 고려하여, etch가 용이하고 Vth 안정성이 우수한 신 물질 gate를 채택하여야 할 것이다.

SCE은 Vth 저하, punchthrough 특성 및 subthreshold 특성저하뿐만 아니라 drain 내압 저하 등의 문제도 유발한다. SCE 대책으로는 effective channel length(L_{eff})의 축소를 최소화하기 위하여 shallow junction, channel 부위의 농도 증가, source/drain의 농도 감소 및 pocket 이온 주입 등의 source/drain 구조개선 등의 방법으로써 개선하여 왔다. HCE현상은 device의 신뢰성 문제를 초래하는데 절연막

질 개선이나 drain 구조를 개선하여 특성을 향상하여야 할 것이다. GIDL은 junction leakage를 유발하여 DRAM의 data retention 특성을 저하시킨다. GIDL현상은 gate oxide의 sharp edge영역에 높은 전계가 발생되어 band간 tunneling에 의하여 leakage current가 발생하는 것으로 drain 구조를 변경하거나 gate oxide edge의 두께를 증대하여 전계를 감소하는 방안이 이미 제안되었다.

향후 device가 scaling됨에 따라 상기 문제들은 더욱 심각해지므로 shallow junction 기술의 적용이 필수적이다. 지금까지의 device junction형성은 이온주입기술을 이용하여 불순물을 주입한 후 thermal cycle을 통하여 불순물을 silicon 기판 내로 drive-in시킴으로써 달성하였다. 현재 연구중인 shallow junction형성기술은 low energy 이온주입기술, SSG(Selectively Si Growth), GILD(Gas Immersion Laser Doping), SOG(Spin On Glass) 등의 연구가 진행되고 있다. 또한 device의 표면이나 bulk punchthrough를 억제하기 위하여 channel 하부에 높은 농도를 유지하는 retrograde 형태의 doping구조나 LDD구조의 개선을 시도하여야 할 것이다.

결론적으로 향후 0.15 μ m급 transistor개발은 위에서 언급한 바와 같이 기존 구조의 개선에 의한 개발은 거의 한계에 달하였으므로 새로운 구조를 가진 소자의 구현이 필요하리라고 본다.

2.2.4 소자분리 기술

25년 전에 발명된 LOCOS(Local Oxidation of Silicon)기술은 지금도 반도체 분야의 소자분리 기술로 널리 이용되고 있다. 그러나 device가 더욱 미세화 됨에 따라 BB(Bird's Beak)문제가 더욱 심각해져, pattern에 따라 transistor가 형성되는 silicon 영역인 active가 좁은 영역에서는 pattern형성이 어렵게 되거나, isolation width가 좁은 영역에서는 산화막이 충분히 길러지지 않는 현상이 발생된다. 전자의 경우는 device형성이 어려울 뿐만 아니라 oxide산화 중 심한 local stress에 의한 defect문제가 야기되며, 후자의 경우에는 후속 etch공정으로 인해 oxide두께가 얇아져 기능상 문제를 야기하며 이를 위하여 oxide하부에 과다 doping을 하여야 하는 문제가 발생한다. 이러한 문제를 해결하기 위하여 256M DRAM세대 이후에는 isolation 폭이 짧아지더라도 깊이 방향으로 소자분리 능력을 향상시킬 수 있는 STI(Shallow Trench Isolation)기술이 도입되고 있으며 이미 상당히 성숙한 단계에 와있으며 CMP(Chemical Mechanical Polishing)기술과 접목되어 1G DRAM에도 성공적으로 적용되고 있다[8].

2.2.5 배선 및 평탄화 기술

Metal 배선기술의 미세화는 저항과 산화막 계통인 IMD(Inter Metal Dielectric)의 capacitance가 증가하면서 clock speed의 지연을 초래하게된다. 특히 배선수가 4M DRAM까지는 단층배선을, 16M/64M DRAM은 2층 배선 구조를 사

용하여 왔지만 256M DRAM급 이상의 세대에서는 3층의 다층배선을 채택할 가능성이 높아지고 있다.

다층배선의 문제점은 device scaling이 진행됨에 따라 metal 배선 층간의 미세배선 space의 매물 문제와 공정상의 평탄도 부족으로 global단차가 증가하는 점이다. 이로 인해 contact 및 via hole의 aspect ratio가 증가해 interconnection을 위한 metal 배선공정시 어려움이 증대되어 왔다. 또한 위의 문제점을 해결하기 위해 새로운 물질을 도입하려하여도 deposition 공정, 접착성, EM/SM(Electro/Stress Migration) 등에 대한 신뢰성이 또 다른 어려운 변수로 작용하고 있다.

평탄화 기술은 lithography의 DOF margin 및 배선의 dry etch의 margin을 확보하기 위하여 필수 불가결한 것이다. 보통 소자층은 BPSG reflow를 이용하여 평탄화를 이루어왔고 global 평탄화는 SOG를 depo/etch back하고 TEOS/PEOX와 같은 CVD막질을 복합화하여 평탄화를 꾀하고 있다. 그러나 BPSG reflow 공정은 과도한 thermal budget을 필요로 하고 있어 sub-half-micron device에 적용하기 힘든 문제가 있으며 SOG 기술은 spin coating시 유동성이 적어 pattern이 조밀한 부분과 그렇지 않은 부분 사이에서 완전히 flat한 surface확보가 어렵다. 이로 인하여 pattern의 조밀 부위와 성긴 부위간에 global 배선 단차 문제를 초래한다. 최근에는 평탄화 용으로 O3-TEOS를 많이 사용하게 되는데, 두꺼운 막 형성 시 신뢰성이 불충분하여, 단일 막으로 사용하지 못하고, 막질 특성이 뛰어난 plasma TEOS막과 조합으로 형성하게 된다. 향후 0.25 μ m이하의 D/R을 요하는 차세대 device를 위하여는 내습성 및 crack에 강하며 배선 측벽 부위에도 정착되면서 미세배선 공간 내에 SOG유입 영역을 최대로 확보할 수 있는 하부 막질의 형성기술과 etch back이 불필요하고 유동성이 좋은 SOG도포 기술 및 신뢰성 있는 O3-TEOS의 막질 연구가 선행되어야 할 것이다.

배선의 단차 해소를 위한 평탄화 기술로 최근 하층 막질인 oxide막 퇴적과 이온충격에 의한 sputter etch를 동시에 진행시키는 ECR-CVD 방법과 CMP기술과 같은 신 기술이 연구 및 실용화 단계에 와있다. ECR-CVD방법은 미세 space 매물 공정을 단독기술로 할 수 있는 가능성이 크므로 기대가 높고, CMP기술은 throughput이나 wafer 균일성, 오염, 이물질 제거 등의 단점도 있지만, 공정이 단순하고 특히 넓은 지역의 평탄화 및 dry etch로는 힘든 W, Au, Cu 등의 metal 배선층의 pattern에는 아주 유용하여, memory나 logic분야에 채택하려는 움직임이 활발하다.

공정 단차로 생긴 aspect ratio가 큰 contact 및 via hole은 hole을 형성하는 dry etch 기술과 세정 기술의 개발과 동시에 metal을 채우는 공정의 개발도 필요로 하고 있다. Hole은 현재 CVD-W으로 채우고 있으나 점차 미세화가 진행됨에 따라 이미 일부 DRAM maker에서는 Al-reflow나 collimated sputtering기술을 적극 도입하여 step coverage를 개선하고 있다.

배선재료의 EM/SM 신뢰성을 확보하면서 Al배선을 차세

대에 연장하려는 노력의 일환으로 Al의 약점인 migration 신뢰성의 문제점의 대책으로 BM(Barrier Metal)을 contact에 사용하는 적층 구조를 채택함으로써 0.6~0.3 μ m시대까지는 적용 가능하다고 전망하고 있다. 그러나 향후 1G급 DRAM이상에서는 EM/SM을 보장할 수 있는 Au/Cu등 신물질에 대한 연구 개발이 선행되어야 할 것이다. 결론적으로 고집적화 될수록 배선기술에 대한 부담이 상대적으로 커지므로 향후 cost절감을 위해 배선 공정의 단순화를 꾀하는 연구가 이루어져야 할 것이다. 하나의 W과 두 개의 Al metal 배선 및 inductively coupled HDP source를 이용한 metal contact 기술[1]이 1G DRAM에서 적용되어 그 가능성이 확인되었다.

2.2.6 공정원가 절감기술

DRAM을 포함한 반도체 산업이 해결하여야 할 가장 심각한 과제 중 하나가 cost문제이다. Sub-half-micron세대로 device가 미세화 됨에 따라 개발비 및 양산투자 비용이 엄청난 부담으로 작용하였으며 이에 따라 연구개발 단계에서 양산성을 고려한 공정기술에 주력할 필요가 있다. 여기에서 DRAM의 cost를 증가시키는 중요한 요인을 찾아 그 대책을 논의하여보기로 한다.

첫째로, DRAM의 대용량에 따른 chip size의 증가를 원인으로 들 수 있다. 이에 대한 대책으로는 공정수의 삭감, chip shrink 및 wafer의 대구경화를 실시하는 것이다. 공정수 삭감은 공정의 sequence를 바꾸거나 다른 제품의 공정을 도입하여 공정을 단순화하는 방법뿐만 아니라, 다 품종의 LSI를 공통 공정으로 처리할 수 있는 신 물질 개발 및 소자 공정 개발의 간소화를 추진하여야 할 것이다. Wafer의 대구경화는 chip size의 증대에 따라 필연적인 것이며 이미 16M DRAM이 기존의 6 inch에서 8 inch로 대구경화되었으며 256M DRAM이상에서는 12 inch로 양산되어야 cost면에서 효과적일 것이다.

둘째로, 반도체 설비에 대한 원가 절감 방안으로 설비의 가동률을 향상시키고 세대간에도 가능한 동일 공정 장치를 사용할 수 있도록 공정을 개발하는 것이다. 또한 wafer의 대구경화에 따른 single wafer system을 구축하도록 하며 더불어 cluster tool도 함께 구축하여 공정시간 단축 및 설비에서 기인된 공정 particle를 줄임으로써, 신뢰성, 소자기능 및 공정 수율을 향상시킬 수 있다. 이외에 test 부문에서도 parallel방식을 도입하여 test시간을 단축하는 일도 cost절감의 일환이다.

셋째로, 개발 cost를 줄이기 위한 방안으로 연구체제를 slim화하여 효율을 향상시키고 일체화를 통해 제품 개발 기간을 단축한다. 또한 개발에 관해 타사와의 alliance를 적극 추진하여야 할 것이다. 실 예로 256M DRAM 개발에 있어서는 IBM-Toshiba-Siemens와 Hitachi-TI와 같은 기업 연합체가 이미 존재하고 있다.

마지막 요소로 수율 감소에 대한 대책은 chip의 redundancy 효율을 증대시키는 방안과 초 세정 공정 기술을 개발하여

설비내의 particle 및 오염을 최소화할 수 있도록 한다. 향후 DRAM은 대용량화/미세화 할수록 chip당 공정원가는 앞서 설명한 원인으로 증가할 것이므로 cost절감을 위한 새로운 공정기술 및 신 소재에 대한 연구가 필연적으로 수반되어야 할 것이다. 결국 low cost로 소자를 고성능화 시키는 maker만이 DRAM에서 경쟁력을 확보하여 살아 남을 수 있을 것이다.

지금까지 몇 가지 중요한 공정기술을 선정하여 기술 현황 및 향후 방향에 대하여 논의하였지만 이 외에도 차세대 기술개발 시에는 well engineering, ion implantation, 세정 기술, 기관기술 및 FA(Failure Analysis) 기술방안 등에서 상세한 고려가 있어야 할 것이다.

3. 결 론

16M DRAM의 가격이 급격히 하락하면서 본격적으로 64M DRAM의 시대가 전개되고 있으며 1~2년 내에 256M DRAM도 양산이 시작될 것이다. 이미 1G DRAM 시제품을 개발한 maker도 있으며 금년 ISSCC에서는 4G DRAM을 위한 공정 및 설계 기술이 발표된 바 있다.

그러나 향후 DRAM 기술은 단순한 공정기술개발 추진으로 양산 margin의 확보가 어렵고 공정이 복잡하며 또한 system의 다양화에 따른 제품 요구가 강한 이유로 개발 cost가 높아져, 그에 대한 개발효과를 기대하기 어렵게 될 것이다. 따라서 앞서 기술한 바와 같이 1) 제품 다양화에 따른 고도화된 신 설계기술, 2) scale-down에 따른 device의 특성 및 신뢰성, 3) etch/thin film에 대한 저온 공정, 4) gate/capacitor에 대한 새로운 dielectric 물질개발, 5) shallow junction 기술, 6) 평탄화 및 소자분리 기술 및 7) 배선기술 등에 대한 breakthrough가 선행되어야 할 것이다.

최근의 DRAM에 관련된 공정에 대한 기술동향은 1995/1996년도 IEDM(International Electron Devices Meeting) Technical Digest나 Symposium on VLSI Technology Digest of Technical Papers에 상세히 기술되어있으므로 참조하기 바란다.

참 고 문 헌

- [1] K. P. Lee et al., IEDM Technical Digest, pp.907, 1995.
- [2] M. Kovanagi et al., IEDM Technical Digest, pp. 348, 1978.
- [3] F. Horiguchi et al., IEDM Technical Digest, pp.324, 1987.
- [4] T. Erma et al., IEDM Technical Digest, pp.592, 1988.
- [5] K. Sagara et al., VLSI Technology Symposium, pp.10, 1992.
- [6] N. Shimura et al., SSDM Proc., pp.833, 1990.
- [7] M. B. Lee et al., IEDM Technical Digest, pp.683, 1996.
- [8] B. H. Roh et al., SSDM Proc., pp.590, 1995.

저 자 소개



박종우(朴鍾佑)

1952년 7월 10일생. 1979년 2월 BS, MS Degree in Electrical Engineering, Yonsei University. 1977년 2월~79년 2월 한국과학기술정보센터(KORSTIC) 연구원. 1979년 3월~1981년 5월 유한공업전문대학 전자공학과 교수 및 학과장. 1982년 7월~83년 5월 MRL(Materials Research Lab.) / Solid State Physics Dept., Pennsylvania State University, Engineering Dean's Research Fellow. 1983년 6월~88년 2월 Ph. D in Electrical Engineering, Purdue University, Research Assistant. 1988년~92년 6월 IBM-USA Corp. in Semiconductor Technology Division에서 4M/64M DRAM 개발. 1992년 7월~현재 삼성전자(주) 반도체 개발 부문 상무. 1996년 10월 세계 최초 1G DRAM 시제품 개발 Project Leader.



이강운(李康潤)

1961년 6월 19일생. 1984년 2월 서울대학교에서 물리교육으로 학사학위 취득. 1986년 2월 한국과학기술원(KAIST)에서 물리학 석사를 취득하고 1990년 8월에 Ph. D를 취득함. 삼성전자(주) 반도체부문에 1990년 2월부터 근무하면서 TCAD(Technology CAD) 연구 및 256M DRAM device 개발. 1994년 4월부터 1G DRAM 개발 부장 및 팀장으로 근무. 1996년 10월 세계 최초 1G DRAM 시제품 개발. 현재 1G DRAM 개발 주무 수석 연구원으로 재직.