

論文97-34C-2-1

# CDMA 이동통신 시스템용 기지국 변조기 ASIC 설계 및 구현

## (Design and Implementation of A Base Station Modulator ASIC for CDMA Cellular System)

姜 寅\*, 玄 鎮一\*, 車 鎮 鐘\*, 金 景 洙\*

(In Kang, Jin-il Hyun, Jin-Jong Cha, and Kyung-Soo Kim)

### 요 약

이동통신용 핵심 ASIC 설계 기술의 국산화를 위한 일환으로 CDMA 디지털 이동통신 시스템용 기지국 변조기 ASIC 을 설계하고 이를 chip 으로 제작하였다. CDMA 디지털 셀룰러 이동통신 시스템에서 기지국 변조 방식은 크게 길쌈부호화 및 확산대역 QPSK에 의해 수행된다. 이를 위한 세부 기능 블록으로는 CRC (Cyclic Redundancy Check), 길쌈부호화기, 인터리버, 의사잡음기, 전력 제어 비트 삽입기, 월시 커버링, QPSK, 이득 제어기, 변조출력의 결합 및 다중화 블록 등이다. 각 블록은 VHDL 논리합성에 의해 설계되었다. VHDL 코드는 논리합성이 가능한 레지스터 트랜스퍼 레벨로 기술되었으며 총 길이는 8,000 라인이다. 논리합성 및 회로 시뮬레이션은 COMPASS 툴을 이용하였다. 기지국 변조기 ASIC (ES-C2212B CBM) 은 0.8 mm CMOS cell-based 설계 방식으로 제작되었는데, 회로의 크기는 25,205 게이트 및 3 Kbit 의 SRAM이며, 칩의 크기는 5.26 mm x 5.45 mm 이다. 패키지는 68 핀 PLCC 이며 10 MHz 동작시, 전압이 5V 일 때 소모전력은 300mW 이다. 제작된 ASIC 은 CDMA 기지국 시스템에 실장되어 정상적인 동작을 확인하였다.

### Abstract

We developed a base station modulator ASIC for CDMA digital cellular system. In CDMA digital cellular system, the modulation is performed by convolutional encoding and QPSK with spread spectrum. The function blocks of base station modulator are CRC, convolutional encoder, interleaver, pseudo-noise scrambler, power control bit puncturing, walsh cover, QPSK, gain controller, combiner and multiplexer. Each function block was designed by the logic synthesis of VHDL codes. The VHDL code was described at register transfer level and the size of code is about 8,000 lines. The circuit simulation and logic simulation were performed by COMPASS tools. The chip (ES-C2212B CBM) contains 25,205 gates and 3 Kbit SRAM, and its chip size is 5.26 mm x 5.45 mm in 0.8 mm CMOS cell-based design technology. It is packaged in 68 pin PLCC and the power dissipation at 10 MHz is 300 mW at 5V. The ASIC has been fully tested and successfully working on the CDMA base station system.

### I. 서 론

이동통신의 궁극적인 목표는 언제, 어디서, 누구에게라도 원하기만 하면 음성을 포함한 다양한 형태의 정보를 전달하고자 하는 것이다. 또한 고음질의 서비스를

제공하는 것과, 보다 많은 수요를 창출하는 것이 통신 서비스의 현실적인 목표이다. 이러한 목표에 맞추어 대두된 기술이 디지털 이동통신 기술이다. 이 기술은 기존의 아날로그 기술에 비해 음질 및 서비스 가입자 수 등에서 월등히 우수한 성능을 보이고 있다.

디지털 이동통신 기술은<sup>[1,2,3]</sup> 크게 2 가지 방식으로 개발되었는데, 하나는 TDMA (Time Division Multiple Access) 방식이며, 다른 하나는 CDMA (Code

\* 正會員, 韓國電子通信研究院 集積回路硏究部  
(Integrated Circuits Research Department, ETRI)  
接受日: 1996年12月4日, 수정완료일: 1997年2月6日

Division Multiple Access) 방식이다. TDMA 방식의 출현이 CDMA 방식보다 빠르므로 기술적인 측면에서 보다 안정화되었다고 할 수 있지만, CDMA 방식은 신기술로서 시스템 안정화의 필요성이 있는 반면에 TDMA 방식에 비해 음질 및 가입자 수용능력 등에서 큰 장점을 가지고 있다. 또한 확산 대역 (spread spectrum) 을 사용하기 때문에 도청이 불가능하다는 이점도 있다. 더구나, TDMA 방식은 미국, 유럽 등의 선진국가에서 개발을 완료한 상태라 국내에서의 기술 습득 및 자체 개발이 어려운 상태이나, CDMA 방식은 새롭게 대두되는 기술로서, 국내 기술과 선진 외국의 기술차이가 적어 자체 기술개발에 의해 경쟁력있는 통신 시스템을 만들 수 있다는 잇점이 있다. 국내에서는 1990년대 초기 부터 CDMA 이동통신 시스템에 대한 연구를 미국의 퀄컴 (Qualcomm) 사와 공동으로 수행하여 시스템 개발에 성공하였으며, 1996 년 부터 상용 서비스를 시작하고 있다.

CDMA 이동통신 시스템은 셀 (cell) 단위로 서비스를 수행하는데, 각 셀은 다시 3 개의 섹터 (a, b, g) 로 나뉜다. 하나의 셀은 한개의 기지국 (base station) 과 다수의 이동국 (mobile station)으로 구성되며, 각 섹터별로 동시에 통화 가능한 이동국의 수는 64 개이다. 이동통신 서비스를 제공받는 지역은 여러 개의 셀로 나뉘는데, 가입자가 밀집한 지역은 더 많은 셀이 할당되므로써 가입자수에 비례한 가변적인 기지국을 운영할 수 있다. 이동국 상호간의 통신은 기지국을 매체로 무선으로 수행되며, 기지국간의 통신은 기존 전화망을 이용한 유선으로 수행된다<sup>[4]</sup>.

CDMA 디지털 이동통신 시스템 설계에 있어서 핵심 기술은 확산대역 (spread spectrum)을 이용한 변복조 기술, 채널 부호화 및 복호화 기술이다<sup>[5]</sup>. 이 기술은 이동국 및 기지국에서 공통적으로 사용되고 있으며, 이를 ASIC 으로 제작하면 변조기 (modulator), 복조기 (demodulator), 비터비 복호기 (Viterbi decoder) 등 3개의 기능 블록으로 구성된다. 시스템 설계시에 소형화, 경량화, 저전력화, 저가격화를 이루기 위해서는 3 개의 기능 블록을 단일 칩으로 제작하는 것이 당연하지만, 당 연구소에서는 핵심기술의 개발 및 시험을 위해 각 기능 블록을 개별적인 ASIC 으로 설계하고 제작하였다<sup>[6,7,8]</sup>.

본 논문에서는 기지국에서 사용하는 변조기의 ASIC 설계 방법에 대해 기술한다. II 장에서는 기지국 시스

템의 개요 및 국제 표준안으로 정해지고 있는 기지국 변조기의 설계 요구 사항에 대해 기술하며, III 장에서는 여러 기능블럭의 논리 설계 방법에 대해 기술한다. IV 장에서는 레지스터 트랜스퍼 레벨의 VHDL 기술문을 논리합성하여 ASIC 으로 구현, 제작 및 시험에 대해 기술한다.

## II. CDMA 이동통신용 기지국 시스템

### 1. 기지국 시스템의 개요

CDMA 디지털 이동통신 시스템에서 기지국의 역할은 이동국과의 송수신 및 기지국 상호간의 송수신 기능이다. 기지국간의 송수신은 기존의 유선 전화망을 이용하므로 본 논문에서 고려할 필요가 없다. 이동국과의 음성 신호 송수신시에 기지국에서 하는 일은 동시에 통화가 가능한 64 개의 이동국을 차별화하여 관리하는 일이다. 이를 위한 기능은 변복조, 부호화 및 복호화 기능등의 핵심 기술 이외에 기지국과 이동국 사이의 동기 기능, 다수의 이동국을 차별화하기 위한 코드 부여 기능, 움직이고 있는 다수의 이동국과 기지국 사이에서 송수신되는 신호의 전력세기 조정 등이 중요하다. CDMA 디지털 이동통신 시스템의 기지국은 64개의 이동국에 대응하는 채널카드로 구성되는데, 각 채널 카드는 중앙처리장치 (CPU), 변조기 (modulator), 복조기 (demodulator), 비터비 복호기 (Viterbi decoder) 등으로 구성되어 앞에서 기술한 기능을 수행한다.

기지국의 핵심 기능은 음성 데이터를 이동국으로 전송하는 기능 (부호화 및 변조 기능) 및 이동국으로 부터 수신하는 기능 (복조 및 복호 기능) 이다. 디지털 이동통신 시스템 개발의 주된 장애 요인은 전송매질의 불규칙적인 전송특성에 의한 신호의 손상 현상인 페이딩 (fading) 현상 또는 시스템 내의 잡음 등의 채널장애로 인하여 발생하는 전송데이터의 오류이다. 이를 극복하기 위한 기술이 오류 검출 및 정정 기술로서, 전송측에서의 채널 부호화 (channel coding) 기술과 수신측에서의 채널 복호화 (channel decoding) 기술이 이 역할을 수행한다. CDMA 이동통신 시스템에서는 채널 부호화 기술로서 길쌈부호기 (convolutional encoder) 를 사용하고, 복호화 기술로는 비터비 복호기 (Viterbi decoder)를 사용한다<sup>[6]</sup>.

송신측에서, 디지털 신호를 아날로그 신호로 변환하기 위한 변조기술로는 QPSK (Quadrature Phase

Shift Keying) 변조 기술을 사용하며<sup>19)</sup>, 각 이동국을 차별화하기 위해서는 확산 대역을 이용한 의사 잡음 (pseudo noise) 의 삽입 및 월시 커버링 (Walsh covering) 사용한다.

수신측에서, 복조기는 이동국의 변조기능에 대한 역 과정을 수행하여 이동국에서 보낸 음성신호를 복원한다. 또한 기지국과 이동국간의 동기화를 수행한다<sup>17)</sup>.

중앙처리 장치는 복조기로부터 입력되는 각각의 이동국에 대한 전력 크기를 비교하여 전력제어 정보를 변조기를 통해 각각의 이동국으로 전달케하는 역할을 수행한다.

2. 기지국 시스템의 채널 구조

CDMA 대역확산 방식은 전송하려는 정보 신호를 확산 신호를 이용해 대역을 확산시켜 전송하고, 수신측에서는 동일한 확산신호를 이용해 역확산시켜 원래의 정보 신호를 얻는 기술이다. 다시말해, CDMA 방식에서는 여러 사용자가 시간과 주파수를 공유하면서 각 가입자에게 상호 상관함수 값이 낮은 PN (pseudo-noise) 부호열을 할당하고, 각 가입자는 자기에게 할당된 PN 부호열을 이용하여 신호를 확산시켜 전송한다. 수신측에서는 송신측에서 사용한 것과 동일한 PN 부호열을 발생시켜서 동기를 맞추고, 이를 이용하여 수신된 신호를 역확산시켜 원래의 신호를 복원하는 방식이다. CDMA 방식의 디지털 이동통신 시스템에 관한 규격은 미국의 TIA (Telecommunications Industry Association) 에서 규정한 IS-95 (Interlim Standard -95) 에 정의되어 있다<sup>14)</sup>.

기지국에서 이동국으로 전송 경로를 순방향 링크라고하고, 이동국에서 기지국으로의 전송경로를 역방향 링크라고 한다. 따라서 기지국의 역할은 순방향 링크에서의 전송과 역방향 링크에서의 수신이다. 순방향 링크에서의 기지국용 송신채널 형태는 파일럿 (pilot) 채널, 동기 (sync) 채널, 페이징 (paging) 채널, 통화 (traffic) 채널등 4 가지의 채널이 사용되고있으며, 역방향 링크에서의 기지국용 수신 채널 형태는 접속 (access) 채널 및 통화 (traffic) 채널이 사용되고 있다<sup>16)</sup>.

파일럿 채널은 변조되지 않은 직접 계열의 확산 대역 통신을 위한 신호로 섀터 및 셀을 구분하기 위해 사용된다. 동기 채널은 기지국과 이동국과의 시스템 동기화를 이루기 위해 사용되는 채널로서 이 채널을 통

해 기지국은 파일럿 PN 부호열의 오프셋, 긴주기 부호 생성기 (long code PN generator) 의 초기상태, 시스템 시간, 페이징 채널의 정보 전송률 등을 이동국으로 보낸다. 페이징 채널은 통화중이 아닐 때, 기지국이 이동국을 호출하는 채널로서 기지국은 이 채널을 통해 시스템 정보, 호출정보, 페이징 정보, 채널할당 정보 등을 이동국으로 보낸다. 역방향 링크의 접속 채널은 통화 중이 아닐 때, 이동국이 기지국을 호출하는 채널로서 이 채널을 통해 이동국은 발호정보, 페이징 채널에 대한 승인 정보 등을 기지국으로 보낸다. 통화채널은 가입자 상호간에 음성 통화가 수행되는 채널을 말한다.

3. 기지국 시스템에서의 변조 방식

통화자의 음성신호는 음성이 차지하는 시간의 비율에 따라서 데이터율 (data rate)을 9600, 4800, 2400, 1200 비트/초로 가변시켜 전송하는 QCELP (Qualcomm code excited linear prediction) 방식에 의해 부호화된다<sup>10)</sup>. 음성부호화된 데이터는 프레임 (frame) 형태로 처리되는데, 한 프레임의 길이는 20 ms 로, 데이터율이 9600 비트/초 (bps) 일때 한 프레임의 데이터 수는 192 비트이며, 이는 음성부호 172 비트, CRC (cyclic redundancy check) 12 비트, 테일 (tail) 8 비트로 구성된다. 데이터율이 4800, 2400, 1200 bps 일 경우는 1 프레임의 데이터수가 각각 96, 48, 24 비트이므로 변조기내에서는 이를 192 비트로 맞추기 위해, 2 배, 4 배, 8 배로 반복시켜 변조시킨다.

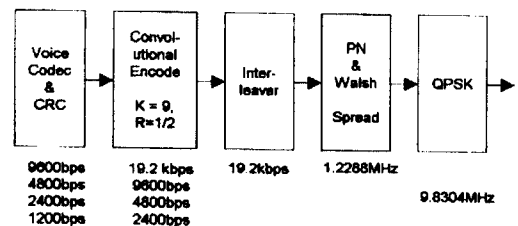


그림 1. CDMA 기지국의 변조방식  
Fig. 1. Modulation in CDMA Base Station.

그림 1 에서 보듯이, CDMA 용 기지국의 변조 방식은 음성 부호화기로부터 입력된 음성부호 신호를 길쌈부호기에 의해 채널부호화하고, 길쌈부호기의 약점인 연접오류 (burst error) 를 보완하기위한 인터리빙을 거쳐, 이를 의사 잡음 신호로 확산시킨 후, QPSK (quadrature phase shift keying) 변조시키는 것이다.

길쌈부호기는 구속장 (K)이 9 이고, 부호율 (R)이 1/2 이므로 부호화된 출력 데이터의 수는 입력데이터의 2 배이다. 참고로 이동국의 길쌈부호기는 부호율이 1/3 이다.

인터리버블럭에서는 입력 데이터 레이트에 따라 변하는 2, 4, 8 배의 데이터 복제 작업이 수행되며, 이는 최종 출력의 세기를 복제 비율에 따라 증가시키므로 QPSK 블럭의 최종 출력시에 출력의 세기를 각각 1/2, 1/4, 1/8 로 조정하여 출력한다.

확산 (spreading) 블럭은 인터리버의 출력을 긴주기 부호 생성기에 의해 의사잡음화시키며, 다시 월시함수 생성기에 의해 64 배로 확산시킨다. 여기서 월시함수는 타 가입자와 차별화하는 기능을 담당하게 된다. 참고로 이동국에서는 긴주기 부호 생성기에 의해 4 배로 의사잡음화 되며, 월시함수 생성기에 의해 64/6 배로 확산된다. 따라서 42.67 배로 확산되지만 길쌈부호기에서의 부호율이 1/3 이기 때문에 확산 블럭에서 출력되는 데이터 수는 기지국과 같다<sup>111</sup>.

QPSK 변조 블럭에서는 In-Phase 및 Quadrature-Phase PN 열 생성기가 입력신호를 서로 상관관계가 작고, 직교성을 갖는 2 개의 신호로 만들어주며, 파형성형 (pulse shape) 필터로서 1:4 인터폴레이션 (interpolation) FIR 필터가 사용된다<sup>19,121</sup>. QPSK 변조가 완성되기 위해서는 아날로그 신호인  $\sin(\omega t)$  와  $\cos(\omega t)$  가 반송파로서 곱해져야 하지만 이 과정은 본 연구에서 제작한 기지국 변조기 ASIC 의 외부에 있는 아날로그 칩에서 수행된다.

기지국이 관장하는 1 개의 셀내에 존재하는 3 개의 섹터 (a, b, g) 에 대한 각 변조기 출력은 결합 (combiner) 블럭 에서 결합되어, 다중기 (multiplexer) 블럭에 의해 각 섹터로 출력된다.

4. 기지국 변조기의 설계요구사항

기지국 변조기의 기능블럭도가 그림 2. 에 있다. 음성부호화기로부터 입력된 프레임 데이터에는 프레임 품질보증을 위해 CRC 정보가 부가되고, 또 8 개의 0 비트가 부가된다.

길쌈 부호기 (convolutional encoder) 는 구속장이 9 이고 부호율이 1/2이다. 인터리버는 연접오류 (burst error)에 대한 오류정정 능력이 약한 길쌈부호기를 보완하는 블럭으로서 프레임 데이터를 메모리에 순차적으로 쓰고, 읽는 순서를 바꾸므로서 연접오류를 이산오류로 바꾼다. 또한 9600 bps 미만의 데이터율을 갖는 입력 데이터는 메모리 쓰기 단계에서 복제된다.

인터리빙된 데이터는 의사잡음 확산 스펙트럼을 얻기 위해 42 비트 긴 주기 부호생성기의 출력코드와 스크램블링 (scrambling) 된다. 이 때 이동국의 송신출력 세기를 제어하기 위하여 CPU가 1 비트의 전력제어 신호를 이동국으로 전송해야 하는데, 이 과정은 24 개의 스크램블된 데이터중 2 개의 데이터를 삭제하고 대신에 전력 제어신호를 삽입시키는 펀처링 (puncturing) 으로 수행된다. 또한 각 채널 별로 할당된 64 개의 월시 코드 (Walsh code) 에 따라 월시 카버링 (covering) 이란 64 배 확산이 수행됨으로써, 동시에

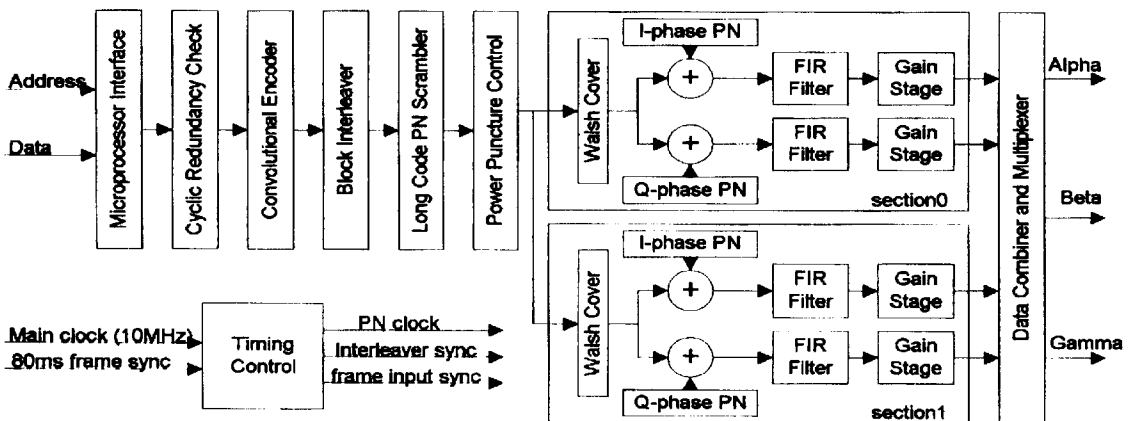


그림 2. 기지국 변조기의 기능블럭도  
Fig. 2. Block Diagram of CDMA Base Station Modulator.

통화하는 여러 통화자들 사이의 간섭이 억제된다.

QPSK 변조를 위해서 in-phase 및 quadrature-phase 15 비트 의사잡음 생성기 및 48 탭 1:4 인터플레이션 (interpolation) 저역통과 FIR 필터가 사용된다. 일시 커버링된 데이터는 각 생성기의 출력과 XOR (exclusive-OR) 되고, 이 출력은 1:4 인터플레이션 된다. 48 탭 1:4 인터플레이션 FIR 필터의 차단주파수는  $p/4$  이고, 이득은 40 dB 이다. 인터플레이션 필터의 입력은 1 비트로서 0은 +1을 1은 -1 을 표현하며, 출력은 8 비트 해상도를 갖는 2의 보수이다. 필터의 출력값은 외부에서 주어지는 이득값에 의해 크기가 조정되는데, 이는 동시에 통화하는 다수의 변조기들의 출력세기를 조정하므로써 모든 통화자들에 대해 양질의 통화상태를 유지시키기 위함이다.

하나의 기지국이 관장하는 셀 (cell) 은 3 개의 섹터로 나뉘고, 이동국은 각 섹터를 넘나들며 통화를 수행하므로 기지국은 하나의 이동국에 대해 최소한 2 개의 섹터를 예상하면서 변조를 수행해야 한다. 또한 변조된 데이터는 3 개의 섹터 모두에게 전송될 수 있어야 한다. 따라서 기지국 변조기에는 2 종류의 QPSK 변조를 동시에 수행할 수 있도록 2 개의 QPSK 블록 (section 0, section 1) 이 요구되며, 2 개의 QPSK 변조 출력을 3 개의 섹터로 전달하는 결합 및 다중기 (combiner & multiplexer) 가 필요하다.

### III. 기지국 변조기의 ASIC 설계

#### 1. CRC 블록

CRC (Cyclic Redundancy Check) 블록은 프레임의 품질확인 비트 (frame quality indicator)를 생성시켜 입력 프레임에 부가시키는 블록이다. 부가된 CRC 비트는 수신측 복호기의 최종단에서 수신된 프레임 데이터의 품질측정에 이용된다. 이 블록은 프레임의 데이터율이 9600 bps 및 4800 bps 일 때 사용되며, 각각 12 비트 및 8 비트의 CRC 비트를 생성시킨다. 데이터율에 따른 생성다항식은 식 (1), 식(2)와 같다.

$$G_{9600}(x) = x^{12} + x^{11} + x^9 + x^8 + x^4 + x + 1 \quad (1)$$

$$G_{4800}(x) = x^8 + x^7 + x^4 + x^3 + x + 1 \quad (2)$$

위의 생성다항식 (1)은 그림 3.과 같이 시프트레지스터와 XOR 회로로 구성되며, 12 비트의 품질확인 비트를

생성시킨다.

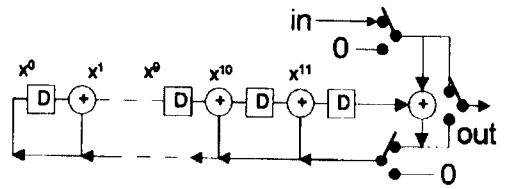


그림 3. 9600 bps CRC 블록  
Fig. 3. CRC block at 9600 bps.

#### 2. 길쌈 부호기 및 인터리버 블록

기지국에서의 채널부호화를 위한 길쌈부호기는 구조장이 9 이고, 부호율이 1/2 이며, 그림 4.에서 보듯이 생성다항식이  $G_0 = (753)_{octal}$ ,  $G_1 = (561)_{octal}$  이다. 레지스터의 초기상태는 모두 0이며, 시프트 레지스터의 출력이 생성다항식에 맞추어 XOR 된다.

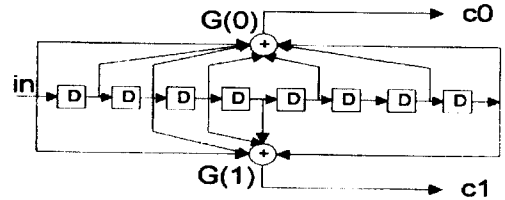


그림 4. 길쌈 부호기 (구조장 = 9, 부호율 = 1/2)  
Fig. 4. Convolutional Encoder (K = 9, R = 1/2).

길쌈 부호기는 구조가 간단하여 설계가 용이하지만 연접 오류에 대한 오류정정 능력이 떨어진다는 단점이 있다. 이를 보완하는 것이 인터리버 (interleaver) 로서 길쌈 부호기의 한 프레임 출력인 384 비트를 RAM 에 오름차순의 어드레스에 따라 저장한 후, 그 어드레스 순서를 임의로 바꾸어 읽어내며 출력함으로써 채널에서 발생하는 연접오류를 이산오류로 바꾼다. 이동국의 수신측에서는 이에 상응하는 디인터리버 (deinterleaver)가 사용된다.

#### 3. 스크램블러 블록

의사잡음 확산 (pseudo-noise spreading) 을 위해 데이터를 의사잡음과 XOR하여 섞는 것을 스크램블링이라 한다. 242 - 1 개의 의사잡음 코드를 생성시키는 긴주기 부호 생성 다항식 P(x)는 식 (3)과 같다.

$$P(x) = x^{42} + x^{36} + x^{33} + x^{31} + x^{27} + x^{26} + x^{25} + x^{22} + x^{21} + x^{19} + x^{18} + x^{17} + x^{16} + x^{10} + x^7 + x^6 + x^5 + x^3 + x^2 + x + 1 \quad (3)$$

그림 5 는 생성다항식 (3) 을 구현한 42 비트 진주기 부호 생성기로 42개의 시프트 레지스터와 AND 마스크, XOR 회로로 구성된다. 레지스터의 초기 상태값 (PN\_state) 및 마스크 값은 외부에서 정의한다. 인터리버의 출력 데이터율은 19.2 kbps 이고 의사잡음 코드 생성기의 동작 주파수는 1.2288 MHz 이다. 그림 6.과 같이 진주기 부호 생성기의 출력을 64:1 데시메이션 (decimation) 하여 인터리버의 출력 데이터와 XOR 시키는 것이 스크램블러 (scrambler)이다.

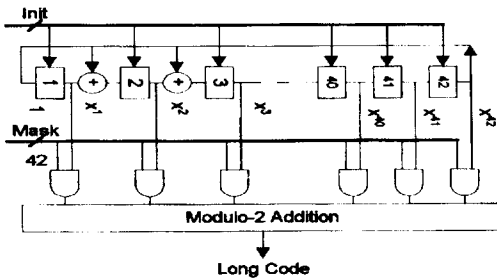


그림 5. 42 비트 의사 잡음코드 생성기  
Fig. 5. 42-bit Long Code Pseudo-Noise Sequence Generator.

4. 핑처리링 블럭

CPU가 이동국의 송신출력 세기를 제어하기 위하여, 1 비트의 전력 제어 신호를 이동국으로 전송하는 것을 핑처리링이라고 한다. 스크램블러의 출력인 384 비트의 1 프레임 데이터는 16개의 전력 제어 그룹으로 나뉘어 그룹당 24 비트 씩 할당된다. 시간적으로 전력 제어 그룹의 한 주기는 1.25 ms (= 20 ms / 16)이다. 즉, 전력 제어 신호가 1 이면 다음의 1.25 ms 동안에 이동국의 송신 출력을 줄이라는 것이고, 0 이면 송신 출력을 크게하라는 것이다. 전력 제어 신호는 1 프레임당 16 번 입력되므로, 한 전력 제어 그룹당 1 비트의 전력 제어 신호가 할당되는데, 이 신호는 24개의 스크램블러 출력 데이터중 연속된 2 비트의 신호와 바뀌게 된다. (그림 6. 참고)

여기서 대체되는 2 비트의 데이터는, 음성신호가 채널부호화되고 다시 인터리빙된 후의 연속된 2 비트이므로 각각 2 개의 음성 신호에 대한 정보를 1/2 씩 갖게된다. 따라서 전력제어 비트와 대체되면 2 비트의 채널 전송 오류가 발생하는 것이며, 원래의 음성 신호에 대한 정보는 프레임내 다른 곳에도 존재하므로, 이는 길쌈부호기에 대한 비터비 복호기의 오류 정정 능

력상 복원가능하다<sup>16)</sup>.

전력 제어 신호와 대체되는 데이터의 위치는 다음과 같이 결정된다. 먼저 스크램블러의 출력 데이터를 전력 제어 그룹별로 24 개 씩 순서대로 모은 후 최후에 출력된 4 개의 비트를 이용하여 0 - 15 까지의 값을 정한다. 이 값은 다음에 입력되는 24 개의 스크램블된 데이터중 삭제되는 데이터의 위치가 된다. 즉, 1 비트의 전력제어 신호는 이렇게 결정된 위치 및 그 다음 위치에서 2 비트와 대체된다.

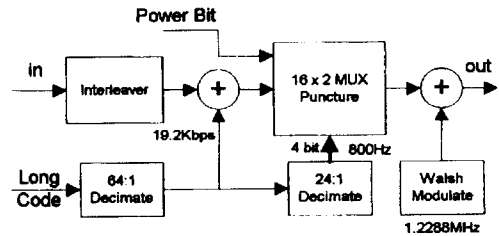


그림 6. 전력 제어 블럭  
Fig. 6. Power Control Block.

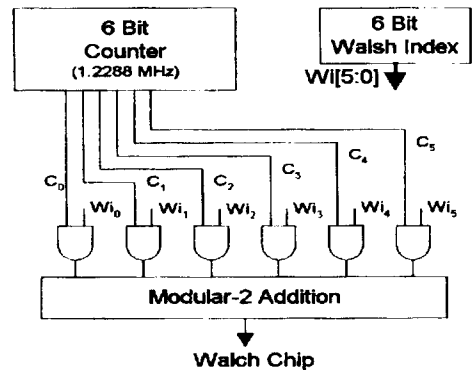


그림 7. 월시 코드 생성기  
Fig. 7. Walsh Code Generator.

5. 월시 커버링 블럭

기지국내의 한 섹터에서는 64 명이 동시에 통화할 수 있어야 하므로 통화자간의 간섭을 방지하여야 한다. 이를 위하여 각 통화자에게 고유한 64 비트의 코드를 할당하는데 이 코드는 나머지 63 명에게 할당된 각각의 64 비트 코드와 모두 직교되는 성질이 있다. 이러한 64 비트 코드를 생성시키는 것이 월시 변조이며, 스크램블된 1 비트에 64 비트의 월시코드를 XOR 시켜 64 배로 확산시키는 것이 월시 커버링이다. 각 통화자에게

는 6 비트의 월시계수 (Walsh index) 가 주어지고, 월시코드생성기는 6 비트의 월시계수를 이용하여 월시코드를 생성시킨다. 그림 7. 은 월시코드 생성기의 기능 블럭도로 6 비트 카운터의 출력이 6 비트 월시계수와 AND 마스킹되고, 그 출력이 모두 XOR 되므로써 순차적으로 월시코드가 생성된다.

6. QPSK 를 위한 15 비트 PN 열 생성 블럭

QPSK 변조를 위해서는 서로 직교성을 갖는 in-phase 및 quadrature-phase 의사잡음 코드생성기가 필요하며 이들의 생성다항식  $P_I(x)$  와  $P_Q(x)$  는 각각 식 (4), 식 (5)와 같다.

$$P_I(x) = x^{15} + x^{13} + x^9 + x^8 + x^7 + x^5 + 1 \quad (4)$$

$$P_Q(x) = x^{15} + x^{12} + x^{11} + x^{10} + x^6 + x^5 + x^4 + x^3 + 1 \quad (5)$$

하드웨어로의 구현 방법은 스크램블러 에서 사용한 긴주기 부호 생성기 (3.3절 참고) 와 기본적으로 같지만, 이 경우 215 - 1 개의 PN 만이 생성된다. 15 비트 PN 열 생성기의 한주기는 26.6667 ms (= 215 x 1/1.2288MHz) 로서, 한 주기 내에서 생성되는 최대 PN 수인 215 개의 PN 신호를 생성시키기 위해서는 연속적으로 14개의 0 출력 되었을때, 생성기의 동작을 1 클럭동안 쉬게하고 그사이에 0을 고의로 출력시키는 0 삽입 작업을 수행해야 한다.

7. Pulse Shape 저역통과 FIR 필터 블럭

대역폭이 제한된 이동통신 채널에서 신호 심볼간의 상호 간섭 (inter-symbol interference) 없이 데이터를 전송하기 위해서는 전송신호의 파형성형 (pulse shaping) 이 필요하다. 이를 위해서 차단주파수가  $p/4$ , 이득이 40 dB 인 48 탭 1:4 인터폴레이션 저역 통과 FIR 필터가 필요하다. 이 필터를 일반적인 방법<sup>12)</sup>으로 구현하려면 MAC (Multiplier and Adder Cell) 이 필요하게 된다. 또한 필터의 출력 주파수가 4.9 MHz 임을 고려할 때, 48 탭의 MAC 연산을 위해서는 다수의 MAC 이 필요하게 되므로 이 설계 방법은 설계면적이 매우 커지는 단점이 있다. 따라서 본 연구에서는 설계 방식이 간단하고 설계 면적을 줄일 수 있는 look-up table 에 의한 FIR 필터 설계 방식을 채택하였다. 이 방식은 look-up table 을 I 및 Q phase 의 FIR 필터가 공유함으로써, 기지국 변조기에 사용되는 4 개의 FIR 필터를 2 개로 줄일 수 있다는 장점을 가지고 있다.

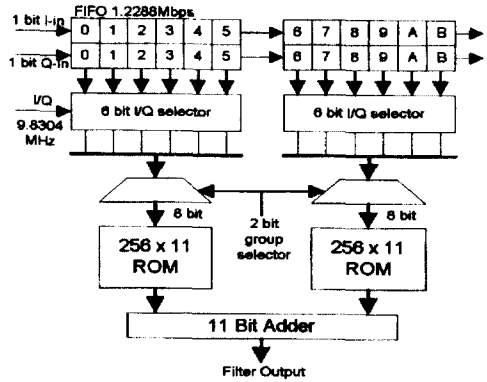


그림 8. 48 탭 1:4 인터폴레이션 저역통과 FIR 필터  
Fig. 8. 48-tap 1:4 Interpolation Low Pass FIR Filter.

그림 8은 look-up table 을 이용하여 I 및 Q phase 의 필터링을 동시에 처리하는 48 탭 1:4 인터폴레이션 필터를 구현한 것이다. 48 탭 FIR 인터폴레이션 필터를 하드웨어로 구현할 때, 48 개의 계수는 4 그룹 (그룹당 12 개씩) 으로 나누어 처리된다. 왜냐하면, 인터폴레이션 연산에서의 0 삽입은 하드웨어적으로 처리할 가치가 없기 때문이다. 따라서 12 개의 입력 데이터에 대해 48개의 계수를 4 그룹으로 나눈 12 개의 계수와 연관된 필터 출력이 생성된다<sup>12)</sup>.

1.2288 Mbps 의 1 비트 I, Q 필터 입력 데이터는 2 개의 12 단 시프트레지스터로 입력되고, 각 각의 12 단 시프트레지스터는 6 비트로 구성되는 2 개 (low, high) 의 어드레스를 출력한다. 따라서 I 및 Q 입력 데이터는 각각 12 비트의 어드레스를 출력하게 된다. 여기서 I/Q 신호는 9.8304 MHz 로 동작하는 선택 신호로서, I 및 Q 어드레스를 선택한다. 따라서 1 개의 데이터가 입력되는 동안, 8 번 동작하는 I/Q 신호에 의해 I 및 Q 어드레스가 번갈아가며 4 번씩 선택된다.

2 개의 Look-up table 에는 2개의 6 단 시프트 레지스터에 입력되는 데이터와 필터 계수의 연산에서 생길 수 있는 모든 예상 결과인 부분 필터연산 값 (partial product) 이 저장되어 있으며, 각 table의 어드레스는 필터의 계수 그룹을 선택하는 2 비트와 입력 데이터에 의한 6 비트를 합한 8 비트로 구성된다. 필터의 동작은 2 개의 look-up table (= 256x11 bit ROM) 에 저장되어 있는 부분 필터연산 값을 11 비트 가산기로 합하는 것이다. I 및 Q phase FIR 필터의 출력 데이터율은 각각 4.9152 Mbps 이지만 I/Q 신

호에 의해 번갈아 가며 처리되므로 필터의 동작주파수는 9.8304 MHz 가 된다. 여기서 2 개가 사용된 look-up table 크기는  $4 \times 26 = 256$  워드 (1 워드 = 11 비트) 이다.

8. Gain Stage 블럭

변조기의 송신 출력을 제어하기위해 CPU는 이득 (gain) 값을 사용한다. FIR 필터의 9 비트 출력은 CPU 에서 정하는 7 비트의 이득 값에 곱해진 후, 2의 보수인 8 비트로 출력된다. CPU 가 정하는 이득 값은 일반적인 이득과 전력제어 비트가 전송될 때만 사용되는 전력제어용 이득값이 있다. 동작 주파수는 FIR 필터와 마찬가지로 9.8304 MHz 이다.

하나의 기지국이 관장하는 셀 (cell) 은 3 개의 섹터로 나뉘고, 이동국은 각 섹터를 넘나들며 통화를 수행하므로 기지국은 하나의 이동국에 대해 최소한 2 개의 섹터를 예상하면서 QPSK 변조를 수행해야 한다. 따라서 기지국 변조기에는 2 종류의 QPSK 변조를 동시에 수행할 수 있도록 2 개의 QPSK 블럭 (section 0, section 1) 이 요구된다. 한 섹션은 앞에서 기술한 월시변조기, PN 열 생성기, FIR 필터 및 Gain Stage 로 구성되며, 이러한 섹션이 변조기 ASIC내에 2 개 존재한다. 물론 CPU 로 부터 각 섹션에 제공되는 레지스터 값 (월시 어드레스, PN 마스크 값, Gain 값 등)은 서로 다를 수 있다.

9. 데이터 결합 및 다중 처리 블럭

기지국이 관장하는 셀은 a, b, g 등 3개의 섹터로 구성된다. 이동국은 기지국내에서 각 섹터사이를 이동하게 되므로 기지국에서는 모든 섹터에 데이터를 전송해야만 한다. 또한 이동국이 섹터간을 통과하는 순간에는 2 섹션에서 서로 다르게 변조된 데이터를 관련된 2 섹터에 모두 전송해주어야 한다.

따라서 그림 9. 와 같이 2개의 섹션 출력을 3개의 섹터로 전송시키는 결합 및 다중처리가 필요하다. CPU 는 각 섹터별로 2 비트 씩의 선택신호를 할당하는데, "00" 이면 해당 섹터에 '0'을 전송시키고, "01" 이면 "섹션0" 의출력을, "10"이면 "섹션1"의 출력을 "11"이면 "섹션0 과 섹션1" 의 합을 전송시킨다. 8 비트의 섹션 출력이 가산되므로 최종 출력은 9 비트가 된다. 가령, 이동국이 a 와 b 섹터사이를 지나게되면, 섹션 0 은 a 섹터를 위한, 섹션 1 은 b 섹터를 위한 출력을 내보내고 a, b, g 섹터의 다중처리기 선택신호는 각 각 "11,

11, 00" 으로서 a, b 섹터에는 섹션 0, 1 의 합이 출력되고, g 에는 '0' 이 출력된다.

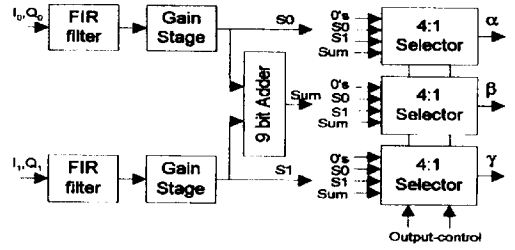


그림 9. 데이터 결합 및 다중처리기  
Fig. 9. Data Combiner and Multiplexer.

10. 주요 제어 신호의 타이밍

기지국 변조기에서의 주요 제어 신호의 타이밍은 시스템 타이밍, 입출력 타이밍, 블럭 별 타이밍 으로 구분할 수 있다. 기지국 시스템내의 변복조용 시스템 기준 펄스의 주기는 2 초이며, 변조기는 80 ms 가 주기인 시스템 프레임 동기 신호에 동기되어 동작한다. 이는 변조기의 입력 프레임 동기 신호의 주기가 통화채널에서는 20 ms 이고, 동기채널에서는 26.67 ms 이므로 이의 최소 공배수를 택한 것이다. 80 ms 시스템 프레임 동기 신호에 의해 변조기 내의 긴주기 부호 생성기, 월시 변조기 및 I/Q PN 생성기 블럭등이 동기되므로써, 복조기 내에 있는 PN 생성기 및 월시 변조기와 같이 동기된다. 그림 10.에 80ms 시스템 프레임 동기 신호 및 주요 제어 신호를 보였다.

변조기의 입력 데이터는 음성 부호화기 (vocoder)의 출력으로서, 데이터 버스를 통해 프레임 단위로 입력된다. 입력 프레임의 데이터 수는 192 비트이지만 변조기 출력 데이터의 수는 9.8 MHz 로 9 비트 씩 출력되므로 프레임당  $196,608 \times 9$  비트가 출력된다. 따라서 출력 데이터는 프레임 주기인 20 ms 동안에 고루 분포되어 출력되지만 입력 데이터는 짧은 시간에 변조기내의 메모리에 저장될 수 있으며, 이 때의 제어 신호는 CPU와 변조기 사이에서 이루어 진다. 먼저 변조기가 CPU 에게 데이터 쓰기를 허용하는 인터럽트 신호 (ENC\_INTB) 를 입력 프레임 동기 신호 보다 2ms 앞선 시점에서 보낸다. CPU 는 이후 1.6 ms 내에 변조기의 데이터 쓰기 요청 신호를 참조하면서 프레임 데이터를 8 비트 씩 버스에 실어 보낸다. 따라서 기지국 시스템에서 변조기가 CPU를 사용하는 시간은



20ms 당 1.6 ms와 변조기 내부의 레지스터 읽기 및 쓰기에 사용되는 시간이다.

블럭 타이밍에 있어서 가장 중요한 것은 인터리버의 쓰기 및 읽기 제어로서, 한 프레임 내에서 읽기 및 쓰기가 동시에 수행되어야 하기 때문이다. 이 해결책은 입력 프레임 데이터가 짧은 시간 내에 입력되어 메모리에 저장되어 있다는 점을 이용하는 것이다. 인터리버의 읽기 제어신호는 19.2 kHz 로 동작하므로 1 프레임당 384 개의 읽기 제어신호가 생성된다. 이 중, 처음 2 개의 읽기 제어신호 앞에서 쓰기 제어신호가 192 개씩 생성되므로써, 384 비트의 프레임 데이터가 192 개씩 2 번에 걸쳐 인터리버에 모두 쓰여진다. 표 1. 에 보듯이 인터리버 쓰기의 데이터 주파수는 19.2 kHz 이지만, 동작 주파수는 4.9 MHz 이다. 마찬가지로 인터리버 쓰기의 앞에서 수행되는 CRC 및 길쌈부호기도 데이터 주파수는 19.2 kHz 이지만, 동작 주파수는 4.9 MHz 이어야 한다. 인터리버 읽기는 시스템 프레임 동기신호에 맞추어 시작되므로, 인터리버 쓰기는 이 보다 앞서서 시작된다. 즉, 입력 프레임 동기 신호보다 0.4 ms 앞선 곳에서 인터리버 프레임 동기 신호가 발생되어, CRC, 길쌈 부호기 및 인터리버의 쓰기 동작을 초기화 시킨다.

스크램블러에서 긴주기 부호 생성기는 1.2288 MHz 로 동작하며, 스크램블링은 인터리버의 읽기에 맞추어 19.2 kHz 로 동작한다. 평처링은 다음 전력 제어그룹 시간 동안의 전력 세기를 조절하는 것이므로 매 전력 제어그룹 주기 마다 한번씩 수행된다. 전력 제어 그룹의 주기는 1.25 ms ( $f = 800 \text{ Hz}$ )로 입력 프레임 주기의 1/16 이다. 따라서 하나의 전력 제어 그룹내의 24 (= 384 / 16) 개 인터리버 출력에 대해, 19.2 kHz 로 동작하는 24:1 데시메이터에 의한 평처링이 수행된다. 일시 변조기의 동작주파수는 QPSK 블럭의 I 및 Q phase PN 열 생성기의 동작 주파수와 같은 1.2288 MHz 이다. 따라서 통화채널의 1 프레임 데이터는 24,576 (= 16 x 24 x 64) 비트로 확산된다.

펄스성형 1:4 인터플레이션 FIR 필터의 동작에 있어서, I 및 Q phase 필터 각각의 동작 주파수는 4.9152 MHz 이지만, 본 연구에서 설계한 look-up table 방식의 필터는 I 및 Q 채널의 필터 출력을 번갈아 가며 출력시키므로 동작 주파수는 9.8304 MHz 이다. Gain Stage, 데이터 결합 및 다중 처리기의 동작 주파수도 역시 9.8304 MHz 이며, 이것이 변조기 ASIC 내의

동작 주파수이다.

표 1. 변조기의 기능블럭별 동작주파수  
Table 1. Operating Frequency on Function Blocks in Modulator.

기능 블럭	데이터 주파수	동작 주파수
CRC	19.2 kHz	4.9 MHz
Convolutional Encoder	19.2 kHz	4.9MHz
Interleaver write	19.2 kHz	4.9 MHz
Interleaver read	19.2 kHz	19.2 kHz
긴주기 부호 생성기	1.2288 MHz	1.2288 MHz
64:1 Decimator	19.2 kHz	1.2288 MHz
Scrambler	19.2 kHz	19.2 kHz
Puncturing	800 Hz	800 Hz
Walsh Covering	1.2288 MHz	1.2288 MHz
I/Q PN 열 생성기	1.2288 MHz	1.2288 MHz
FIR filter 및 Gain Stage	9.8 MHz	9.8 MHz
Combiner & Multiplex	9.8 MHz	9.8 MHz

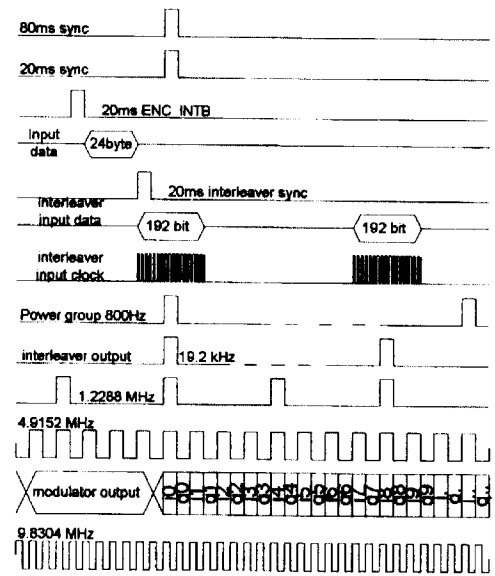


그림 10. 주요 제어 신호의 타이밍  
Fig. 10. Timing diagram for main control signals.

#### IV. ASIC 구현 및 시험

기지국 변조기의 ASIC 구현을 위해 VHDL 기술본의 논리합성을 이용하였다. 사용한 설계툴은 COM-PASS 사의 VHDL 컴파일러 및 타이밍 시뮬레이터

(qsim) 이다. 기술된 VHDL 코드의 구분검사와 논리 합성은 VHDL 컴파일러를 이용해 수행하고, 논리합성 결과인 게이트 레벨의 논리도를 이용하여 타이밍 시뮬레이션을 수행하였다.

논리합성이 가능하도록 하기 위해 레지스터 트랜스퍼 레벨에서 VHDL 기술을 수행하였으며, COMPASS 사의 ASIC 셀라이브러리를 직접 사용하기 위하여 스트럭처 (structure) 레벨의 기술도 병행하였다. 기술된 VHDL 코드의 총 길이는 약 8,000 라인 (line) 이다. 변조기칩 설계시, 기능블럭별로 기술된 VHDL 블럭을 논리 합성하고 이를 그래픽 편집기에서 통합, 연결하면서, 패드 셀 설계 및 블럭간의 버퍼링을 수행하였다.

기지국 변조기 ASIC 은 0.8 mm CMOS CBIC (cell based IC) 기법으로 설계하였다. 설계된 변조기 ASIC의 본딩패드를 포함한 칩 크기는 5.26 mm x 5.45 mm 이며, 사용한 회로는 약 25,205 게이트의 논리회로와 3 Kbit의 SRAM 이다. 동작 주파수는 9.8304 MHz 이며, 패키지는 68 핀 PLCC (plastic leadless chip carrier) 이다. 표 2. 에 CBM ASIC의 주요 특징을 기재하였으며, 그림 11. 에는 제작된 기지국 변조기 칩 (ES C2212B CBM) 의 사진을 보였다.

표 2. CBM ASIC의 주요 특징  
Table 2. Typical Characteristics of CBM ASIC.

설계기술	0.8 mm CMOS CBIC
소자 집적도	약 125,000 개의 트랜지스터 - 논리회로 : 25,205 게이트 - Static RAM : 3.0 K 비트
칩 크기	Chip size : 5.26 mm x 5.45 mm Core size : 3.84 mm X 4.05 mm
패키지	68 핀 PLCC
클럭 주파수	9.8304 MHz
공급 전압	+ 5 Volts
소모 전력	300 mW at 10 MHz

제작 후, 연구소에서 개발한 CMS-BTS 기지국 시스템에서 실장시험을 수행하였다. 기지국 시스템의 채널 카드에서 사용 중이던 Qualcomm 사의 기지국 변조기인 BSM (Base Station Modulator) 대신에 CBM 을 탑재하여 통화시험을 수행한 결과, 파일럿, 동기, 페이징 및 통화 채널에서 정상 동작함을 확인하였다. 칩 시험은 Trillium 장비를 이용해 수행하였으며, 소모전력은 5V 의 전압에서 약 300 mW 이다.

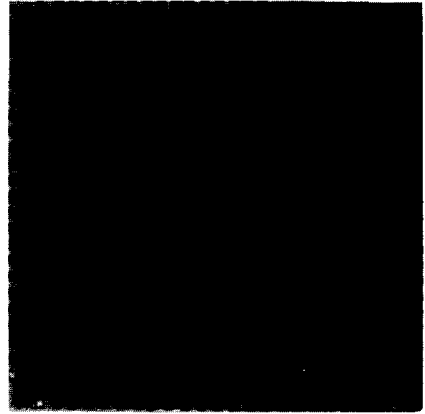


그림 11. 기지국 변조기 칩 (ES-C2212B CBM) 사진  
Fig. 11. Photograph of Base Station Modulator Chip.

## V. 결 론

CDMA 디지털 이동통신 시스템의 기지국 변조기를 VHDL 기술을 통한 논리합성에 의하여 설계 및 제작하였다. VHDL 은 논리합성이 가능하도록 레지스터 트랜스퍼 레벨에서 기술하였으며, 기술된 코드의 총 길이는 약 8,000 라인이다. 설계한 주요 기능블럭은 길쌈 부호기, 월시 변조기, 의사 잡음 확산기, QPSK 블럭 등이다.

기지국 변조기 ASIC 은 0.8 mm CMOS CBIC 기법으로 제작하였다. 제작된 변조기 ASIC 은 칩의 크기가 5.26 mm x 5.45 mm 이며, 회로의 크기는 25,205 게이트의 논리회로와 3 Kbit의 SRAM 이다. 동작주파수는 9.8304 MHz 이며 패키지는 68 핀 PLCC이다. 소모전력은 전압이 5V 일때 약 300 mW 이다.

본 연구의 목적은 CDMA 이동통신용 핵심 ASIC 설계기술을 확보함으로써, 향후 CDMA 기술 및 시장을 주도하기 위한 발판을 마련하는데 있다. 본 기술은 1998년 부터 국내에서 서비스에정인 차세대 개인 통신 시스템인 CDMA 방식의 PCS (Personal Communication System) 시스템에도 활용이 가능하며 FPL-MTS (Future Public Land Mobile Telecommunication System) 등에도 응용할 수 있다. 앞으로 국내의 시스템 설계 기술이 향상되어 독자적인 CDMA 시스템을 구축하게 되면 본 연구의 결과가 핵심 ASIC 설계에 직접 응용될 수 있을 것으로 기대한다.

참 고 문 헌

- [1] Bernard Sklar, *Digital Communications Fundamentals and Applications*, Prentice-Hall, 1988.
- [2] Kamilo Feher, *Wireless Digital Communications Modulation and Spread Spectrum Applications*, Prentice-Hall, 1995.
- [3] Savo G. Glisic, Pentti A. Leppanen, *Code Division Multiple Access Communications*, Kluwer Academic Publishers, 1995.
- [4] TIA/EIA/IS-95, *Mobile Station - Base Station Compatibility Standard for Dual-Mode Wideband Spread Spectrum Cellular System*, TIA, USA, July, 1993.
- [5] 황인태, Digital 이동통신 단말기용 신호처리 기술, 대한전자공학회지, 제20권 제8호, pp. 17-31, 1993년 8월.
- [6] 차진중 외, CDMA 이동통신 시스템용 비터비 복호기 ASIC 설계 및 구현, 대한전자공학회지, 제33권 제1호, pp139-152, 1996년 1월.
- [7] Jin-il Hyun, In Kang et al., Reverse Link Demodulator ASIC for CDMA Cellular System, IEEE ISCAS vol. 4, pp 276-279, 1996.
- [8] 강인, 현진일 외, VHDL 논리합성에 의한 CDMA 용 기저국 변조기 설계, 대한전자공학회 추계학술대회 제17권 제2호 pp. 1407-1410, 1994년 11월.
- [9] KyungHi Chang, In Kang, JaeSeok Kim, Balanced (O)QPSK with FIR Filter of Discrete Coefficients in CDMA System, International Conference on Signal Processing Applications & Technology pp. 323-327 1994.
- [10] TIA/TR45.5.1.1., *Speech Service Option Standard for Wideband Spread Spectrum Digital Cellular System*, EIA, USA, Jan, 1993.
- [11] 현진일, 차진중, 강인, Hadamard 변환기의 효율적인 구현방법, 대한전자공학회 추계학술대회 제 17권 제2호 pp. 1411-1414, 1994년 11월.
- [12] Se Hyun Park, In Kang, et al., A Design of Decimation / Interpolation Filter and Demodulator for Oversampling SD ADC / DAC, Proceedings of JTC-CSCC94 pp. 276-279, 1994.

저 자 소 개



姜寅(正會員)

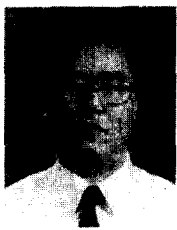
1962年 8月 20日生. 1985年 2月 한양 대학교 전자공학과 학사. 1987年 2月 한양 대학교 전자공학과 석사. 1987年 2月 ~ 현재 한국전자통신연구원 선임연구원. 주관심 분야는 DSP설계, 통신회로 설계, VLSI 설

계 및 CAD 등임.



玄鎭一(正會員)

1961年 3月 15日生. 1989年 2月 숭실 대학교 전자공학과 학사. 1989年 2月 ~ 현재 한국전자통신연구원 선임연구원. 주관심 분야는 VLSI 설계, DSP 및 이동통신용 모델 등임.



車鎭鐘(正會員)

1956年 9月 17日生. 1980年 2月 한양 대학교 전자공학과 학사. 1982年 2月 한국과학기술원 전기 및 전자공학과 석사. 1982年 2月 ~ 현재 한국전자통신연구원 책임연구원. 주관심분야는 디지털 통신용 ASIC설계, 영상 통

신용 ASIC 설계, DSP설계, 고속 바이폴라 디지털 회로 설계 등임.

金景洙(正會員)

1951年 12月 21日生. 1977年 2月 서강 대학교 전자공학과 학사. 1977年 2月 ~ 1985年 4月 전자기술연구소 선임연구원. 1985年 4月 ~ 현재 한국전자통신연구원 책임연구원 및 집적회로연구부장. 주관심 분야는 디지털 통신용 ASIC 설계 및 시험, DSP 및 이동 통신용 모델 설계 등임.