

論文97-34C-6-2

CMOS 인버터의 지연 시간 모델

(A Delay Model for CMOS Inverter)

金東郁*, 崔泰溶**, 丁炳權*

(Dong-Wook Kim, Tae-Yong Choi, and Byoung-Kwon Jung)

요 약

현재까지 발표된 CMOS 인버터의 지연 시간 모델들은 입력의 천이 시간이 작은 경우에는 정확하나 입력의 천이 시간이 길어짐에 따라 그 정확성이 떨어지는 경향을 보이고 있다. 본 논문에서는 입력의 천이 시간이 큰 경우에도 CMOS 인버터의 지연 시간을 정확히 예측하는 지연 시간 모델을 제안한다. 입력의 천이 시간이 크면 상대 MOS(Complementary MOS)를 통한 누설전류가 증가함으로 상대 MOS의 동작을 반드시 고려해야 한다. 본 논문에서는 인버터를 구성하는 MOS를 효과적이고 간단한 전류-전압의 특성을 갖는 소자로 모델링함으로써 신호의 천이시 pMOS와 nMOS 모두를 고려하는 지연 시간 모델을 유도하였다. 본 모델은 MOS가 선형 영역에서 동작하면 저항으로, 포화 영역에서 동작하면 전류원으로 각각 모델링한다. 본 논문의 모델은 적은 수의 파라미터를 이용하고 인버터를 구성하는 개개의 MOS를 효과적으로 간단히 재모델링하여 시간에 따른 출력 전압을 구함으로써 지연 시간을 예측한다. 본 논문의 모델은 SPICE를 통한 전산 모사 결과에 대해 약 5%이내의 오차를 나타내었으며, 지연 시간 예측을 위한 계산 시간 또한 SPICE보다 70배 이상 빠른 속도를 나타내었다.

Abstract

The delay models for CMOS inverter presented so far predicted the delay time quite accurately when input transition-time is very small. But the problem that the accuracy is inclined to decrease becomes apparent as input transition time increases. In this paper, a delay model for CMOS inverter is presented, which accurately predicts the delay time even though input transition-time increases. To maintain the accuracy as the input transition time increases, the complementary MOS in CMOS inverter must be included in modeling process because the main reason of inaccuracy as input transition time is the leakage current through the complementary MOS. For efficient modeling, this paper first models the MOSes with simple I-V characteristic, with which both the pMOS and the nMOS are considered easily in calculating the inverter delay times. This resulting model needs few parameters and re-models each MOS effectively and simply evaluates output voltage to predict delay time. Delay values obtained from this model have been found to be within about 5% error rate of the SPICE result. The calculation time to predict the delay time with the model from this paper has the speed of more than 70 times as fast as to the SPICE.

* 正會員, 光運大學校 電子材料工學科

(Dept. of Electronics Materials Engineering Kwang-Woon University)

** 正會員, 三星電子半導體 SYSTEMLSI本部 MI-COM2 팀

(Samsung Electronics semiconductor SYSTEMLSI Business MICOM TEAM 2 LSI Division 2)

※ 본 연구의 일부는 1997년 광운대학교 교내 연구비의 지원으로 수행되었음.

接受日字:1996年3月22日, 수정완료일:1997年5月31日

I. 서론

VLSI 시스템 설계 시 지연 시간을 빠르고 정확하게 분석하는 것은 매우 중요하다. 이러한 목적으로 SPICE 등을 이용하는 것은 많은 시간과 노력을 필요로 하며 이를 절약하기 위해서는 효율적이고 정확한 지연 시간 모델이 필수적이다.

Burns의 모델^[1]과 비교적 근래의 Sakurai의 모델^[2,3] 등을 비롯, CMOS 인버터의 지연 시간을 예측하는 많은 모델들이 발표된 바 있으나, 대부분의 모델들이 입력 신호의 천이 시간이 작은 경우에만 타당하고

입력 신호의 천이 시간이 커짐에 따라 그 정확성이 떨어지는 단점을 갖고 있다^[1-7].

입력 신호의 천이 시간이 작은 경우 CMOS 인버터에 있어서 상대 MOS(Complementary MOS) 즉, 출력의 상승 천이시 nMOS, 출력의 하강 천이시 pMOS의 동작 상태를 무시함으로써 효과적으로 지연 시간을 모델링할 수 있었다. 그러나 입력의 천이 시간이 큰 경우에는 모델의 정확성을 위해 상대 MOS의 동작을 무시할 수 없다^[5,6]. 출력단이 천이할 때 상대 MOS는 누설전류의 경로로 동작하는데, 입력 신호의 천이 시간이 매우 작으면 상대 MOS를 통과하는 누설전류의 양은 미미하여 무시될 수 있지만, 입력의 하강 시간이 커짐에 따라 그 누설전류의 양은 점차 증가하여 무시할 수 없다.

회로가 방대해짐에 따라 한 게이트의 fanout이 매우 큰 경우 즉, 한 게이트의 출력이 여러 개의 게이트들을 구동해야 한다면, 이는 곧 출력단의 큰 부하 커패시턴스를 의미하며 이로 인하여 출력의 천이 시간은 매우 커진다^[5]. 회로 내에서 한 게이트의 출력 신호는 곧 다른 게이트의 입력 신호로 볼 수 있으므로 입력 신호의 천이 시간이 큰 경우에도 지연 시간을 정확히 예측할 수 있는 지연 시간 모델이 필요하다.

이에 본 논문에서는 입력 신호의 천이 시간이 큰 경우에도 뛰어난 정확성을 갖는 간단한 지연 시간 모델을 제안하고자 한다. 그러한 모델을 위해서는 상대 MOS를 고려하여야 하는데, 기존의 MOS 모델을 그대로 이용하는 것은 수식이 매우 복잡해져 모델의 도출이 용이치 않으며, 또한 그 효율성이 문제가 된다^[4,7]. 출력단의 충·방전시 상대 MOS를 통한 누설전류를, 충전전류와 함께 고려하기 위해 본 논문에서는 간단하고도 효과적인 MOS의 전류-전압 특성을 가정하였다. 또한 본 논문에서는 게이트의 구성 인자를 간단한 특성의 소자로 모델링함으로써 효율적으로 상대 MOS를 함께 고려하는 지연 시간 모델을 유도하고자 한다.

II. 지연 시간 모델을 위한 MOS와 입력 신호 재모델링

본 논문의 지연 시간 모델링을 위해 두 가지의 특성을 가정하였다.

1. MOS의 전류-전압 특성 모델

효율적이고 간단한 지연 시간 모델을 유도하기 위해 본 논문에서는 MOS의 전류-전압 특성을 그림 1과 같이 간단화 시켜 사용한다. 기호의 첨자에 p 또는 n이 구분되어 첨가될 때 각각은 pMOS 또는 nMOS의 경우로 한정됨을 의미한다. 그림 1에서 I_{D0} 는 $V_{GS} = V_{DD}$ 일 때의 드레인-소오스 포화 전류를 나타내며, I_{L0} 는 $V_{GD} = V_{DD}$ 일 때 선형 영역에서의 드레인-소오스 전류를 나타낸다. 즉,

$$I_{L0} = G_{L0} \cdot V_{DS} = \frac{1}{R_{L0}} \cdot V_{DS} \quad (1)$$

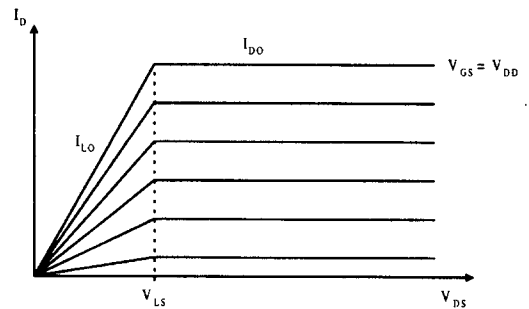


그림 1. 지연 시간 모델을 위한 MOS의 간단화 된 전류-전압 특성

Fig. 1. The simplified current-voltage characteristics of MOS for the delay model.

여기서, G_{L0} 는 매우 작은 V_{DS} 에 대한 드레인-소오스 전류 I_D 의 기울기로서 본 모델에서는 MOS의 선형 영역에서의 전도도를 모델링한 것이며, I_{D0} 와 G_{L0} 는 게이트를 구성하는 MOS를 전산 모사하여 간단히 얻을 수 있다. V_{DD} 이하의 게이트 전압에 대한 드레인-소오스 포화 전류는 I_{D0} 를 기준으로 하여 $(V_{GS} - V_{th})^2$ 에 비례하는 것으로 본 논문에서는 가정하였으며, 이는 포화 전류가 $(V_{GS} - V_{th})^2$ 에 비례한다는 Shockley의 모델^[9]로부터 유추한 것이다. 이를 식으로 나타내면,

$$I_{DS} = I_{D0} \left(\frac{V_{GS} - V_{th}}{V_{DD} - V_{th}} \right)^2 \quad (2)$$

와 같다. 여기서, V_{th} 는 MOS의 문턱 전압이며, 상수 B를으로 $I_{D0}/(V_{DD} - V_{th})^2$ 정의하면, 식(2)는

$$I_{DS} = B(B_{GS} - V_{th})^2 \quad (3)$$

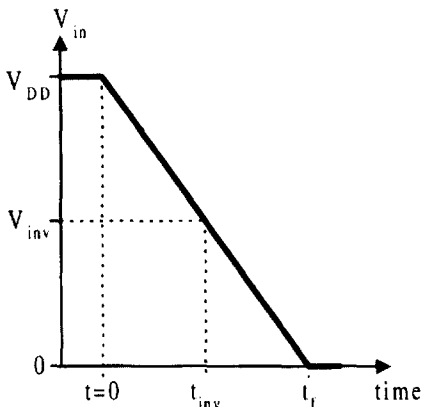
와 같이 표현된다.

V_{LS} 는 본 모델에서 가정한 선형 영역과 포화 영역의 경계 전압으로서 I_{L0} 와 I_{D0} 의 교차점으로부터 구한다. MOS의 채널 길이가 감소함에 따라, 캐리어의 속도 포화로 인하여 V_{LS} 는 $(V_{GS} - V_{th})$ 에 비례한다는 Shockley의 모델은 적용될 수 없으며^[2,8] V_{LS} 는 작아지고 V_{GS} 에 따라 변화하는 정도도 작아진다. 이에 본 논문에서는 MOS의 채널 길이가 감소하는 경향을 고려하여 그림 1에서 나타낸 바와 같이 선형 영역과 포화 영역의 경계 전압은 V_{GS} 에 관계없이 $V_{GS} = V_{DD}$ 일 때의 V_{LS} 로서 일정하다고 가정함으로써 모델을 단순화하였다. 본 논문에서 구하는 지연 시간 t_{delay} 는 입력이 $V_{DD}/2$ 일 때의 시간과 출력이 $V_{DD}/2$ 가 될 때의 시간의 차이로 정의하고, 출력이 $V_{DD}/2$ 에 도달하는 시간을 t_d 라 정의한다. 본 논문에서는 t_d 를 먼저 구한 후 최종적으로 입력이 $V_{DD}/2$ 일 때 시간과의 차이를 계산함으로써 지연 시간 t_{delay} 를 구한다. 출력의 천이 시간 계산은 본 논문에서 제시한 모델 및 계산 방식으로 산출이 가능하므로 본 논문에서는 생략한다.

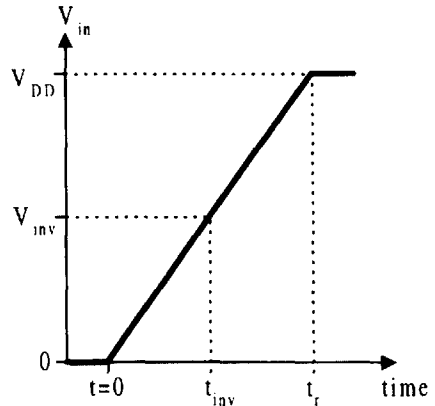
2. 입력 신호 모델

입력 신호는 그림 2와 같이 선형적인 것으로 가정하였으며 그림 2(b)는 그림 2(a)의 하강 천이 신호와 대비되는 상승 천이 신호를 나타내고 있다. 그림 2(a)에서 입력 신호의 하강 천이 시간 t_f 에 대해 S_f 를 V_{DD}/t_f 로 정의하면,

$$V_{in}(t) = V_{DD} - t \cdot S_f \tag{4}$$



(a)



(b)

그림 2. 입력 신호의 천이 모델

(a) 하강 천이 (b) 상승 천이

Fig. 2. Input signal transition model.

(a) Falling transition (b) Rising transition.

로 표현된다. 한편, 그림 2(b)에서 입력 신호의 상승 천이 시간 t_r 에 대해 S_r 를 V_{DD}/t_r 로 정의하면,

$$V_{in}(t) = t \cdot S_r \tag{5}$$

로 표현된다. 이와 같이 입력 신호를 시간의 함수로 나타낼 수 있다는 것은 인버터의 지연 시간 모델을 유도할 때 큰 의미가 있다.

V_{inv} 는 인버터의 반전 전압을 나타내며 pMOS와 nMOS의 포화 전류가 같을 때의 입력 전압으로 정의하고 이 때까지의 시간을 t_{inv} 로 정의한다^[8]. C_L 은 게이트의 부하 커패시턴스를 의미하며 본 논문에서는 C_L 을 계산하는 방법에 대해서는 언급하지 않지만, 그 과정은 모델의 정확성을 위해 기본적이고 매우 중요하다.^[4,8,9,10]

III. 지연 시간 계산을 위한 인버터의 재모델링

본 논문에서는 기본적인 시간 지연 동작을 예측하기 위해 그림 3(a)의 CMOS 인버터를 고려한다. 또한 입력의 상승 천이와 하강 천이에 대한 동작은 서로 상대성의 성격을 갖고 있으므로 본 논문에서는 입력의 하강 천이 즉, 출력의 상승 천이에 대해서만 설명하고 입력의 상승 천이에 대한 상세한 모델링은 생략한다. 출력의 상승 천이 경우에는 nMOS가 상대 MOS이며 입

력 신호는 그림 2(a)와 같고 시간에 따른 입력 전압의 크기는 식(4)와 같다.

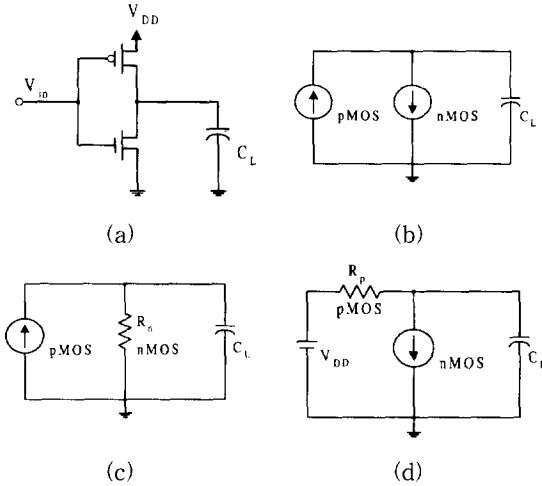


그림 3. CMOS 인버터의 재모델링
(a) CMOS 인버터 (b) 포화 영역의 pMOS와 포화 영역의 nMOS (c) 포화 영역의 pMOS와 선형 영역의 nMOS (d) 선형 영역의 pMOS와 포화 영역의 nMOS

Fig. 3. Re-modeling of CMOS inverter.
(a) CMOS inverter (b) pMOS in saturation region and nMOS in saturation region (c) pMOS in saturation region and nMOS in linear region (d) pMOS in linear region and nMOS in saturation region.

1. 인버터의 재모델링

인버터가 상승 천이한다는 것은 인버터 출력단의 커패시터가 충전된다는 것을 의미하며 이 때 pMOS는 전류의 충전 경로로서 동작하고 nMOS는 누설전류 경로로서 동작한다. 본 논문에서는 충전전류와 누설전류를 함께 고려하기 위해 인버터를 구성하는 pMOS와 nMOS를 각 동작 상태에 따라 전류원 또는 저항으로 모델링하여 충전전류와 누설전류의 경로를 분리하였다. 즉, MOS가 포화 영역에서 동작하면 전류원으로 모델링하고 선형 영역에서 동작하면 저항으로 모델링함으로써, 그림 3(a)의 인버터를 그림 3의 (b), (c), (d)와 같이 전류원과 저항의 조합으로 재모델링하였다. 인버터를 구성하는 pMOS와 nMOS의 게이트와 드레인 각각 인버터의 입력과 출력단을 형성하므로, 인버터의 입력단과 출력단의 전압을 알면 각 MOS의 동작 상태를 결정할 수 있다.

하강 천이 입력 신호에 대한 반응으로서 출력단을

충전함으로써 상승 천이하는 인버터의 경우 입력 신호는 식 (4)에 의해 시간의 함수로 표현된다.

상승 천이하는 인버터의 출력 전압 V_o 와 입력 전압 V_{in} 은 각각 nMOS의 V_{DSn} 과 V_{GSn} 으로 해석될 수 있다. 즉, $V_o = V_{DSn}$ 이고 $V_{in} = V_{GSn}$ 이므로, 이면 nMOS는 포화 영역에서 동작하므로 전류원으로 모델링되며, 그 전류원의 값은 입력 신호 즉, 시간 t 에 따라 결정된다. $V_{in} \geq V_{thn}$ 이면 즉, $t \leq (V_{DD} - V_{thn})/S_f$ 이면 nMOS는

$$I_{DSn} = B_n S_f^2 \left(\frac{V_{DD} - V_{thn}}{S_f} - t \right)^2 \quad (6)$$

와 같이 시간에 따라 변화하는 전류원으로 모델링된다.

한편, $V_o < V_{LSn}$ 이면 nMOS는 선형 영역에서 동작하므로 저항 R_n 으로 모델링되며 그 저항의 값은 입력 신호 즉, 시간 t 에 따라 결정된다. 따라서 저항 R_n 은 시간에 따라

$$R_n = \begin{cases} R_{LSn} & : t < t_{inv} \\ \infty & : t \geq t_{inv} \end{cases} \quad (7)$$

와 같이 모델링되며, 이 때 R_{LSn}

$$R_{LSn} = \frac{V_{LSn}}{I_{DSn}(V_{inv})} \quad (8)$$

와 같이 정의한다. 여기서, $I_{DSn}(V_{inv})$ 은 입력 신호가 V_{inv} 일 때의 nMOS의 포화 전류를 나타낸다. 결과적으로 R_{LSn} 은 그림 1에 나타낸 nMOS의 전류-전압 특성에서 $V_{GSn} = V_{inv}$ 일 때 nMOS의 선형 영역에서의 저항 값이 된다. 시간이 $t < t_{inv}$ 구간에서 nMOS를 식 (8)과 같은 저항으로 정의하는 이유는, t_{inv} 이하의 시간 즉, 입력 신호가 V_{inv} 도달하기 이전에 출력 전압 V_o 가 V_{LSn} 에 도달할 수 없기 때문이다. 인버터 반전 전압의 정의에 따르면, $V_{in} = V_{inv}$ 즉, $t = t_{inv}$ 일 때 nMOS와 pMOS의 포화 전류는 같게 되며, $t < t_{inv}$ 이면 pMOS의 포화 전류보다 nMOS의 포화 전류가 크다. 그러므로, $t < t_{inv}$ 인 구간에서 V_o 가 V_{LSn} 에 도달하면 nMOS는 포화 영역에서 동작하므로 충전전류보다 누설전류가 커지게 되어 인버터의 출력 전압은 다시 감소한다. 이와 같이 t_{inv} 이하의 시간에서 V_o 는 V_{LSn} 에 도달할 수 없다. 시간이 t_{inv} 에

도달할 때 V_o 는 항상 V_{LSn} 보다 작기 때문에 nMOS는 여전히 선형 영역에서 동작하며 $R_n = \infty$ 로 모델링된다.

pMOS의 경우 $V_{DSp} = |V_o - V_{DD}|$ 이고 $V_{GSp} = |V_{in} - V_{DD}|$ 이다. 출력 전압이 $V_o \leq V_{DD} - V_{LSp}$ 인 구간에 있으면 pMOS는 포화 영역에서 동작하므로

$$I_{DSp} = B_p S_f^2 \left(t - \frac{|V_{thp}|}{S_f} \right)^2 \quad (9)$$

와 같이 시간에 따라 변화하는 전류원으로 모델링되며, $t \geq t_f$ 이면 입력 신호는 0으로 고정되므로 $t = t_f$ 로 고정한다.

한편, 출력 전압이 $V_o > V_{DD} - V_{LSp}$ 인 구간에서 pMOS는 선형 영역에서 동작하므로 저항 R_p 로 모델링하고 그 값은 시간에 따라 R_n 을 정의하는 방법과 같은 방법으로 정의한다.

본 논문에서는 이상에서 재모델링한 인버터의 동작 특성에 따라 부하 커패시터 C_L 을 충전(입력의 상승 천이)에 대해서는 방전하는 동작을 바탕으로 지연 시간을 산출한다.

2. 하강 천이 입력에 대한 인버터의 지연 시간 계산

그림 2(a)의 하강 천이하는 입력 신호에 대한 반응으로서 상승 천이하는 인버터의 경우, $t=0$ 에서 $V_o=0$ 이고 $V_{in}=V_{DD}$ 라는 초기 조건을 고려하면, 상승 천이하는 인버터의 출력과 입력 전압의 초기 구간은 각각 $V_o < V_{LSn}$ 과 $0 < t < t_{inv}(V_{DD} < V_{in} < V_{inv})$ 으로 설정할 수 있다. 이 구간에서 출력단에 충전되는 전압을 V_{m1} 이라 하고 이 V_{m1} 구간을 구간이라 정의한다. V_{m1} 구간에서 출력 전압은 $V_o < V_{LSn}$ 이므로 pMOS는 포화 영역에서 동작하므로 시간에 따라 변화하는 전류원으로 모델링하고, nMOS는 선형 영역에서 동작하므로 저항 R_n 으로 모델링하는데, 이 구간은 입력 신호가 인버터의 반전 전압에 도달하지 못하는 시간이므로 저항 R_n 의 값은 R_{LSn} 으로 정한다. 즉, V_{m1} 구간에서 인버터는 그림 3(c)와 같이 모델링된다. 이 구간에서 출력단에 충전되는 전압 V_{m1} 은

$$V_{m1} = \alpha(t_{inv} - |V_{thp}|/S_f)^2 + \beta(t_{inv} - |V_{thp}|/S_f) - \frac{t_{inv} - |V_{thp}|/S_f}{R_{LSn} C_L} + r - re \quad (10)$$

$$\alpha = R_{LSn} B_p S_f^2 \quad (10a)$$

$$\beta = -2R_{LSn}^2 C_L B_p S_f^2 \quad (10b)$$

$$r = 2R_{LSn}^3 C + L^2 B_p S_f^2 \quad (10c)$$

으로 나타낼 수 있다. 물론, $0 < t \leq |V_{thp}|/S_f$ 인 동안에는 pMOS가 차단 영역에 있어 $I_p = 0$ 이며 출력 전압은 변화 없이 0이다. 시간이 $|V_{thp}|/S_f$ 부터 t_{inv} 까지 변화하는 동안 pMOS에 의한 충전전류는 0부터 $I_{DSp}(V_{inv}) (= V_{DSn}(V_{inv}))$ 까지 증가하며, 저항 R_{LSn} 은 식 (8)에 의해서 결정되므로 $0 < t < t_{inv}$ 동안에 출력단에 충전된 전압 V_{m1} 은 항상 V_{LSn} 보다 작다. 즉, V_{m1} 은 시간 t_{inv} 에서의 출력 전압을 의미하며 $V_o(t_{inv}) < V_{LSn}$ 이다. 따라서 시간이 t_{inv} 에 도달했을 때 pMOS는 여전히 포화 영역에서 동작하고 있으므로 전류원으로 모델링하고, nMOS는 선형 영역에서 동작하고 있으므로 저항 R_n 으로 모델링하며, 시간은 $t \geq t_{inv}$ 되므로 R_n 의 값은 ∞ 로 모델링된다. 이 때 pMOS의 포화 전류는 nMOS를 통한 누설전류 없이 출력단을 충전하며, 따라서 인버터는 그림 3(c)와 같이 모델링된다. 출력단의 전압이 V_{LSn} 에 도달하면 nMOS는 포화 영역에서 동작하게 되므로 $V_o < V_{LSn}$ 이고 $t \geq t_{inv}$ 인 구간에서 출력단에 충전되는 전압 V_{tem} 을 $(V_{LSn} - V_{m1})$ 이라 정의하면 V_{tem} 은,

$$V_{tem} = V_{LSn} - V_{m1} = \frac{B_p S_f^2}{C_L} \int_{t_{inv}}^{t_{is}} \left(t - \frac{|V_{thp}|}{S_f} \right)^2 dt \quad (11)$$

와 같이 표현될 수 있으며, 이 식으로부터 t_{LS} 는

$$t_{LS} = \left(\frac{3C_L(V_{LSn} - V_{m1})}{B_p S_f^2} + \left(t_{inv} - \frac{|V_{thp}|}{S_f} \right)^3 \right)^{\frac{1}{3}} + \frac{|V_{thp}|}{S_f} \quad (12)$$

와 같이 계산된다. t_{LS} 의 크기에 따라 두 개의 동작 영역으로 나눌 수 있으며, 그 각각의 동작 영역에 대한 지연 시간은 다음과 같다.

1) $t_{LS} > t_f - V_{thn}/S_f$

본 논문에서는 이러한 경우를 입력 신호의 천이 시간이 작은 경우로 분류한다. $t=0$ 부터 $t=t_f - V_{thn}/S_f$ 까지 입력 신호가 천이하는 동안 V_o 가 V_{LSn} 까지 도달하지 못하여 nMOS가 포화 영역에서 동작하는 구간은 없다. 즉, $t \leq t_f - V_{thn}/S_f$ 인 동안 nMOS는 선형

영역에서 동작하므로 저항 R_n 으로 모델링되고, $t_{inv} < t \leq t_f - V_{thn}/S_f$ 인 구간에서 누설전류는 매우 작으므로 R_n 의 값은 ∞ 로 정해지며 $t > t_f - V_{thn}/S_f$ 이면 nMOS는 차단 영역에서 동작하므로 ∞ 의 저항과 마찬가지로이다. 이러한 경우 $t = t_{inv}$ 부터 $t = t_f$ 까지 pMOS의 포화 전류 I_{Dsp} 가 누설전류 없이 출력단을 충전시킨다. 이 때 출력단에 충전되는 전압을 V_{m2} 라고 하면, V_{m2} 는

$$V_{m2} = \frac{B_p S_f^2}{C_L} \int_{t_{inv}}^{t_f} \left(t - \frac{|V_{thp}|}{S_f} \right)^2 dt \quad (13)$$

로 표현된다. ($V_{m1} + V_{m2}$)는 $0 \leq t \leq t_f$ 의 시간 동안 출력단에 충전된 전압 즉, 시간 t_f 에서의 출력 전압 $V_o(t_f)$ 를 의미하므로 $V_o(t_f) = V_{m1} + V_{m2}$ 이다. ($V_{m1} + V_{m2}$) < $V_{DD}/2$ 이면, V_{m0} 를 ($V_{DD}/2 - V_{m1} - V_{m2}$)로 정의하고 전류 I_{Dop} 에 의해서 출력단을 V_{m0} 만큼 충전하는데 걸리는 시간을 t_{m0} 라 정의하면, t_{m0} 는

$$t_{m0} = C_L \frac{V_{m0}}{I_{Dop}} \quad (14)$$

와 같다. 따라서 출력 전압 V_o 가 $V_{DD}/2$ 에 도달하는데 걸리는 시간 t_d 는

$$t_d = t_{m0} + t_f \quad (15)$$

와 같이 구해진다.

한편, ($V_{m1} + V_{m2}$) $\geq V_{DD}/2$ 즉, $V_{m2} \geq (V_{DD}/2 - V_{m1})$ 이면, ($t_f - V_{thn}/S_f$) < $t_{LS} < t \leq t_f$ 인 구간에서 V_o 는 $V_{DD}/2$ 에 도달하게 된다. 이 때 t_d 는

$$\frac{V_{DD}}{2} - V_{m1} = \frac{B_p S_f^2}{C_L} \int_{t_{inv}}^{t_d} \left(t - \frac{|V_{thp}|}{S_f} \right)^2 dt \quad (16)$$

로부터 직접 구할 수 있으며, t_d 의 범위는 $t_{LS} < t_d \leq t_f$ 가 된다.

최종적으로 지연 시간 t_{delay} 는

$$t_{delay} = t_d - \frac{t_f}{2} \quad (17)$$

로 구할 수 있다.

2) tLS tf Vthn/Sf

이 경우는 입력 신호의 천이 시간이 큰 경우로 분류

된다. 이 경우 $V_{LSn} = V_{m1} + V_{tem}$ 즉, 시간 t_{LS} 에서의 출력 전압 $V_o(t_{LS})$ 는 V_{LSn} 이다. 이 때 시간 t_{LS} 는 ($t_f - V_{thn}/S_f$)보다 작으므로 즉, 인버터의 출력 전압 V_o 는 ($t_f - V_{thn}/S_f$)이전의 시간인 t_{LS} 에서 V_{LSn} 에 도달하므로, nMOS가 포화 영역에서 동작하는 구간이 발생한다.

출력 전압과 입력 전압이 각각 $V_{LSn} < V_o \leq V_{DD} - V_{LSp}$ 이고 $V_{thn} < V_{in} \leq V_{DD} - |V_{thp}|$ ($V_{thn}/S_f < t \leq t_f - |V_{thp}|/S_f$)인 구간에 있으면 pMOS와 nMOS 모두는 포화 영역에서 동작하므로, 인버터는 그림 3(b)와 같이 모델링된다. 이 때 인버터 출력은 pMOS의 포화 전류와 nMOS의 포화 전류의 차 I_s 에 의해서 충전되며, 충전 전류 I_s 는

$$I_s = I_{Dsp} - I_{Dsn} = B_p S_f^2 \left(t - \frac{|V_{thp}|}{S_f} \right)^2 - B_n S_f^2 \left(\frac{V_{DD} - V_{thn}}{S_f} - t \right)^2 \quad (18)$$

과 같이 표현된다. 이 전류 I_s 에 의해서 $t_{LS} \leq t < t_f - V_{thn}/S_f$ 동안 출력단에 충전되는 전압을 V_{m3} 로 정의하면 V_{m3} 는,

$$V_{m3} = \frac{1}{C_L} \int_{t_{LS}}^{t_f - V_{thn}/S_f} I_s dt \quad (19)$$

으로부터 구해진다. V_{m3} 가 ($V_{DD}/2 - V_{LSn}$)보다 크면, $t_{LS} \leq t < t_f - V_{thn}/S_f$ 인 구간에서 V_o 는 $V_{DD}/2$ 에 도달하게 된다. 이 경우 t_d 는

$$t_d^3 + a_2 t_d^2 + a_1 t_d + a_0 = 0 \quad (20)$$

$$a_2 = 3 \frac{B_p \frac{|V_{thp}|}{S_f} - B_n \frac{V_{DD} - V_{thn}}{S_f}}{B_p - B_n} \quad (20a)$$

$$a_1 = 3 \frac{B_p \left(\frac{|V_{thp}|}{S_f} \right)^2 - B_n \text{left} \left(\frac{V_{DD} - V_{thn}}{S_f} \right)^2}{B_p - B_n} \quad (20b)$$

$$a_0 = - \frac{B_p \left(\frac{|V_{thp}|}{S_f} \right)^3 - B_n \left(\frac{V_{DD} - V_{thn}}{S_f} \right)^3 + K}{B_p - B_n} \quad (20c)$$

$$K = V_s \frac{3C_L}{S_f^2} + B_p \left(t_{LS} - \frac{|V_{thp}|}{S_f} \right)^3 + B_n \left(\frac{V_{DD} - V_{thn}}{S_f} - t_{LS} \right)^3 \quad (20d)$$

로부터 직접 구할 수 있다. 여기서 V_s 는 ($V_{DD}/2 -$

V_{LSn})을 나타낸다.

V_{m3} 가 $(V_{DD}/2 - V_{LSn})$ 보다 작으면, $t \geq t_f - V_{thn}/S_f$ 인 구간에서 V_o 는 $V_{DD}/2$ 에 도달하게 된다. $t_f - V_{thn}/S_f \leq t < t_f$ 동안 출력단에 충전되는 전압을 V_{m4} 라 정의하면, V_{m4} 는

$$V_{m4} = \frac{B_p S_f^2}{C_L} \int_{t_f - V_{thn}/S_f}^{t_f} \left(t - \frac{|V_{thp}|}{S_f} \right)^2 dt \quad (21)$$

와 같다. V_{m4} 가 $(V_{DD}/2 - V_{LSn} - V_{m3})$ 보다 크면 $t_f - V_{thn}/S_f \leq t < t_f$ 인 구간에서 V_o 는 $V_{DD}/2$ 에 도달하게 된다. 이 경우의 t_d 는,

$$V_{DD}/2 - V_{LSn} - V_{m3} = \frac{B_p S_f^2}{C_L} \int_{t_f - V_{thn}/S_f}^{t_d} \left(t - \frac{|V_{thp}|}{S_f} \right)^2 dt \quad (22)$$

로부터 구할 수 있다. V_{m4} 가 $(V_{DD}/2 - V_{LSn} - V_{m3})$ 보다 작으면 $t \geq t_f$ 인 구간에서 V_o 는 $V_{DD}/2$ 에 도달하게 된다. 이러한 경우 V_{m5} 는 $(V_{DD}/2 - V_{LSn} - V_{m3} - V_{m4})$ 가 되며 t_d 는 식(14)와 식(15)로부터 구할 수 있다.

최종적으로 지연 시간 t_{delay} 는 식(17)에 의해 구해진다.

3. 상승 천이 입력에 대한 인버터의 지연 시간 계산
 인버터의 출력이 하강 천이를 할 경우 입력은 그림 2(b)의 경우이며 상대 MOS는 pMOS이다. 이러한 경우 pMOS가 선형 영역에서 동작할 때의 모델은 그림 3 (b)와 (d)를 사용한다. 하강 천이의 경우 S_r 을 V_{DD}/t_r 이라 정의하면 pMOS와 nMOS의 포화 전류 식은 각각,

$$I_{DSp} = B_p S_r^2 \left(\frac{V_{DD} - |V_{thp}|}{S_r} - t \right)^2 \quad (23)$$

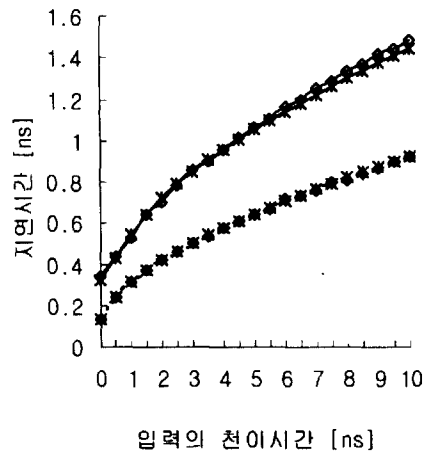
$$I_{DSn} = B_n S_r^2 \left(t - \frac{V_{thn}}{S_r} \right)^2 \quad (24)$$

와 같다. 하강 천이 지연 시간 모델의 유도는 앞에서 설명한 상승 천이 지연 시간 모델과 같은 방법을 사용할 수 있으므로 상세한 설명은 생략한다.

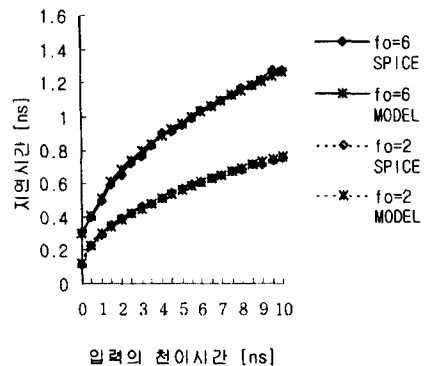
IV. 제안된 모델과 PSPICE의 비교

본 논문의 모델은 C-언어를 이용하여 실현되었다.

본 논문의 목적이 입력 천이 시간의 증가에도 그 정확성을 유지하는 것이므로, 입력 천이 시간을 0 [ns]에서 10 [ns]까지 변화시키면서 계산한 본 논문의 결과와 SPICE를 이용한 전산 모사의 결과를 비교하였다. 그 결과 그래프를 그림 4에 나타내었는데, SPICE 시뮬레이션을 위한 파라미터는 서두로직의 SC MOS SPICE Level 3 파라메타^[11]를 이용하였고, 채널의 길이는 모두 1.2 μ m로 하였으며, nMOS와 pMOS의 폭은 각각 2.4 μ m와 6.0 μ m로 하였다. 이러한 크기로 설계했을 때 5 [V]의 V_{DD} 에 대해서 V_{inv} 는 2.4645 [V]로서 $V_{DD}/2$ 보다 약간 작은 값으로 나타났다. 그림 4에서 fo는 인버터의 출력단에 연결되는 MOS의 수를 의미한다. 즉, fo=2는 한 개의 인버터를 구동하는 경우이며, fo=6은 세 개의 인버터를 구동하는 경우를 나타낸다. 더 많은 MOS 게이트를 구동할수록 출력단의 커패시턴스는 커지며 이에 따라 지연 시간도 커진다.



(a)



(b)

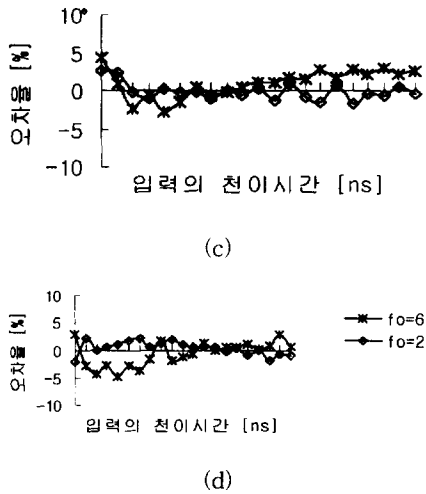


그림 4. 모델과 SPICE 결과의 비교 그래프
 (a) 상승 천이 지연 시간에 대한 결과 (b) 하강 천이 지연 시간에 대한 결과 (c) 상승 천이 지연 시간의 SPICE에 대한 모델의 오차율 (d) 하강 천이 지연 시간의 SPICE에 대한 모델의 오차율

Fig. 4. Comparison graph of the results for the model from this paper and SPICE.
 (a) The results for rising transition delay time. (b) The results for falling transition delay time. (c) The relative error rate of rising transition delay time. (d) The relative error of falling transition delay time.

그림 4(a)와 (b)는 각각 입력의 하강 천이와 상승 천이에 대한 출력의 지연 시간을 입력의 천이 시간에 대해 나타낸 것이다. 기존의 발표된 논문^[1,2,3,4,7]에서 모델과 SPICE 결과가 입력의 천이 시간이 작은 경우에는 비교적 잘 일치하나 입력의 천이 시간이 증가함에 따라 두 결과의 차이가 급격히 커지는 경향과는 달리, 본 논문의 두 그래프에서는 입력의 천이 시간의 크고 작음에 관계없이 모델과 SPICE 결과가 잘 일치하고 있음을 볼 수 있다. 본 논문의 결과에 대한 경향성 여부를 좀 더 명확히 나타내기 위해서 그림 4(c)와 (d)에 출력의 상승 천이와 출력의 하강 천이에 대해, 제안된 모델의 SPICE 결과에 대한 오차율을 각각 나타내었다. 이 두 그림에서 볼 수 있듯이, 본 논문의 결과는 입력의 천이 시간에 대한 어떠한 경향성도 보이고 있지 않으며, 오차율 또한 5%이내로 충분한 정확성을 갖고 있음을 알 수 있다.

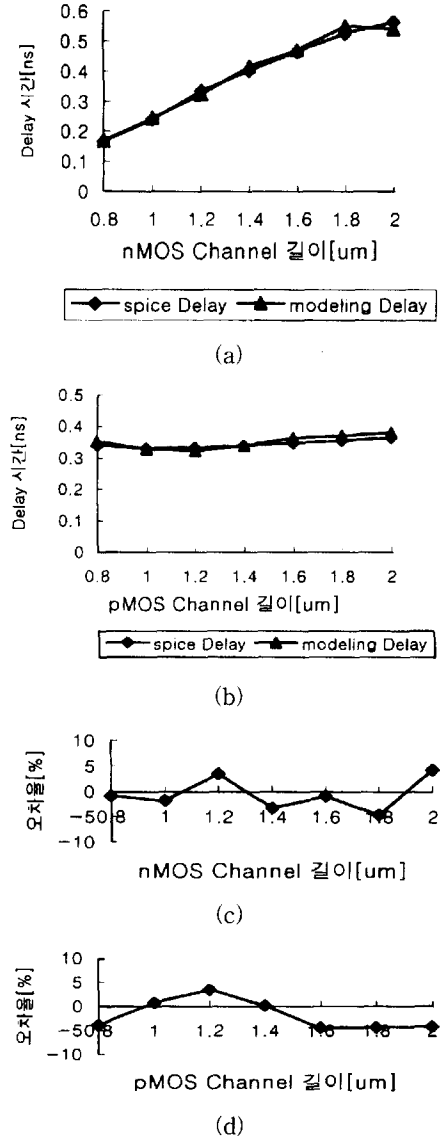
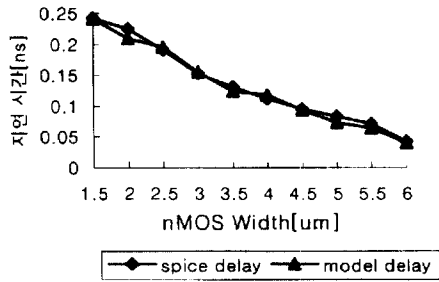
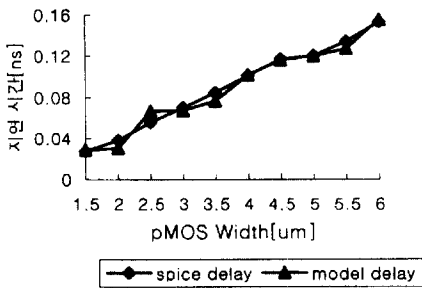


그림 5. 채널 길이 변화에 대한 지연 시간 변화 및 오차율
 (a) nMOS의 채널 너비 변화에 대한 지연 시간 비교 (b) pMOS의 채널 길이 비율 변화에 대한 지연 시간 비교 (c) nMOS의 채널 길이 변화에 대한 SPICE 상대 오차율 (d) pMOS의 채널 길이 변화에 대한 SPICE 상대 오차율

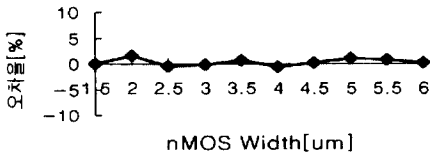
Fig. 5. Delay time and error rate as channel length varies.
 (a) Delay time Comparison when channel length of nMOS varies (b) Delay time Comparison when channel length of pMOS varies (c) The relative error rate to SPICE when length of nMOS varies (d) The relative error rate to SPICE when length of pMOS varies.



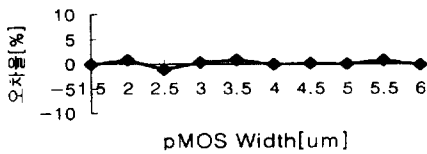
(a)



(b)



(c)



(d)

그림 6. 채널 너비 변화에 대한 지연 시간 변화 및 오차율

(a) nMOS의 채널 너비 변화에 대한 지연 시간 비교 (b) pMOS의 채널 너비 비율 변화에 대한 지연 시간 비교 (c) nMOS의 채널 너비 변화에 대한 SPICE 상대 오차율 (d) pMOS의 채널 너비 변화에 대한 SPICE 상대 오차율

Fig. 6. Delay time and error rate as channel width varies.

(a) Delay time Comparison when channel width of nMOS varies (b) Delay time Comparison when channel width of pMOS varies (c) The relative error rate to SPICE when width of nMOS varies (d) The relative error rate to SPICE when width of pMOS varies.

인버터를 구성하는 두 MOS의 크기와 두 MOS의 크기비가 변화할 때 본 논문에서 제안한 모델의 지연 시간 예측 능력을 보이기 위해 각 MOS의 길이와 너비를 각각 변화시킨 결과를 그림 5와 그림 6에 각각 나타내었다. 그림 5는 각 MOS의 길이를 0.8 μm 에서 2.0 μm 까지 변화시킨 결과이고, 이 때 채널의 너비는 nMOS와 pMOS가 각각 3.0 μm 와 6.0 μm 이었다. 그림 6의 경우는 nMOS와 pMOS의 채널 길이를 모두 1.2 μm 로 고정시키고 두 MOS의 너비를 1.5 μm 에서 6.0 μm 로 변화시켰을 때의 결과이다. 두 그림에서 볼 수 있듯이, 제안된 모델을 MOS 크기의 변화 크기와 방법에 관계없이 지연 시간을 잘 예측하고 있으며, 여전히 SPICE에 대한 오차율이 5%를 넘지 않음을 알 수 있다.

지연 시간 모델의 목적은 시스템 설계의 초기 단계에서 지연 시간을 정확하게 그리고 빠르게 예측하는데 있으므로, 모델이 지연 시간을 분석하는데 걸리는 시간 또한 정확성만큼 중요하다. 본 논문에서 제시한 방법으로 지연 시간을 분석하기 위해 C-언어로 구현된 프로그램이 21개의 인버터의 지연 시간을 분석하기 위해 소요하는 시간은 0.11초로서, 1개의 인버터의 지연 시간을 분석하는데 걸리는 시간은 평균적으로 약 0.005초에 불과 하였다. 같은 수의 인버터의 지연 시간을 분석하기 위해 SPICE를 실행했을 때 총 작업 시간은 7.51초였으므로, 본 논문의 모델이 SPICE보다 약 70배 정도 더 빠르게 지연 시간을 분석할 수 있음을 알 수 있었다.

본 논문에서는 출력단이 구동하는 게이트들을 고정된 부하 커패시터로 모델링하였으나 이러한 부하 커패시터의 계산 방법을 더 연구, 개선하면 오차율을 더욱 줄일 수 있을 것으로 생각된다.

V. 결론

본 논문에서는 입력의 천이 시간이 크고 작용에 관계없이 지연 시간을 정확히 예측하는 간단한 CMOS 인버터의 지연 시간 모델을 제안하였다. 지연 시간 모델에서 상대 MOS (Complementary MOS)를 고려하는 것은 매우 복잡한 일이다. 그러나, 본 논문에서는 게이트의 구성 인자인 MOS를 효과적으로 간단히 모델링함으로써 수식의 복잡함 없이 상대 MOS를 고려하는 지연 시간 모델을 유도할 수 있었다. 또한 인버터

를 구성하는 두 MOSFET의 동작 영역 변화를 정확히 파악하여 누설전류의 영향을 충분히 고려하고, 각 영역에서의 입·출력 전압과 시간과의 관계를 찾음으로써, 빠르고 정확한 인버터 지연시간 모델을 형성할 수 있었다. 본 논문에서 제시한 모델은 SPICE에 비해 5% 이내의 오차를 보이고 입력 신호의 천이 시간의 크고 작음에 대해 어떠한 경향성도 보이지 않으며, 계산 시간 또한 SPICE에 비해 70배 정도 빠른 것으로 나타났다. 따라서, 기존의 모델들에 비해 우수한 특성을 보임을 알 수 있다.

본 연구 이후에 진행될 수 있는 연구 방향으로는 디지털 게이트들이 여러 단으로 연결될 경우 출력 신호에 대한 천이 파형을 선형화 시키는 작업과 인버터 이외의 더 복잡한 회로로 본 연구 결과 모델의 확장, 그리고 CMOS 이외 다른 실현 기술에 대한 지연 시간 모델의 형성등을 들 수 있다.

참 고 문 헌

- [1] J. R. Burns, Switching response of complementary symmetry MOS transition logic circuits, RCA Rev., vol. 25, pp. 627-661, 1964.
- [2] T. Sakurai and R. Newton, Alpha-power law MOSFET model and its applications to CMOS inverter delay and other formulas, IEEE J. Solid-State Circuits, vol. 25, no. 2, pp. 584-593, Apr. 1990.
- [3] T. Sakurai and Richard Newton, Delay analysis of series-connected MOSFET circuits, IEEE J. Solid-State Circuits, vol. 26, no. 2, pp. 122-131, Feb. 1991.
- [4] M. Annaratone, *Digital CMOS Circuit Design*, Kluwer Academic Publishers, Massachusetts, 1986.
- [5] Santanu Dutta, Shivaling S. Mahant Shetti, and Stephen L. Lusky, A Comprehensive delay model for CMOS inverters, IEEE J. Solid-State Circuits, vol. 30, no. 8, pp. 864-871, Aug. 1995.
- [6] S. H. K. Embabi and R. Damodaran, Delay models for CMOS, BiCMOS and BiNMOS circuits and their applications for timing Simulations, IEEE Trans. Computer-Aided Design, vol. 13, no. 9, pp. 1132-1142, Sep. 1994.
- [7] Kjell O. Jefferson Modeling the influence of the transistor gain ratio and the input-to-output coupling capacitance on the CMOS inverter delay, IEEE J. Solid-State Circuits, vol. 29, no. 6, pp. 646-654, Jun. 1994.
- [8] John P. Uyemura, *Circuit Design for CMOS VLSI*, Kluwer Academic Publishers, Massachusetts, 1992.
- [9] S. Wolf, *Silicon Processing for the VLSI Era Volume.3-The Submicron MOSFET*, Lattice Press, California, 1995.
- [10] Y. P. Tsividis, *Operation and Modeling of the MOS Transistor*, McGraw-Hill, New York, 1987.
- [11] 유영욱 외 4명, MyCAD를 이용한 논리회로 및 집적회로의 설계, (주)서두로직, 서울, pp. 355-358, 1992.

저 자 소 개



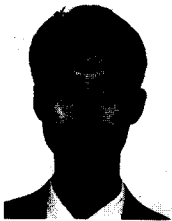
金 東 郁(正會員)

1960년 8월 23일생. 1983년 2월 한양대학교 전자공학과 졸업(공학사). 1985년 2월 한양대학교 대학원 졸업(공학석사). 1991년 9월 Georgia 공과대학 전기공학과 박사과정 졸업(공학박사). 1992년 3월 ~ 현재 광운대학교 전자재료공학과 부교수. 광운대학교 신기술연구소 연구원. 주관심분야는 디지털 Testability, VLSI CAD, 소자 및 회로 모델링임



崔 泰 溶(正會員)

1968년 8월 16일생. 1995년 2월 광운대학교 전자 재료 공학과 졸업(공학사). 1997년 2월 광운대학교 대학교 전자재료공학과 졸업(공학석사). 1997년 1월 ~ 현재 삼성 전자 반도체 SYSTEM LSI 본부. MICOM 2팀 근무. 주관심분야는 VLSI CAD 설계, 소자 및 회로 모델링임



丁 炳 權(正會員)

1971년 3월 15일생. 1995년 광운대학교 전자재료공학과 졸업(공학사). 1997년 3월 현재 광운대학교 전자재료공학과 석사. 주관심분야는 VLSI CAD 설계, 소자 및 회로 모델링임