

論文97-34C-6-4

# 높은 선형성을 가진 3 V 10b 영상 신호 처리용 CMOS D/A 변환기 설계

## (A Design of a Highly Linear 3 V 10b Video-Speed CMOS D/A Converter)

李姪勳\*, 全炳烈\*, 尹相元\*, 李承勳\*

(Seung-Hoon Lee, Byeong-Lyeol Jeon, Sang-Won Yun, and Seung-Hoon Lee)

### 요 약

본 논문에서는 높은 선형성을 가진 영상 신호 처리용 CMOS 전류 모드 D/A 변환기를 제안한다. 제안된 회로는 D/A 변환기의 INL 특성을 향상시키기 위하여 경사 오차 (graded error)와 대칭 오차 (symmetrical error)를 동시에 감소시키는 새로운 스위칭 방법을 사용하였다. 또한, 5 V 전원 전압에서 뿐만 아니라, 3 V 수준의 저전원 전압에서도 동작하도록 설계하였으며, D/A 변환기 출력의 급격한 변화 (glitch energy)로 인해 변환기 성능이 감소되는 것을 최소화하기 위하여 새로운 디글리칭 회로 (deglitching circuit)를 사용하여 D/A 변환기를 설계하였다. 제안된 회로는 LG 0.8  $\mu\text{m}$  n-well single-poly double-metal CMOS 공정을 사용하여 제작되었으며, 제작된 칩의 DNL과 INL은 각각  $\pm 0.5$  LSB와  $\pm 0.8$  LSB 이내로 측정되었고, 3 V의 전원 전압에서 전력 소모는 75 mW였다. 제안된 D/A 변환기의 칩 면적은 2.4 mm  $\times$  2.9 mm이다.

### Abstract

In this work, a highly linear video-speed CMOS current-mode digital-to-analog converter (DAC) is proposed. A new switching scheme for the current cell matrix of the DAC simultaneously reduces graded and symmetrical errors to improve integral nonlinearities (INL). The proposed DAC is designed to operate at any supply voltage between 3 V and 5 V, and minimizes the glitch energy of analog outputs with deglitching circuits developed in this work. The prototype DAC was implemented in a LG 0.8  $\mu\text{m}$  n-well single-poly double-metal CMOS technology. Experimental results show that the differential and integral nonlinearities are less than  $\pm 0.5$  LSB and  $\pm 0.8$  LSB respectively. The DAC dissipates 75 mW at a 3 V single power supply and occupies a chip area of 2.4 mm  $\times$  2.9 mm.

### I. 서 론

고속도 고해상도 D/A 변환기 (Digital-to-Analog Converter)는 스캐닝 그래픽 시스템, digital signal processor, 고선명 TV, MPEG 카드 등 고성능 영상 신호 시스템의 출력단에서 필수적으로 사용되는 인터페이스 회로 중의 하나이다<sup>[1]-[6]</sup>. 이러한 고속도 고

해상도를 위해 많은 D/A 변환기가 바이폴라 공정이나 BiCMOS 공정으로 개발되어 왔으나, 회로의 소형화, 경량화, 저전력화로의 추세 및 아날로그 기능과 디지털 기능을 같은 소자 안에 구현하는 혼성 모드 (mixed mode) 시스템의 응용이 점증하는 추세에 따라 고집적 디지털 회로 설계용 CMOS 공정을 이용한 D/A 변환기 개발이 필수적이다. 이러한 CMOS 전류 모드 D/A 변환기는 고속 동작이 가능하면서도 디지털 공정으로 구현이 가능하다는 장점을 갖고 있지만, 공정 변수 변화나 전류원 (current source)의 부정합 등으로 해상도가 제한되어 왔다. 현재까지 개발 또는 연구된 D/A

\* 正會員, 西江大學校 電子工學科

(Dept. of Electronics Engineering, Sogang University)

接受日: 1997年1月31日, 수정완료일: 1997年6월4일

변환기에 있어서 10 비트의 해상도를 가지는 D/A 변환기는 주로 5 V 전원 전압을 이용하였고, 3 V 전원 전압을 이용하는 경우 해상도가 8 비트 정도로 제한되었으며, 3 V 전원 전압을 사용하는 10 비트 D/A 변환기에서는 선형성 문제가 제기되어 왔다. 또한, 고속으로 동작하는 전류 모드 D/A 변환기에서 출력의 글리치 에너지 (glitch energy)로 인해 변환기 성능이 감소되므로 이러한 글리치 에너지를 최소화하기 위한 방법 역시 매우 중요하다.

본 연구에서 제안하는 10 비트 전류 모드 CMOS D/A 변환기는 선형성을 증가시키기 위하여 상위 7 MSB는 전류 셀 매트릭스 (current cell matrix)로, 하위 3 LSB는 이진 전류 열 (weighted current array)로 구성하여 DNL (differential nonlinearity) 특성을 향상시키고 동시에, 전류 셀 매트릭스에 대한 새로운 스위칭 기법을 이용하여 칩 내부에서 발생하는 경사 오차 (graded error)와 대칭 오차 (symmetrical error)에 의한 INL (integral nonlinearity) 특성 감소를 최소화하였다. 또한, 제안하는 D/A 변환기에서는 중간 래치 (second latch)를 추가하여 디지털 신호들 간의 지연 시간 차이를 제거하고, 전류 스위치 (current switch)를 구동하게 되는 디지털 입력 신호를 조정하는 새로운 디글리칭 회로 (degitching circuit)를 이용하여 D/A 변환기 출력의 글리치 에너지를 최소화하였다.

II 장에서는 선형성을 증가시키기 위한 방법 및 동작 모델 시뮬레이션 결과에 대해 논의하고, III 장에서는 글리치 에너지를 최소화하는 회로를 제안한다. IV 장에서는 본 논문에서 제안하는 D/A 변환기의 전체 구조에 대해 언급하고 V 장에서는 제작 및 측정 결과를 요약한다.

## II. 선형성 향상 기법

전류 모드 D/A 변환기의 전류원을 구성하는 방법으로는 크게 이진 전류 열 (binary-weighted current cell array)<sup>[7], [8]</sup>과 전류 셀 매트릭스 (unit current cell matrix)<sup>[9], [10]</sup>의 두 가지로 구분할 수 있으며, 장점 및 단점을 요약하면 다음과 같다. 이진 전류 열은 이진비로 구성되어 있는 전류원을 통해 원하는 전류를 출력하는 방법이며, 트랜지스터 개수가 적고 동작 속도가 높다는 장점이 있으나, 공정 상의 부정

합에 민감하고 글리치 에너지가 크다는 단점이 있다. 단위 전류원을 매트릭스 형태로 구성하는 전류 셀 매트릭스는 행과 열의 디코더에 의하여 코드 변화시 켜지거나 꺼지는 전류 셀의 개수가 최소화되므로 글리치 에너지가 상대적으로 적다. 또한, 전류원에 발생하는 부정합에 의한 선형성 감소는 매트릭스의 전류 셀이 켜지는 순서를 조정하는 스위칭 기법을 이용하여 최소화할 수 있다는 장점을 갖는다. 하지만, 디코더 및 래치 등의 추가 회로로 인해 동작 속도가 상대적으로 느리고, 전력 소모 및 면적이 상대적으로 증가하게 된다.

제안하는 D/A 변환기에서는 부정합에 둔감하면서도 선형성 증가와 글리치 에너지 감소를 위해 상위 7 MSB를 전류 셀 매트릭스로 구성하고 하위 3 LSB는 이진 전류 열로 구성하여 전력 소모 및 증가되는 디지털 회로를 최소화하였다. 위와 같은 혼용 구조에서 상위 7 MSB를 위한 전류 셀 매트릭스에 있는 하나의 전류 스위치에 흐르는 최대 전류는 1 LSB 전류의 8 배가 되므로, 이론적으로는  $\pm 6.25\%$ 의 전류값 부정합이 발생하더라도 DNL은  $\pm 0.5$  LSB 이하를 유지하게 되므로 부정합에 둔감하게 된다.

### 1. 제안하는 스위칭 방법

D/A 변환기에서 소자 부정합의 발생 원인으로는 크게 전력선 (power line)을 따라 생겨나는 전압 강하, 공정 변수 변화, 칩 내의 열 분포, 전류의 방향에 따른 전류값 부정합 등이 있으며, 이러한 발생 원인에 의해 전류원의 부정합 오차를 경사 오차 (graded error), 대칭 오차 (symmetrical error) 및 임의의 오차 (random error) 등으로 근사화 할 수 있다. 이러한 오차에 의한 선형성 감소를 최소화하는 기법은 전력선의 폭을 가능한 한 넓게 하는 방법 등의 회로 레이아웃 기법 외에 전류 셀 매트릭스에서 전류 셀을 동작시키는 순서를 조정하여 부정합에 의한 INL 특성을 향상시킬 수 있다. 기존의 전류 셀을 동작시키는 방법으로 1차원 기본 구조의 대칭적 스위칭 (one-dimensional conventional symmetrical switching)<sup>[4]</sup>, 1차원 계층 구조의 대칭적 스위칭 (one-dimensional hierarchical symmetrical switching)<sup>[6]</sup> 및 2차원 계층 구조의 대칭적 스위칭 (two-dimensional hierarchical symmetrical switching)<sup>[9]</sup> 등이 있는데, 이러한 방법들은 부정합에 의해 발생하는 경사 오차 또는 대칭 오차를 최소화하기 위해 개발되었다.

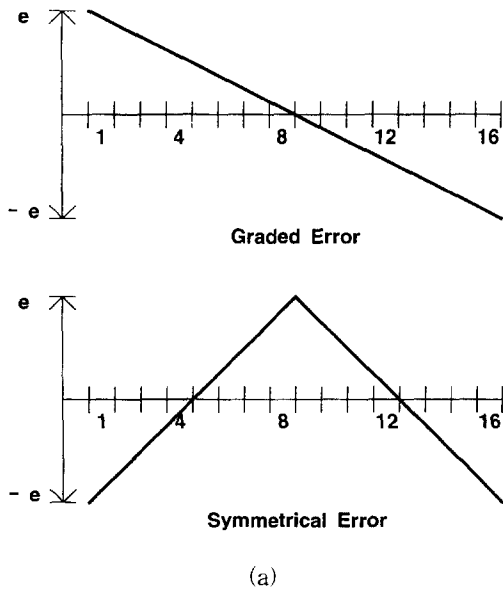


그림 1. (a) 경사 오차와 대칭 오차 및 (b) 기존의 스위칭 기법들  
 Fig. 1. (a) Graded and symmetrical errors and (b) conventional switching schemes.

그림 1의 (a)에서는 전류 셀 매트릭스에서 발생하는 경사 오차 및 대칭 오차를 보여 주며, 그림 1의 (b)에서는 기본 구조의 대칭적 스위칭과 계층 구조의 대칭적 스위칭 기법이 나타나 있다. 이러한 스위칭 기법들은 중심에 있는 셀을 기준으로 서로 대칭적 위치에 있는 셀들을 순차적으로 켜 줌으로써 오차에 의한 선형성 감소를 최소화하게 된다. 기본 구조의 대칭적 스위칭은 경사 오차는 감소시킬 수 있으나, 대칭 오차는 축적이 되는 반면, 계층 구조의 대칭적 스위칭은 경사 오차와 대칭 오차를 동시에 감소시킬 수 있다는 장점을 갖는다. 그러나, 위와 같은 스위칭 기법들은 매트릭스의 한 방향에 대한 오차만을 고려하는 단점이 있으므로, 보다 정확한 설계를 위하여 행과 열의 양 방향에 대한 2차원적인 오차를 고려하는 스위칭 기법이 필요하다.

15	13	11	9	7	5	3	1	2	4	6	8	10	12	14	16
31	39	27	25	23	21	19	17	18	20	22	24	26	28	30	32
47	45	43	41	39	37	35	33	34	36	38	40	42	44	46	48
63	61	59	57	55	53	51	49	50	52	54	56	58	60	62	64
79	77	75	73	71	69	67	65	66	68	70	72	74	76	78	80
111	109	107	105	103	101	99	97	98	100	102	104	106	108	110	112
127	125	123	121	119	117	115	113	114	116	118	120	122	124	126	128

(a)

14	10	6	2	1	5	9	13	15	11	7	3	4	8	12	16
30	26	22	18	17	21	25	29	31	27	23	19	20	24	28	32
46	42	38	34	33	37	41	45	47	43	39	35	36	40	44	48
62	58	54	50	49	53	57	61	63	59	55	51	52	56	60	64
78	74	70	66	65	69	73	77	79	75	71	67	68	72	76	80
94	90	86	82	81	85	89	93	95	91	87	83	84	88	92	96
110	106	102	98	97	101	105	109	111	107	103	99	100	104	108	112
126	122	118	114	113	117	121	125	127	123	119	115	116	120	124	128

(b)

126	122	118	114	113	117	121	125	127	123	119	115	116	120	124	128
62	58	54	50	49	53	57	61	63	59	55	51	52	56	60	64
46	42	38	34	33	37	41	45	47	43	39	35	36	40	44	48
110	106	102	98	97	101	105	109	111	107	103	99	100	104	108	112
78	74	70	66	65	69	73	77	79	75	71	67	68	72	76	80
14	10	6	2	1	5	9	13	15	11	7	3	4	8	12	16
30	26	22	18	17	21	25	29	31	27	23	19	20	24	28	32
94	90	86	82	81	85	89	93	95	91	87	83	84	88	92	96

(c)

126	122	118	114	113	117	121	125	95	91	87	83	84	88	92	96
62	58	54	50	49	53	57	61	31	27	23	19	20	24	28	32
46	42	38	34	33	37	41	45	15	11	7	3	4	8	12	16
110	106	102	98	97	101	105	109	79	75	71	67	68	72	76	80
78	74	70	66	65	69	73	77	111	107	103	99	100	104	108	112
14	10	6	2	1	5	9	13	47	43	39	35	36	40	44	48
30	26	22	18	17	21	25	29	63	59	55	51	52	56	60	64
94	90	86	82	81	85	89	93	127	123	119	115	116	120	124	128

(d)

그림 2. 상위 7 MSB 전류 셀 매트릭스에서의 스위칭 순서:  
 (a) 1차원 기본 구조의 대칭적 스위칭, (b) 1차원 계층 구조의 대칭적 스위칭, (c) 2차원 계층 구조의 대칭적 스위칭 및 (d) 제안된 스위칭 순서

Fig. 2. Switching sequences in a upper 7 MSB current cell matrix:  
 (a) one-dimensional conventional symmetrical switching, (b) one-dimensional hierarchical symmetrical switching, (c) two-dimensional hierarchical symmetrical switching, and (d) proposed switching.

그림 2는 상위 7 MSB 전류 셀 매트릭스에 대한 기존의 스위칭 기법들과 제안하는 기법의 스위칭 순서를 보여준다. 그림에서 볼 수 있듯이, 기존의 방법들은 한 행의 전류 스위치가 모두 켜지고 나서야 다른 행의 전류 스위치가 켜지게 되므로 그 행에 대한 경사 오차와 대칭 오차는 축적되게 된다. 기존의 방법들이 한 행의 중심에 대해 대칭적 위치에 있는 전류 스위치를 켜지게 하는 반면, 제안하는 스위칭 기법은 매트릭스 가운데 셀을 기준으로 행과 열에 대해 서로 대칭적 위치에

있는 전류 셀들을 번갈아 가며 켜 줌으로써 2차원적인 오차를 감소시키는 장점을 갖는다. 이러한 스위칭 기법은 디코더 (binary-to-thermometer decoder)의 각 출력들을 전류 셀 위치에 따라 배치함으로써 추가되는 회로없이 행해질 수 있다.

2. 동작 모델 시뮬레이션 결과

본 연구에서 제안하는 스위칭 기법을 비교 및 분석하여 그 유효성을 검증하고, 회로 설계 및 레이아웃 수행시 최대한의 설계 여유를 두면서, 10 비트 수준의 해상도를 얻기 위한 전류 셀간의 최소한의 필요한 부정합 정도를 예측하기 위해 동작 모델 시뮬레이션을 하였다. 동작 모델 시뮬레이션에 사용된 스위칭 방법은 (a) 1차원 기본 구조의 대칭적 스위칭, (b) 1차원 계층 구조의 대칭적 스위칭, (c) 2차원 계층 구조의 대칭적 스위칭 등 세 가지 기존의 스위칭 기법과 (d) 제안된 스위칭의 네 가지이며, 시뮬레이션 결과를 같은 소자 부정합의 조건에서 비교 분석하였다. 시뮬레이션에 있어서 임의의 오차, 경사 오차와 대칭 오차는 각각 독립적이라 가정하였고, 전류 셀 매트릭스에서의 경사 오차와 대칭 오차는 실제 레이아웃을 고려하여 행 방향과 열 방향에 대하여 같은 크기의 오차를 갖는다고 가정하였다. 따라서, 부정합 오차가 발생할 경우, 각 셀의 전류값은 각각의 오차에 의하여 발생하는 오차 전류값을 이상적인 전류값에 더한 값이 되며, 디지털 입력 코드가 하나씩 증가할 때의 전류값으로써 INL을 구할 수 있게 된다.

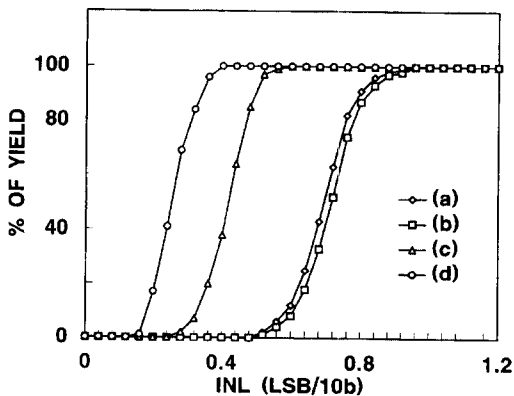


그림 3. 임의의 오차, 경사 오차 및 대칭 오차가 각각 33% 존재할 때 INL 수율

Fig. 3. INL yield when the DAC cell matrix has random, graded, and symmetrical errors evenly.

그림 3은 가장 작은 전류 셀 간의 부정합 오차가 1.0% 일 때의 동작 모델 시뮬레이션 결과로서 임의의 오차, 경사 오차 및 대칭 오차 전부가 각각 33% 씩 존재할 때의 INL 수율을 보여 준다. 실제 칩을 제작할 때, 공정에 따라 약간의 차이는 있을 수 있으나, 임의의 오차, 경사 오차 및 대칭 오차가 모두 존재한다고 생각할 수 있기 때문에, 이들 오차가 같은 오차율을 갖는다고 가정할 때 제안하는 스위칭 기법을 사용하는 D/A 변환기의 INL 특성이 기존의 스위칭 기법을 사용하는 경우 얻을 수 있는 최적의 INL 특성보다도 대략 30% 이상 향상됨을 그림 3에서 확인할 수 있다.

동작 모델 시뮬레이션을 위와 같이 분석한 결과, 임의의 오차만 존재할 경우 위의 네 가지 방법 모두가 거의 유사한 INL 특성을 보였다. 임의의 오차와 경사 오차가 동시에 존재하는 경우, 제안된 스위칭 기법은 기존의 스위칭보다 향상된 INL 특성을 갖게 되며, 임의의 오차와 대칭 오차가 동시에 존재할 경우, 제안된 스위칭 기법은 2차원 계층 구조의 대칭적 스위칭과 거의 같은 INL 특성을 갖고, 다른 두 가지 기법들보다는 향상된 특성을 갖는다. 임의의 오차, 경사 오차 및 대칭 오차가 모두 존재할 경우 제안된 스위칭 기법은 기존의 기법들보다 향상된 INL 특성을 갖는다.

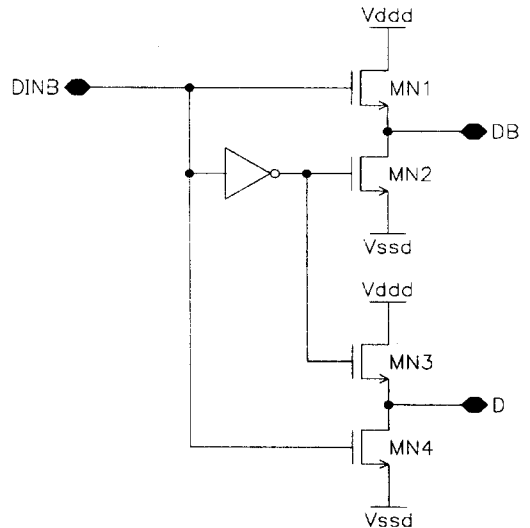


그림 4. 제안하는 디글리칭 회로  
Fig. 4. Proposed deglitching circuit.

III. 글리치 에너지 최소화 기법

D/A 변환기의 높은 글리치 에너지의 발생 원인은

전류 스위치를 구동하는 디지털 코드의 불완전한 동기, 전류 소스의 채널 길이 변화 (channel length modulation) 현상, 전류 소스와 관련된 기생 캐패시턴스, 디지털 입력 데이터의 피드스루 현상 및 스위칭 시간 동기 차이 등을 들 수 있다. 이러한 높은 글리치 에너지는 입력 래치를 이용하여 디지털 신호를 시간상으로 정확히 동기 시키거나 전류원을 캐스코드 (cascode) 형태로 사용하여 감소시킬 수 있다. 특히, 본 논문에서는 전류 스위치를 동작시키는 디지털 신호의 타이밍 및 출력 전압을 조절할 수 있는 디글리칭 회로를 추가로 사용함으로써 글리치 에너지를 감소시킨다.

그림 4는 본 연구에서 제안하는 디글리칭 회로로 하나의 인버터 (inverter)와 4개의 NMOS 트랜지스터들로 구성되어 있다. 이들 NMOS 트랜지스터는 2개의 버퍼 (buffer)를 구성하며, 이들 각각의 버퍼 출력은 서로 반대가 된다. NMOS 버퍼는 버퍼 출력 전압을 전형적인  $V_{dd}$ 에서 ( $V_{dd} - V_{th}$ )로 낮춤으로써 큰 디지털 신호로 인한 스위치 피드스루의 값을 줄일 수 있는 장점을 갖는다.

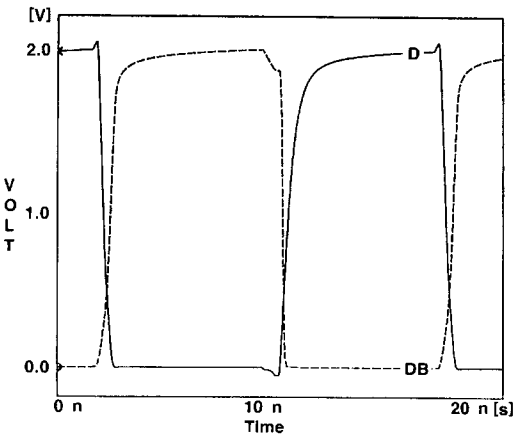


그림 5. 제안하는 디글리칭 회로의 출력 파형  
Fig. 5. Output waveforms of the proposed deglitching circuit.

인버터는 하나의 입력으로 두 개의 출력을 만들기 위해 필요하며 인버터를 구성하는 트랜지스터의 채널 길이 (length)를 조절함으로써 두 개의 버퍼 출력이 교차하는 지점을 변화시킨다. 일반적으로 전류 스위치가 동작할 때, 두 개의 스위치를 약간의 시간에 걸쳐 동시에 켜지게 한 다음, 디지털 입력 값에 따라 스위치를 완전히 켜거나 끄는 기법으로 글리치 에너지를 줄일

수 있다. 따라서, PMOS 전류 스위치를 사용한다면 두 개의 전류 스위치가 동시에 켜질 수 있도록 버퍼 출력의 교차점이  $V_{ssd}$ 에 가깝게 해야 한다.

그림 5는 제안하는 디글리칭 회로의 출력을 나타내며, 실선은 그림 4의 D의 출력 파형이고, 점선은 그림 4의 DB의 출력 파형이다. 그림 5에서 알 수 있듯이, 전원 전압이 3 V 일 때, 두 출력의 교차점이 0.5 V 정도으로써 PMOS 전류 스위치를 동시에 켜질 수 있게 하며 최대 출력 전압은 2.0 V 정도으로써 디지털 피드스루에 의한 영향을 감소시키게 된다.

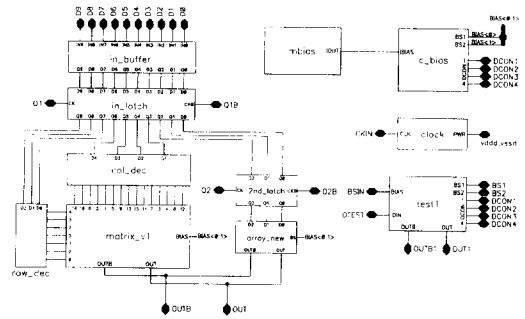


그림 6. 제안하는 10 비트 D/A 변환기 전체 회로  
Fig. 6. Proposed 10 bit D/A converter.

#### IV. 제안하는 D/A 변환기 구조

제안하는 10 비트 D/A 변환기는 LG 0.8  $\mu\text{m}$  single-poly double-metal n-well CMOS 공정을 사용하여 설계되었으며 전체 회로도 그림 6과 같다. D/A 변환기는 버퍼 (in\_buffer)를 통하여 디지털 입력 신호를 받아들이고, 래치 (in\_latch)에 의하여 입력 신호를 동기시킨다. 동기된 디지털 입력 신호중 7 MSB는 전류 셀 매트릭스를 동작시키기 위한 두 개의 디코더 (row\_dec 및 col\_dec)로 전달되며, 3 LSB는 중간 래치 (2nd latch)를 거쳐, 이진 전류 열 (array\_new)로 전달된다. 두 개의 디코더에서 발생하는 출력 신호들은 전류 셀 매트릭스 (matrix\_v1)를 구성하는 127 개의 전류 셀을 선택적으로 동작시키게 되며, D/A 변환기의 모든 셀에 흐르는 전류는 온 칩 전류 레퍼런스 회로 (mbias)<sup>[11]</sup>에 의해 생성된다.

바이어스 회로 (c\_bias)는 전류 레퍼런스 회로에서 생성된 전류를 D/A 변환기의 모든 셀에 공급하게 되며, 3 V의 저전원 전압에서도 캐스코드 형태의 전류원

이 동작할 수 있도록 해준다. 또한, DCON1부터 DCON4까지의 디지털 신호를 외부에서 조절하여 전류 값을 조절할 수 있다. 디지털 입력의 동기 및 전류 셀의 동기를 위한 래치를 구동하는 클럭은 클럭 발생 회로 (clock)에서 외부 클럭 (CKIN)을 원하는 클럭으로 생성 및 변형시킨다. 또한, 매트릭스에서의 하나의 전류 셀과 바이어스 회로로 구성된 테스트 회로 (test1)를 함께 제작하여 칩 제작후 제안된 회로의 정상 동작 확인 및 발생할 수 있는 문제점 등을 확인해 볼 수 있도록 하였다.

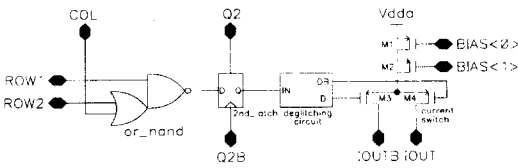


그림 7. 전류 셀 매트릭스의 전류 셀  
Fig. 7. Current cell in the cell matrix.

그림 7은 전류 셀 매트릭스를 구성하는 전류 셀을 나타낸다. 전류 셀의 디코더 (or\_nand)에서 ROW1과 ROW2는 행 방향의 디코더 출력을 받아들이고 COL1은 열 방향의 디코더 출력의 받아들여 동작 여부를 결정하게 된다. 또한, 중간 래치 (2nd\_latch)는 Q2 클럭이 HIGH일 때 디코더 출력 신호들을 동기시켜 지연 시간에 따른 글리치 에너지를 최소화한다. M1부터 M4까지의 PMOS로 구성된 전류 스위치 (current switch)는 디글리칭 회로의 출력에 의해 IOUT으로 원하는 전류를 흐르게 한다. IOUTB는 전류 스위치의 또다른 출력 부분으로 IOUT의 보수 (complement)에 해당하는 전류가 흐르며, IOUT과 같은 부하 조건을 갖게 함으로써 전류 스위치의 동작에 의하여 전류원을 안정하게 동작하게 한다.

D/A 변환기는 5 V에서 3 V사이의 전원 전압에서도 동작하게 되어 있고, 75 Ω 부하 임피던스를 고려하여 아날로그 출력의 최대값이 1 V가 되도록 설계되었다. 따라서, 전류 스위치에서 흐르는 아날로그 전류는 케이블 임피던스 매칭을 고려하여 식 (1)에서와 같이 26.67 mA 정도가 흐르게 된다. 또한, 측정 장비 또는 응용 시스템의 입력 임피던스가 75 Ω이 아닌 경우를 고려하여 여러 가지 임피던스 값에 따라 아날로그 최대 출력 전압이 1 V가 되도록 칩 외부에서 아날로그 전류값을 조절할 수 있도록 하였다.

$$\frac{1 \text{ V}}{37.5 \ \Omega} = 26.67 \text{ mA} \tag{1}$$

제안된 D/A 변환기 전체 시스템의 시뮬레이션 결과, 3 V의 전원 전압에서 50 MHz로 동작할 때, 37.5 Ω 출력 저항에 1 V 최대 출력을 얻기 위하여 아날로그 전력 소모는 전류 레퍼런스 회로에서 소모되는 전력을 포함하여 89 mW이고, 디지털 전력 소모는 22 mW가 되어 전체 전력 소모는 111 mW이다. 시뮬레이션 결과, settling time은 최대 16 ns이며, 전체 회로 시뮬레이션 (full-chip simulation) 결과를 표 1에 요약하였다.

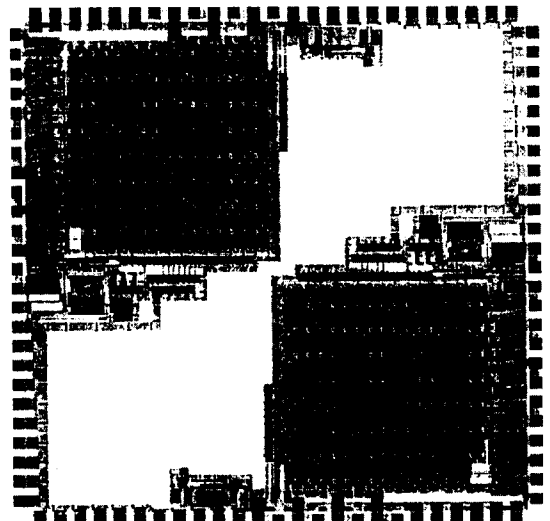
표 1. D/A 변환기의 전체 회로 시뮬레이션 결과

Table 1. Full-chip simulation results of the D/A converter.

공급 전원	3 V
동작 주파수 (f <sub>s</sub> )	50 MHz
전력 소모 (R <sub>out</sub> = 37.5 Ω, C <sub>out</sub> = 20 pF)	111 mW
Settling Time	16 ns
Glitch Energy	6.8 ps · V

### V. 제작 및 측정 결과

제안된 D/A 변환기는 새로운 스위칭 기법을 이용하여 두 개의 D/A 변환기가 100 pin QFP로 제작되었으며, 레이아웃은 그림 8의 (a)와 같다.



(a)

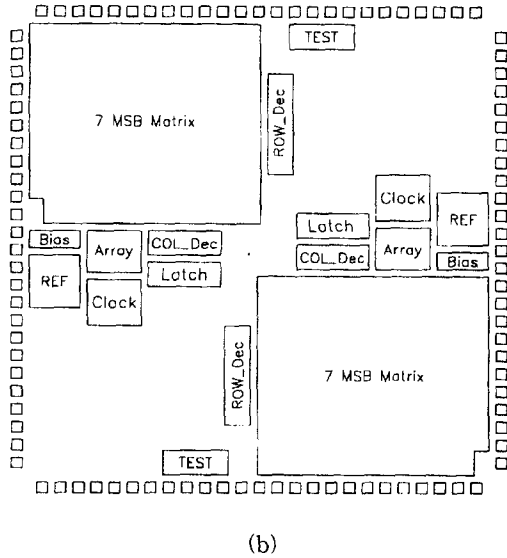


그림 8. (a) D/A 변환기의 전체 레이아웃 및 (b) 회로 기능도  
 Fig. 8. (a) D/A converter layout and (b) circuit block diagram.

그림 8의 (b)는 회로 기능도이며, 제작된 D/A 변환기는 10 비트의 디지털 입력에 대한 디지털 입력 버퍼와 래치 (Latch), 클럭 발생 회로 (clock), 두 개의 디코더 (ROW\_Dec과 COL\_Dec), 바이어스 회로 (Bias), 테스트 회로 (TEST), 하위 3 비트의 이진 전류 열 (Array)과 127 개의 전류 셀로 구성된 전류 셀 매트릭스 (7 MSB Matrix)로 구성되어 있으며, 전류 레퍼런스 회로 (REF)가 온 칩으로 구현되었다.

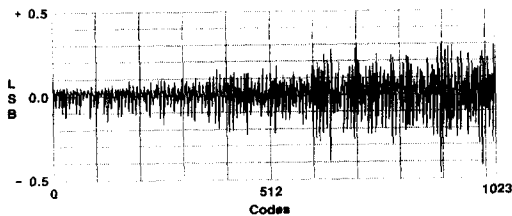


그림 9. 측정된 DNL  
 Fig. 9. Measured DNL.

제작된 D/A 변환기의 선형성 (linearity) 측정인 DNL과 INL 측정은 삼성 전자 자동 측정 시스템 중의 하나인 A585 기기에서 이루어졌으며, 전류 레퍼런스 회로의 안정한 동작을 위하여 외부에서 전압을 인가하고 3 V 전원 전압에서 75 Ω 출력 저항 조건에서 측정을 하였다.

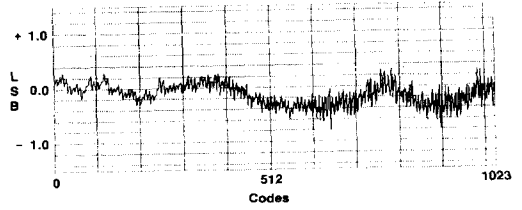


그림 10. 측정된 INL  
 Fig. 10. Measured INL.

그림 9 및 그림 10은 제작된 D/A 변환기의 DNL과 INL을 나타내며, 그림에서 보는 바와 같이 DNL은 ± 0.5 LSB, INL은 ±0.8 LSB 수준임을 알 수 있다. SNDR (signal to noise and distortion ratio)의 경우, 50 MHz의 동작 주파수에서 1 MHz의 출력 주파수가 발생하게 하였을 때의 FFT 분석 결과가 그림 11에 나타나 있다. 그림 11에서 주파수 대역이 10 MHz로 제한된 것은 자동 측정 시스템에서의 신호 대역을 자세히 관찰하기 위해 조정된 결과이며, SNDR은 35 dB로 측정되었다.

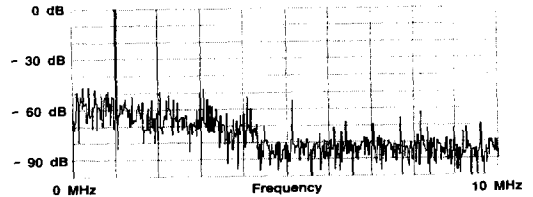


그림 11. FFT 분석 결과 1 (f<sub>S</sub> = 50 MHz, f<sub>OUT</sub> = 1 MHz)  
 Fig. 11. FFT plot 1 (f<sub>S</sub> = 50 MHz, f<sub>OUT</sub> = 1 MHz).

실제 제작한 시제품 D/A 변환기를 설계 사양에 따라 측정하는 동안, D/A 변환기 성능 평가를 위해 제작한 측정 보드 (test board)에서 심각한 잡음 전달 현상이 발생하였다. 특히, 높은 주파수를 가지는 클럭과 디지털 입력이 측정 보드 상의 아날로그 및 디지털 전원 전압을 불안정하게 하며, 3 V 전원 전압과 50 MHz의 동작 주파수 조건에서 측정 보드에서의 아날로그 전원 전압은 ±150 mV 정도 변하게 되었다. 이는 제작된 D/A 변환기의 전류 레퍼런스 회로가 불안정한 동작을 하는 동시에 전체 시스템의 고속 동작 성능을 감소시키게 되었다.

즉, 전류 레퍼런스 설계시, 온도 특성과 전원 전압 특성을 모두 최적화하기 위하여 출력 전류의 온도 계

수는 대략 100 ppm/°C, 전원 전압에 대한 변화율은 3.6 %/V로 설계하였다. 특히, 전원 전압에 대한 변화율을 3.6 %/V로 설계한 것은 측정 환경상 전원 전압이 30 mV 정도 흔들릴 경우에도 D/A 변환기 최종 출력에서 10 비트 정확도를 보장할 수 있기 때문이었다. 그러나, 실제 측정 환경에서 측정 보드의 잡음 전달 현상으로 인해 전원 전압이 ±150 mV 정도 변화게 되었고, 이에 전류 레퍼런스 회로의 출력 전류 특성에 의하여 10 비트 D/A 변환기의 1 LSB에 해당하는 아날로그 출력 변화인 1 mV의 11 배인 11 mV의 변화를 가져오게 되었다. 전류 레퍼런스 측정 결과, 저항 값과  $t_{ox}$  등의 공정 변수의 변화로 인해 출력 전류의 레벨 변화와 전원 전압에 대한 출력 전류의 변화율이 증가하였으나, 보정편에 의하여 출력 전류의 레벨 보정은 가능하였다. 향후에는 이러한 공정 변수가 변하더라도 원하는 10 비트를 보장하기 위하여 설계시 레퍼런스의 전원 전압 특성을 0.3 %/V 미만으로 최적화할 필요가 있다.

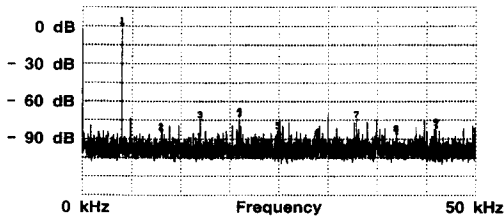


그림 12. FFT 분석 결과 2 ( $f_S = 100$  kHz,  $f_{OUT} = 5$  kHz)

Fig. 12. FFT plot 2 ( $f_S = 100$  kHz,  $f_{OUT} = 5$  kHz).

한편, 제작된 D/A 변환기가 기능적인 측면에서 정상적으로 동작하는지를 확인하기 위하여 100 kHz의 낮은 동작 주파수에서 출력 주파수가 5 kHz가 되게 하였을 때의 FFT 분석 결과가 그림 12에 나타나 있고, SNDR는 56 dB로 측정되었다. 그림 12의 SNDR 측정은 Analog Devices 사의 AD9955 DDS 보드(direct digital synthesizer board)의 디지털 출력 코드를 이용하여 디지털 코드를 생성하게 하고, D/A 변환기의 출력을 A/D 변환기로 변환하여 Burr Brown 사의 A/D 변환기 측정 시스템에서 측정한 것이다. 측정에 사용되는 A/D 변환기는 고해상도이어야 하므로 실제 측정에서는 14 비트의 고해상도를 가진 AD779를 이용하였으나, 이 AD779의 동작 주파수가 100

kHz 정도로 제한되어 제작된 D/A 변환기의 동작 여부만 확인하는 정도였다. 표 2는 D/A 변환기의 측정 결과를 요약한 것이다.

표 2. 측정된 D/A 변환기의 성능  
Table 2. Typical measured performance of the D/A converter.

공급 전원	3 V
전력 소모 ( $R_{out} = 75 \Omega$ )	75 mW
Resolution	10 bit
DNL	$< \pm 0.5$ LSB
INL	$< \pm 0.8$ LSB
SNDR ( $f_s = 100$ kHz, $f_{out} = 4.99$ kHz)	56 dB
SNDR ( $f_s = 50$ MHz, $f_{out} = 1$ MHz)	35 dB
Technology	LG 0.8 $\mu$ m 1-poly 2-metal CMOS
Active Chip Area	2.4 mm $\times$ 2.9 mm

## VI. 결 론

본 논문에서는 INL 특성을 향상시키는 스위칭 기법과 새로운 다글리칭 회로를 이용하여 10 비트 D/A 변환기를 설계 및 제작하여 변환기 특성을 측정하였다. 제안된 D/A 변환기는 LG 0.8  $\mu$ m single-poly double-metal CMOS 공정으로 제작되었고, 3 V 전원 전압과 75  $\Omega$  출력 저항 조건에서 DNL은  $\pm 0.5$  LSB, INL은  $\pm 0.8$  LSB로 측정되었고, 50 MHz의 동작 주파수에서 75 mW의 전력 소모를 가진다. SNDR은 50 MHz의 동작 주파수에서 아날로그 출력이 1 MHz의 주파수를 갖는 파형이 생성되게 하였을 때, 측정 보드 상의 심한 잡음 전달 현상에 의해 35 dB 정도로 측정되었으며, 100 kHz의 동작 주파수에서는 아날로그 출력 주파수가 5 kHz로 생성되게 하였을 때 56 dB였다. 제안된 D/A 변환기의 실제 칩 면적은 2.4 mm  $\times$  2.9 mm이다.

## 참 고 문 헌

[1] H. Kohno, Y. Nakamura, A. Kondo, H. Amishiro, T. Miki, and K. Okada, "A 350-Ms/s 3.3-V 8-bit CMOS D/A converter using a delayed driving scheme,"



- Proc. IEEE Custom Integrated Circuit Conference*, pp. 10.5.1-10.5.4, 1995.
- [2] T. Y. Wu, C. T. Jih, J. C. Chen, and C. Y. Wu, "A low glitch 10-bit 75-MHz CMOS video D/A converter," *IEEE J. Solid-State Circuits*, vol. 30, no. 1, pp. 68-72, Jan. 1995.
- [3] S. Y. Chin and C. Y. Wu, "A 10-b 125-MHz CMOS digital-to-analog converter (DAC) with threshold-voltage compensated current sources," *IEEE J. Solid-State Circuits*, vol. 29, no. 11, pp. 1374-1380, Nov. 1994.
- [4] T. Miki, Y. Nakamura, M. Nakaya, S. Asai, Y. Akasaka, and Y. Horiba, "An 80-MHz 8-bit CMOS D/A converter," *IEEE J. Solid-State Circuits*, vol. SC-21, no. 6, pp. 983-988, Dec. 1986.
- [5] J. M. Fournier and P. Senn, "A 130-MHz 8-b CMOS video DAC for HDTV applications," *IEEE J. Solid-State Circuits*, vol. 26, no. 7, pp. 1073-1077, July 1991.
- [6] Y. Nakamura, T. Miki, A. Maeda, H. Kondoh, and N. Yazawa, "A 10-b 70-Ms/s CMOS D/A converter," *IEEE J. Solid-State Circuits*, vol. 26, no. 4, pp. 637-642, Apr. 1991.
- [7] J. Basios, M. Steyaert, and W. Sansen, "A high yield 12-bit 250-Ms/s CMOS D/A converter," *Proc. IEEE Custom Integrated Circuits Conference*, pp. 20.6.1-20.6.4, 1996.
- [8] K. K. Chi, C. S. Geisenhainer, M. Riley, R. C. Rose, P. J. Sturges, B. M. Sullivan, R. B. Watson, R. H. Woodside, and M. W. Wu, "A CMOS triple 100-Mbit/s video D/A converter with shift register and color map," *IEEE J. Solid-State Circuits*, vol. SC-21, no. 6, pp. 989-995, Dec. 1986.
- [9] B. G. Herriques, K. Kananen, J. E. Franca, and J. Rapeli, "A 10 bit low-power CMOS D/A converter with on-chip gain error compensation," *Proc. IEEE Custom Integrated Circuits Conference*, pp. 10.6.1-10.6.4, 1995.
- [10] H. Takakura, M. Yokoyama, and A. Yamaguchi, "A 10bit 80MHz glitchless CMOS D/A converter," *Proc. IEEE Custom Integrated Circuits Conference*, pp. 26.5.1-26.5.4, 1991.
- [11] 김민규, 이승훈, 임신일, "CMOS 아날로그 셀 라이브러리 설계에 관한 연구-CMOS 온-칩 전류 레퍼런스 회로," *전자공학회지*, vol. 33, no. 4, pp. 136-141, 1996

---

 저 자 소 개
 

---

李 焯 勳(正會員) 第 33卷 A編 第 6號 參照  
현재 三星電子 研究員



全 炳 烈(正會員)  
1970년 2월 13일생. 1997년 2월 서강대학교 전자공학과 학사. 현재 서강대학교 전자공학과 대학원 재학중. 주요 관심분야는 데이터 변환기(A/D, D/A) 설계, 음성 모드 회로 설계등임.

尹 相 元(正會員) 第 33卷 A編 第 8號 參照  
현재 西江大學校 電子工學科 教授

李 承 勳(正會員) 第 32卷 A編 第 12號 參照  
현재 西江大學校 電子工學科 副教授