論文97-34C-6-7

CMOS 공정을 이용한 15MHz, 2.6mW, 6차 대역통과 Gm-C 필터

(A CMOS 15MHz, 2.6mW, sixth-order bandpass Gm-C filter)

兪 昌 植 *, 鄭 起 旭 *, 金 元 燦 *

(Changsik Yoo, Keewook Jung, and Wonchan Kim)

요 약

본 논문에서는 새로운 구조의 전압-전류 변환 회로를 이용한 저전압, 저전력 Gm-C필터에 대해 다룬다. 전압-전류 변환 회로는 V_{DD}와 GND 사이에 실질적으로 포화 영역에 있는 두 개의 MOS 트랜지스터만 있어 저전압 동작이 가능하게 하였고, 또 회로의 선형성을 향상시키기 위해 차동 구조로 설계하였다. 차동 구조의 회로에서 필요한 공통 모드 귀환 회로는 부가의 전류를 소모하지 않도록 설계함으로써 전력 소모를 최소화하였다. 6차의 대역통과 필터를 0.8μm CMOS 공정을 이용하여 구현하였으며 15MHz에서 33MHz의 범위에서 중심 주파수를 조절할 수 있다. 3.0V의 공급 전압에서 15MHz의 중심 주파수를 가질 때 전력 소모는 하나의 극점당 0.43mW이다.

Abstract

Low-voltage, low-power Gm-C filter utilizing newly developed operational transconductance amplifier(OTA) is described in this paper. The OTA has only two MOS transistors in saturation region between V_{DD} and GND, and thus low voltage operation is possible. To improve the linearity, the OTA is made differential. Common mode feedback, essential in differential circuit, requires no additional current consumption, which results in low power consumption. Sixth-order bandpass filter was implemented in 0.8μm CMOS process, and the center frequency can be controlled from 15MHz to 33MHz. The filter consumes only 0.43mW per pole when the center frequency is 15MHz with 3.0V single power supply.

I. 서 론

연속 시간 영역 필터(continuous-time filter)는 비디오 신호 처리[1],[2], hard disk drive read channel[3]-[5] 등 많은 응용 분야에서 널리 쓰이고 있다. 연속 시간 영역 필터를 구현하는 방법에는 active-RC 필터, MOSFET-C 필터, Gm-C 필터, Rm-C 필터 등 여러가지가 있다. 이러한 방법들 중에서 고주파 응용에 가장 적합한 것은 Gm-C 필터인 것으로 알려져 있다. 이는 연속 시간 영역 필터를 구현하는 다른 방법들과는 달리 Gm-C 필터는 연산 증폭기를 필요로 하지 않기 때문이다[6]. 하지만 전력 소모를 줄이기 위해 공급 전압을 낮출 경우에는 전압-전류 변환 회로와 같은 능동 회로 소자의 성능이 급격히 나빠져서 Gm-C 필터의 경우에도 고주파 동작을 얻기는 어려운 것이 사실이다.

지금까지 저전압에서 동작하는 연속 시간 영역 필터를 구현하기 위한 많은 노력이 있었다.

Kaiser는 전압-전류 변환 회로에 기존의 방법에서 크게 개선된 바이어스 기법을 사용하여 3.0V의 공급 전압에서 불과 12.6mW의 전력만을 소모하는 필터를 구현하였다[7]. 하지만 필터의 차단 주파수(cut-off

* 正會員, 서울大學校 電氣工學部 集積시스템硏究室
(Integrated Systems Laboratory, School of Electrical Engineering, Seoul National University)

接受日字:1996年12月4日, 수정완료일:1997年5月22日

frequency)는 945Hz로 매우 작은 값을 갖는다. Yang은 선형 영역(linear region)에서 동작하는 MOS 트랜지스터를 전압-전류 변환 회로에 이용하여 2.5V의 공급 전압에서 600kHz의 차단 주파수를 갖는 필터를 구현하였다[8]. 그리고, Rezzi도 역시 선형 영역에서 동작하는 MOS 트랜지스터를 이용하여 3.0V의 공급 전압에서 55MHz의 차단 주파수를 갖는 필터를 구현하였다[9]. 하지만 두 경우 모두 선형 영역에서 동작하는 MOS 트랜지스터의 드레인-소오스 전압을 일정한 값으로 유지하기 위하여 바이폴라 트랜지스터를 사용하고 있어 CMOS 공정으로는 구현할 수 없는 문제가 있다.

신호를 전류의 형태로 처리하면 공급 전압을 낮출 수 있고, 회로 내의 각 노드들이 낮은 임피던스 값을 가지게 되어 고주파 동작이 유리한 점을 이용한 연구 결과도 많이 발표되고 있다[10]. 하지만, 전류 모드 필터의 경우 외부에서 입력을 가할 때 전압 형태의 입력을 전류로 변환하여야 하는 추가의 부담이 있다.

본 논문에서는 이러한 문제를 해결하기 위해 가장 간단한 형태의 전압-전류 변환 회로를 이용하여 저전압에서 동작하는 고주파 Gm-C 필터에 대해 다룬다. 전압-전류 변환 회로는 V_{DD}와 GND 사이에 실질적으로 포화 영역(saturation region)에 있는 두 개의 MOS 트랜지스터만 있어 저전압 동작이 가능하다. 그리고 회로의 구조가 간단하기 때문에 전압-전류 변환 회로 내에서 생성되는 극점(pole)들이 매우 높은 주파수에 위치하게 되어 고주파에서 동작할 수 있다. 또한 회로의 선형성을 향상시키기 위해 차동 구조로 설계하였으며, 차동 구조의 회로에서 필요한 공통 모드 귀환 회로는 부가의 전류를 소모하지 않도록 설계함으로써 전력 소모를 최소화하였다.

제 2 절에서는 이와 같은 전압-전류 변환 회로에 대해 설명하고, 제 3 절에서는 이 전압-전류 변환 회로를 이용한 Gm-C 필터에 대해 다룬다. 그리고 제 4 절에서는 실험 결과를 제시할 것이며, 제 5 절에 결론을 제시한다.

Ⅱ. 전압-전류 변환 회로

Gm-C 필터를 저전압에서 동작시키고, 저전력 소모를 이루기 위해 가장 중요한 것은 전압-전류 변환 회로의 설계이다. 지금까지는 선형성 등의 성능 향상을 위해 cascode와 같은 여러가지 복잡한 구조를 사용하여 저전압에서 고주파 동작을 얻기 어려웠다. 본 논문에서는 이러한 문제를 해결하기 위해 가장 간단한 형태의 전압-전류 변환 회로(operational transconductance amplifier)를 사용하여 필터를 구성하였다. 전압-전류 변환 회로는 그림 1에 회로도를 표시하였다.

트랜지스터 M1, M2, M3, M4는 포화 영역에서 동작하고, 트랜지스터 M5와 M6은 선형 영역에서 동작한다. 트랜지스터 M1과 M2가 입력 전압을 전류로 바꾸어주는 역할을 하고, M3과 M4는 부하(load)로서 작용한다. 그리고, 차동 회로에서 반드시 필요한 공통 모드 귀환 회로는 트랜지스터 M5와 M6이 수행한다. 입력 전압과 출력 전류와의 관계를 구하면 다음과 같다.

$$\begin{aligned} i_1 &= \frac{1}{2}\beta_1(v_{GS1}-V_T)^2 \\ i_2 &= \frac{1}{2}\beta_1(v_{GS2}-V_T)^2 \\ i_{out} &= i_1 - i_2 \\ &= \frac{1}{2}\beta_1(v_{GS1}-v_{GS2})(v_{GS1}+v_{GS2}-2V_T) \end{aligned} \tag{1}$$

여기에서, $\beta_1 = \mu_n C_{OX}(W/L)_1$이다. 위 식으로부터, 전압-전류 변환 회로의 트랜스콘덕턴스는 다음과 같이 주어진다.

$$g_m = \frac{1}{2}\beta_1(v_{GS1}+v_{GS2}-2V_T) \tag{2}$$

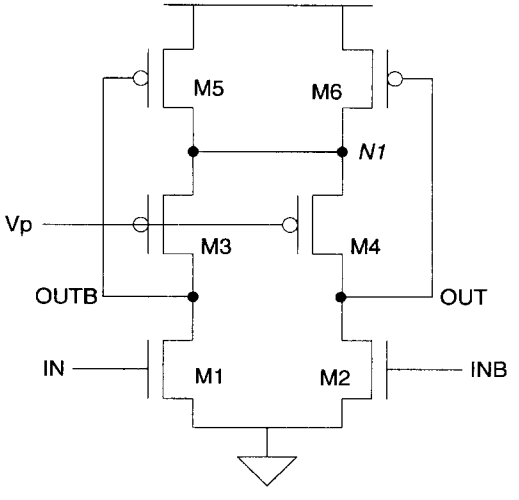


그림 1. 저전압, 저전력 전압-전류 변환 회로
Fig. 1. Low voltage, low power operational transconductance amplifier.

위 식을 보면 알 수 있듯이 전압-전류 변환 회로의 트랜스콘덕턴스는 트랜지스터 M1, M2의 크기와 입력 전압의 공통 모드 전압에 의해 결정된다. 따라서, 선형성이 좋은 전압-전류 변환 회로를 얻기 위해서는 입력 전압의 공통 모드 전압이 항상 일정한 값을 가지고 있어야 한다. 입력 전압의 공통 모드 전압으로 가장 바람직한 값은 $V_{DD}/2$이다. 그러므로, 그림 1의 전압-전류 변환 회로를 이용하여 필터를 구성할 경우 모든 전압-전류 변환 회로에 가해지는 입력의 공통 모드 전압이 $V_{DD}/2$가 되도록 해야 한다.

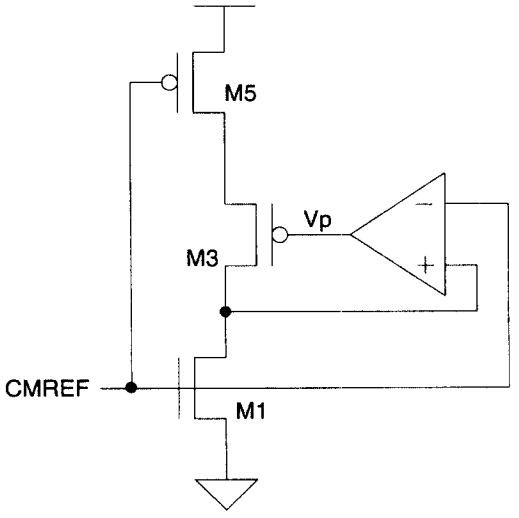


그림 2. 전압-전류 변환 회로의 바이어스 전압 생성 회로
Fig. 2. Bias circuit for the OTA.

필터의 입력 전압은 외부에서 공통 모드 전압을 조절할 수 있으므로 문제가 되지 않고, 다만 필터의 내부에서 입력을 받는 전압-전류 변환 회로의 경우에 문제가 된다. 그런데, 필터의 내부에서 입력을 받는다는 것은 결국 다른 전압-전류 변환 회로의 출력을 입력으로 받는다는 것을 의미하므로, 전압-전류 변환 회로의 출력의 공통 모드 전압을 원하는 값으로 조절할 수 있으면 문제가 해결된다. 이와 같은 역할을 해주는 것이 선형 영역에서 동작하는 트랜지스터 M5와 M6으로 구성된 공통 모드 귀환 회로와 그림 2에 보인 V_P를 생성하는 바이어스 회로이다.

그림 2의 트랜지스터 크기는 같은 번호를 가지는 그림 1의 트랜지스터의 크기와 동일하다. 즉, 그림 2는 replica bias 회로로서 입력 전압의 크기가 $V_{DD}/2$일 때, 출력 전압의 크기도 $V_{DD}/2$가 되도록 하는 V_P를 생성하는 것이다. 하지만, 그렇게 생성된 V_P를 전압-전류 변환 회로에 그대로 사용하더라도, 출력 전압의 공통 모드 전압이 $V_{DD}/2$인 것을 항상 보장할 수는 없다. 그 이유는 전압-전류 변환 회로와 바이어스 회로 사이에 부정합(mismatch) 등이 있을 때 정확한 replica bias 회로가 되지 않기 때문이다. 이러한 경우 출력 전압의 공통 모드 전압을 $V_{DD}/2$로 보장하는 역할을 하는 것이 트랜지스터 M5와 M6으로 구성된 공통 모드 귀환 회로이다.

공통 모드 전압이 원하는 $V_{DD}/2$보다 큰 경우에는 선형 영역에 있는 트랜지스터 M5와 M6의 병렬 저항이 커지게 되어, 출력의 공통 모드 전압이 $V_{DD}/2$가 되도록 작용한다. 반대의 경우에는 M5와 M6의 병렬 저항이 작아져서, 출력의 공통 모드 전압이 $V_{DD}/2$ 방향으로 증가하도록 한다. 출력 전압의 차동 성분에 의해서는 M5와 M6의 병렬 저항 값이 변하지 않으므로, 공통 모드 귀환 회로는 차동 출력에는 영향을 주지 않는다.

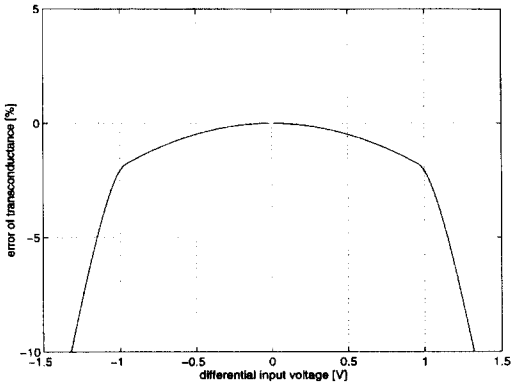


그림 3. 차동 입력 전압에 따른 전압-전류 변환 회로의 선형성 오차
Fig. 3. Linearity error of the OTA as a function of differential input.

그림 3은 전압-전류 변환 회로의 선형성 오차를 차동 입력의 크기에 따라 표시한 그림이다. 그림을 보면 알 수 있듯이 -1.0V와 +1.0V 사이의 차동 입력에서는 DC에서의 선형성 오차가 2.0% 이하이다. 선형성 오차는 다음과 같이 정의하였다.

$$error = \frac{i_{out} - i_{out}(0) - g_m(0)\, v_{in}}{g_m(o)\, v_{in}} \times 100[\%] \qquad (3)$$

위 식에서 v_{in}은 차동 입력 전압, i_{out}는 $v_{in}=0$ V일 때의 출력 전류, $g_m(0)$는 일 $v_{in}=0$ V때의 트랜스콘덕턴스이다.

앞에서 언급한 것과 같이 그림 1의 전압-전류 변환 회로는 저전압 동작이 가능한데, 이론적으로 가능한 최소의 전원 전압을 구해보면 다음과 같다.

$$V_{DD,minimum} = V_{DS,SAT1} + V_{DS,SAT3} + V_{DS,LIN5} \approx V_{DS,SAT1} + V_{DS,SAT3} \quad (4)$$

여기에서, $V_{DS,SAT1}$과 $V_{DS,SAT3}$는 M1과 M3이 각각 포화 영역에 있기 위한 드레인-소오스 전압이고, $V_{DS,LIN5}$는 선형 영역에서 동작하는 M5의 드레인-소오스 전압이다. $V_{DS,LIN5}$가 다른 값들에 비해 매우 작으므로 식 (4)와 같이 근사할 수 있다.

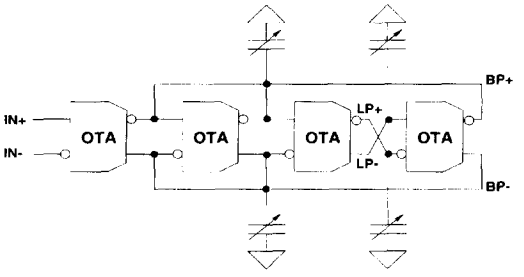


그림 4. 2차의 biquad 회로
Fig. 4. Second-order biquad circuit.

Ⅲ. 저전압, 저전력 필터

앞에서 설명한 전압-전류 변환 회로를 이용하여 2차의 biquad 회로를 구성하면 그림 4와 같다. 이러한 2차의 biquad 회로를 연결하여 6차의 대역통과 필터를 구현하였다. 그런데 Gm-C 필터의 경우 필터의 특성이 적분기의 시상수인 C/g_m에 의해 결정되는데, 이 C와 g_m은 온도 변화, 공정 변이 등에 따라 서로 독립적으로 변하는 값이기 때문에 적분기의 시상수를 정확하게 조절하기가 어렵다. 일반적으로 Gm-C 필터와 같은 연속 시간 영역 필터는 필터의 차단 주파수가 예상했던 값에서 최악의 경우 ±50%까지 변할 수 있는 것으로 알려져 있다[11],[13].

이와 같이 온도 변화, 공정 변이 등에 의한 필터의 특성 변화를 보상하여 원하는 특성을 갖도록 하기 위해 전압-전류 변환 회로의 트랜스콘덕턴스 또는 필터에 쓰인 캐패시터의 크기를 자동적으로 또는 수동적으로 변화시켜 적분기의 시정수 C/g_m이 원하는 값을 가질 수 있도록 해야한다[6],[11],[13]. 하지만, 식 (2)를 보면 알 수 있듯이 그림 1의 전압-전류 변환 회로의 트랜스콘덕턴스는 트랜지스터의 크기와 입력 신호의 공통 모드 전압이 정해지면 특정한 값으로 고정된다. 따라서 공정 변이나 온도 변화에 의한 필터의 특성 변화를 보상하기 위해서는 캐패시터의 크기를 변화시킬 수 있도록 하는 방법밖에 없다.

이와 같은 필터의 주파수 특성 변화를 보정하기 위한 가변 캐패시터는 이진(binary)의 캐패시터 열(array)을 이용하여 구현할 수 있다. 그림 5는 네개의 캐패시터를 이용하여 구성한 이진 캐패시터 열이다. 이러한 가변 캐패시터를 이용하여 필터가 원하는 주파수 특성을 갖도록 조절할 수 있게 하였다.

지금은 캐패시터의 크기를 수동적으로 조절하도록 되어있지만 필터가 실용적으로 쓰이기 위해서는 주파수 특성의 변화를 자동으로 감지해서 사용자의 도움없이 캐패시터의 크기가 주파수 특성 변화를 보상하는 방향으로 변화할 수 있도록 해야한다. 이에 관해서는 많은 연구가 있었고, 본 논문에서 설명하고 있는 필터에도 쉽게 적용할 수 있다[14].

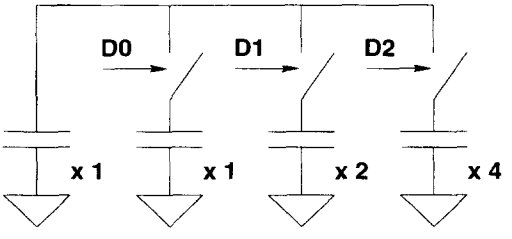
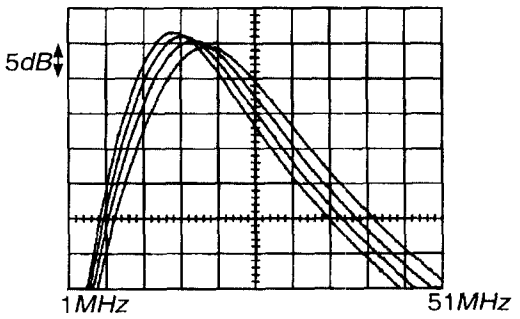


그림 5. 이진 캐패시터 열
Fig. 5. Binary weighted capacitor array.

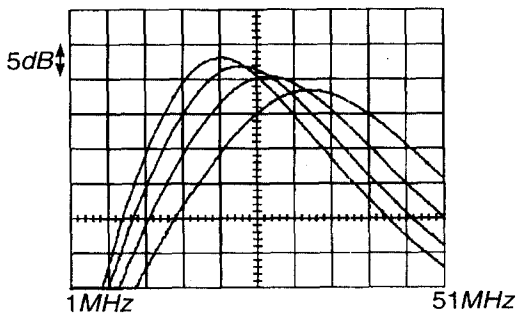
Ⅳ. 실험 결과

6차 대역통과 필터를 0.8μm double-metal CMOS 공정을 이용하여 구현하였다. 그림 4와 같은 2차 biquad 회로를 연결하여 6차 대역통과 필터를 구현하였으며, 전체 면적은 1053μm×376μm이다. 3V의 단일 전원을 사용하였으며 15MHz의 중심 주파수를 가질 때, 전력 소모는 하나의 극점(pole)당 0.43mW이다. 그림 6-(a)와 6-(b)는 캐패시터 크기 조절 신호 D[2:0]에 따른 필터의 주파수 특성이다. 중심 주파수가

15MHz에서 33MHz의 범위에서 조절 가능함을 알 수 있다. 모의 실험의 경우에는 중심 주파수를 약 9MHz에서 15MHz 범위에서 조절할 수 있었는데, 공정 상의 변이에 의해 중심 주파수가 약 2배 정도 커진 것을 알 수 있다. 이와 같이 동작 주파수가 높아지는 경향은 같은 공정을 이용하여 제작한 다른 회로들에서도 공통적으로 나타나는 현상으로 스파이스 파라미터로 모델링된 특성과 실제 공정의 특성에 많은 차이가 있었던 것으로 추측된다. 그림 6을 보면 중심 주파수가 높아질수록 통과 대역의 이득이 점점 작아지는 것을 볼 수 있는데, 이는 칩(chip) 바깥으로 출력을 보내기 위한 출력 버퍼와 측정을 위한 주변 회로들이 저역 통과 특성을 보이기 때문이다.



(a)

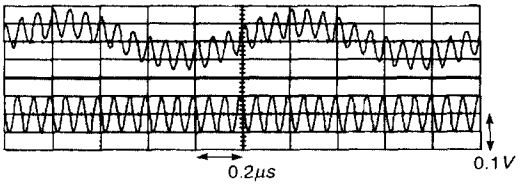


(b)

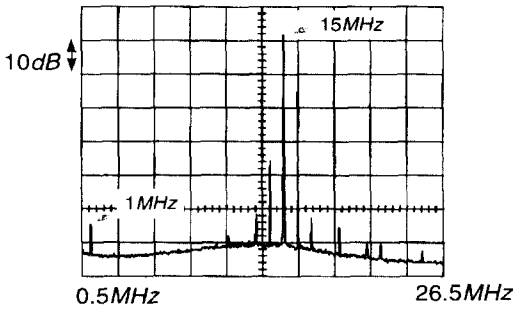
그림 6. 6차 대역통과 필터의 주파수 특성. (a) D[2:0]이000~011일 때; (b) D[2:0]이 100~111 일 때. 중심 주파수가 15MHz에서 33MHz까지 조절되는 것을 볼 수 있다.

Fig. 6. Frequency characteristic of 6-th order bandpass filter. (a) When D[2:0] is 000~011; (b) When D[2:0] is 100~111. Center frequency can be controlled from 15MHz to 33MHz.

필터의 과도(transient) 응답을 살펴보기 위해 두 가지 경우에 대해 실험하였다. 그림 7-(a)는 D[2:0]=000일 때, 1MHz의 사인파와 15MHz의 사인파가 합해진 파형을 입력으로 가한 경우이다. 1MHz의 사인파는 차단 대역에 있고, 15MHz의 사인파만 통과대역에 있으므로 필터의 출력에는 15MHz의 사인파만 관찰된다. 이 출력 파형의 스펙트럼은 그림 7-(b)와 같다. 그림에서 볼 수 있듯이 1MHz 성분은 감쇄되어 나타난다.



(a)



(b)

그림 7. (a) D[2:0] = 000 일 때, 6차 대역통과 필터의 과도 응답. 위쪽 파형 = 1MHz의 사인파와 15MHz의 사인파가 더해진 필터의 입력. 아래쪽 파형 = 필터의 출력. (b) 그림 (a)의 출력 파형의 스펙트럼

Fig. 7. (a) Transient response of 6-th order bandpass filter when D[2:0] = 000. Top trace = input to the filter, sum of 1MHz sine wave and 15MHz sine wave. Bottom trace = filtered output.. (b) Spectrum of the output in (a).

그림 8-(a)는 역시 D[2:0]=000 일 때, 14MHz의 사인파와 16MHz의 사인파가 합해진 파형을 입력으로 가한 경우이다. 이 경우에는 두 개의 주파수 성분 모두 필터의 통과 대역 안에 있으므로 입력 파형이 그대로 출력에 나타난다. 이 출력의 스펙트럼을 관찰한 결과 그림 8-(b)와 같은 모양을 얻었다. 14MHz 성분과 16MHz 성분이 모두 출력에 나타나는 것을 볼 수 있다.

본 논문에서 설명한 필터의 전력 소모를 이미 문헌에 발표된 필터와 비교하기 위하여 다음과 같은 Figure

of Merit(FM)를 제안한다.

$$FM = \log\left(\frac{f_{cut-off}}{Power/N}\right) \quad (5)$$

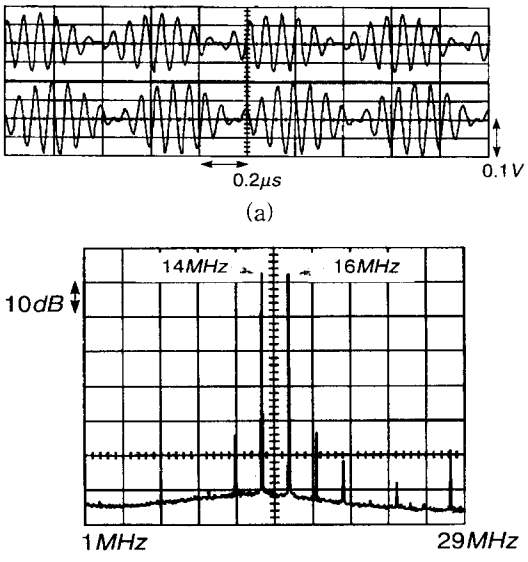


그림 8. (a) D[2:0] = 000 일 때, 6차 대역통과 필터의 과도 응답. 위쪽 파형 = 14MHz의 사인파와 16MHz의 사인파가 더해진 필터의 입력. 아래쪽 파형 = 필터의 출력. (b) 그림 (a)의 출력 파형의 스펙트럼

Fig. 8. (a) Transient response of 6-th order bandpass filter when D[2:0] = 000. Top trace = input to the filter, sum of 14MHz sine wave and 16MHz sine wave. Bottom trace = filtered output. (b) Spectrum of the filtered output in (a).

위 식에서 $f_{cut-Off}$는 kHz 단위로 나타낸 필터의 차단 주파수(대역통과 필터일 경우에는 중심 주파수)이고, *Power/N*는 mW 단위로 나타낸 하나의 극점(pole)을 구현하기 위해 필요한 필터의 소모 전력이다. 다른 문헌에 발표된 CMOS 공정으로 구현된 필터와 비교하여 보면 표 1과 같은 결과를 얻을 수 있다.

표를 보면 알 수 있듯이 기존에 발표된 결과에 비해 본 논문에서 설명한 필터가 전력 소모 측면에서 매우 큰 장점을 지니고 있다. 물론 본 논문에서 설명한 필터의 우 전압-전류 변환 회로의 출력 저항이 작고, 차동단(differential pair) 등을 사용한 전압-전류 회로에 비해 선형성이 떨어지는 단점이 있다. 하지만, 노트북 컴퓨터, 휴대용 가전 제품 등의 휴대용 시스템에의 응용에 있어서는 다른 성능의 저하를 감수하더라도 전력 소모를 최소화하는 것이 가장 중요한 설계 관점이 되므로 본 논문에서 설명한 저전력 필터의 실용 가치는 충분히 있으리라고 생각한다.

표 1. 문헌에 발표된 CMOS 연속 시간 영역 필터와의 성능 비교

Table 1. Performance comparison with other CMOS continuous-time filters.

참고 문헌	중심(차단) 주파수	필터의 차수	소모 전력	*FM*
*JSSC*91 [3]	15MHz	5	96mW	2.89
*JSSC*89 [7]	945Hz	3	12.6mW	2.35
*SOVC*95 [11]	560kHz	2	2.5mW	2.65
This work	15MHz	6	2.58mW	4.54

V. 결 론

CMOS 공정을 이용한 저전압, 저전력 Gm-C필터에 대해 설명하였다. V_{DD}와 *GND* 사이에 실질적으로 포화 영역에 있는 두 개의 MOS 트랜지스터만 있어 저전압 동작이 가능한 새로운 구조의 전압-전류 변환 회로를 이용하여 6차의 대역통과 필터를 구현하였으며 실험을 통해 그 타당성을 입증하였다. 가변 캐패시터를 사용하여 중심 주파수를 15MHz에서 33MHz의 범위에서 조절할 수 있다. 3V의 단일 전원에서 전력 소모는 하나의 극점당 0.43mW로 매우 작은 값을 갖는 것을 확인하였다.

참 고 문 헌

[1] B. Stefanelli and A. Kaiser, A 2-mm CMOS fifth-order low-pass continuous- time filter for video frequency applications, *IEEE J. Solid-State Circuits*, vol. 28, no. 7, pp. 713-718, Jul. 1993.

[2] V. Gopinathan, Y. P. Tsividis, Khen-Sang Tan, and R. K. Hester, Design considerations for high-frequency continuous-time filters and implementation of an antialiasing filter for digital video, *IEEE J. Solid-State Circuits*, vol. SC-25, no. 6, pp. 1368-1378, Dec. 1990.

[3] J. M. Khoury, Design of a 15-MHz CMOS continuous-time filter with on-chip tuning, *IEEE J. Solid-State Circuits*, vol. SC-26,

no. 12, pp. 1988-1997, Dec. 1991.

[4] P. K. D. Pai and A. A. Abidi, A 40-mW 55-Mb/s CMOS equalizer for use in magnetic storage read channels, *IEEE J. Solid-State Circuits*, vol. 29, no. 4, pp. 489-499, Apr. 1994.

[5] C. A. Laber and P. R. Gray, A 20-MHz sixth-order BiCMOS parasitic insensitive continuous-time filter and second-order equalizer optimized for disk-drive read channels, *IEEE J. Solid-State Circuits*, vol. 28, no. 4, pp. 462-470, Apr. 1993.

[6] R. Schaumann, Continuous-time integrated filters - a tutorial, *IEE Proceedings*, vol. 136, part G, pp. 184-190, Aug. 1989.

[7] A. Kaiser, A micropower CMOS continuous-time low-pass filter, *IEEE J. Solid-State Circuits*, vol. SC-24, pp. 736-743, Jun. 1989.

[8] F. Yang and C. C. Enz, A low-distortion BiCMOS 7th-order Bessel filter operating at 2.5V supply, *Proc. of IEEE Custom Integrated Circuits Conference*, pp. 551-554, 1995.

[9] F. Rezzi, A. Baschirotto, and R. Castello, A 3V 12-55MHz BiCMOS pseudo-differential continuous-time filter, *IEEE Trans. Circuits and Systems, Part-I*, vol. 42, no. 11, pp. 896-903, Nov. 1995.

[10] 방준호, 조성익, 권오신, 신홍규, 개선된 연속 시간 전류 모드 CMOS 적분기를 이용한 3.3V 능동 저역 필터 구현, 대한전자공학회 논문집 B편, 제 33권, 제 4호, pp. 52-62, 1996

[11] R. Schaumann, M. S. Ghausi, and Kenneth R. Laker, *Design of analog filters*, Prentice-Hall Inc., 1990.

[12] Q. Huang, A MOSFET-only continuous-time 560kHz tunable bandpass filter, *Dig. Tech. Papers, Symp. VLSI Circuits*, pp. 93-94, 1995.

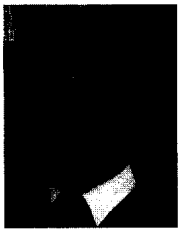
[13] Changsik Yoo, Seung-Wook Lee, and Wonchan Kim, An automatic tuning scheme for Gm-C filters with an integrator as master, *Dig. Tech. Papers, Symp. VLSI Circuits*, pp. 154-155, 1996.

[14] H. Khorramabadi, M. J. Tarsia, and N. S. Woo, Baseband filters for IS-95 CDMA receiver applications featuring digital automatic frequency tuning, *Dig. Tech. Papers, International Solid-State Circuits Conference*, pp. 172-173, 1996.

저 자 소 개

兪 昌 植(正會員)

1969년 12월 15일, 대전 출생. 1992년 2월 서울대학교 전자공학과 공학사, 1994년 2월 서울대학교 전자공학과 공학 석사, 1994년부터 서울대학교 전기공학부 박사과정 재학중. 1996년 LG반도체 설계 공모전 은상 입상. 주관심 분야는 아날록 회로 설계.



金 元 燦(正會員)

1945년 12월 11일, 서울 출생. 1972년 서울대학교 전자공학과 공학사, 1976년 독일 아헨 공과 대학 전기공학과 공학 석사, 1981년부터 독일 아헨 공과 대학 전기공학과 공학 박사. 1982년부터 서울대학교 전기공학부 교수로 재직중. 주관심 분야는 반도체 소자 및 아날록/디지탈 회로 설계.

鄭 起 旭(正會員)

1969년 7월 15일, 서울 출생. 1992년 2월 서울대학교 전자공학과 공학사, 1994년 2월 서울대학교 전자공학과 공학 석사, 1994년부터 서울대학교 전기공학부 박사과정 재학중. 1995년 전경련 설계 대회 대상 입상. 주관심 분야는 RF 통신용 회로 설계.