

論文97-34C-10-3

AB급 CMOS 전류 콘베이어(CCII)에 관한 연구

(A Study of Class AB CMOS Current Conveyors)

車 炯 雨 * , 金 鍾 珽 **

(Hyeong-Woo Cha and Jong-Pil Kim)

요 약

고속 전류-모드 신호 처리를 위해 새로운 AB급 CMOS 제2세대 전류 콘베이어(CCII)를 0.6 μm n-well CMOS 공정을 이용하여 개발했다. 저전력 동작을 위해 개발한 AB급 CMOS CCII는 전류 입력을 위한 AB급 푸쉬-풀단, 전압 입력을 위한 상보형 소스 폴로워, 그리고 전류 출력을 위한 캐스코드 전류 미러로 구성된다. 이 구성에서, 전류 입력 단자의 임피던스를 줄이기 위해 두 입력단은 전류 미러에 의해 결합되었다. 제작된 CCII의 측정에 의해 전류 입력 단자의 임피던스는 875 Ω 이고, 이를 증폭기로 사용했을 때 평탄한 이득의 대역폭은 4 MHz라는 것을 확인했다. 전력 소비는 1.25 mW이고 칩의 면적은 0.2×0.15 [mm^2]이다.

Abstract

Novel class AB CMOS second-generation current conveyors (CCII) using 0.6 μm n-well CMOS process for high-frequency current-mode signal processing were developed. The CCII for low power operation consists of a class AB push-pull stage for the current input, a complementary source follower for the voltage input, and a cascode current mirror for the current output. In this architecture, the two input stages are coupled by current mirrors to reduce the current input impedance. Measurements of the fabricated CCII show that the current input impedance is 875 Ω and the bandwidth of flat gain when used as a voltage amplifier extends beyond 4 MHz. The power dissipation is 1.25 mW and the active chip area is 0.2×0.15 [mm^2].

I. 서 론

1970년경, Sedra등에 의해 제안된 제 2세대 전류 콘베이어(current conveyor : CCII)는 전류-모드 신호 처리의 기본 구성 소자로서 잘 알려져 있다^[1]. 이상적인 CCII는 무한대의 입력 임피던스를 갖는 전압 입력 단자 Y, 영(zero)의 입력 임피던스를 갖는 전류 입력 단자 X, 그리고 무한대의 출력 임피던스를 갖는

전류 출력 단자 Z로 구성되는 3단자 능동 소자이다. 이 소자는 단자 X의 전압은 단자 Y의 입력 전압을 폴로워(follower)하고, 단자 X에 입-출력하는 전류는 그대로 단자 Z에 콘베이어링(conveyoring)하는 동작 특성을 갖고 있으므로, 전압 모드와 연산 증폭기(operational amplifier : OP-AMP)로는 실현하기 힘든 광대역 신호 처리를 가능하게 한다. 따라서, 최근 그의 응용회로 및 CCII 자체의 연구가 활발하게 진행되고 있다^{[2],[3]}.

연산 증폭기를 사용하지 않고 트랜지스터만으로 구성된 CMOS CCII^{[4],[5]}는 광대역 특성을 갖고 있을 뿐만 아니라 이상적인 전류 입력 단자 특성을 갖고 있으므로 전류-모드 신호 처리의 기본 구성 소자로

* 正會員, ** 學生會員, 淸州大學校 電子·情報通信·半導體工學部

(School of Electronic, Computer & Communication, Semiconductor Engineering Chongju University)

接受日字:1997年5月12日, 수정완료일:1997年6月17日

매우 유용하다. A급으로 동작하는 이 CCII는 전류 입력 범위가 바이어스 전류에 의해 결정되기 때문에, 동작 범위를 넓게 하면 전력 소비가 크게 되는 문제점이 있다.

본 논문에서는 이러한 문제점을 해결한 새로운 AB급 CMOS CCII를 제안한다^[6]. 또한, 제안한 CCII는 0.6 μm n-well 표준 CMOS 공정을 이용하여 IC로 제작했다. 서론 다음을 이어, 제 2장에서는 제안한 CCII의 기본 회로 구성과 동작 원리 및 IC 제작 공정에 따른 회로 특성을 논하고, 실제 제작한 CCII의 회로를 보충 설명한다. 제 3장에서는 제작된 CCII의 성능을 측정된 결과와 시뮬레이션 결과를 비교 평가하고, 제 4장에서는 개발한 AB급 CMOS CCII에 대해 정리한다.

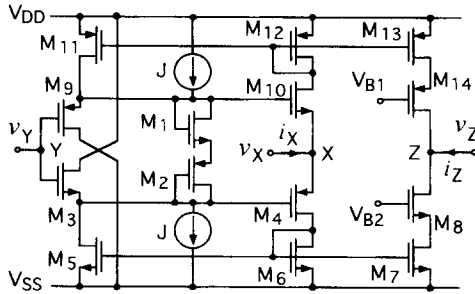


그림 1. AB급 CCII+의 기본 회로도
Fig. 1. The basic circuit diagram of class AB CCII+.

II. 회로 구성과 동작 원리

1. 기본 전류 콘베이어(CCII)^[6]

그림 1에 제안한 AB급 정극성 전류 콘베이어(CCII+)의 기본 회로를 나타냈다. 회로는 4개의 블록, 즉, M₁, M₂, 그리고 두 개의 정전류원 J로 구성되는 바이어스단, 전압 입력 v_Y를 위한 M₃와 M₉의 소스 폴로워(source follower)단, 전류 입력 i_X를 위한 M₁₀, M₁₂, M₄, 그리고 M₆으로 구성되는 AB급 푸쉬-풀(push-pull)단, 그리고 전류 출력 i_Z를 위한 M₇, M₈, M₁₃, 그리고 M₁₄로 구성되는 캐스코드(cascode)단으로 구성되어 있다. 회로 동작 설명을 위해 M₁₀과 M₄의 소스 전류를 각각 i_U와 i_L로 가정한다. M₁₁, M₁₂, 그리고 M₁₃은 M₉, M₁₀, 그리고

M₁₄에 전류 i_U를 동일하게 흘려주는 전류 미러이다. 동시에, M₅, M₆, 그리고 M₇로 구성되는 전류 미러에 의해 전류 i_L이 M₃, M₄, 그리고 M₈에 동일하게 흐른다. 따라서, 다음의 관계가 성립된다.

$$i_L - i_U = i_X = i_Z \tag{1}$$

$$v_{GS1} + v_{SG2} = v_{GS10} + v_{SG4} = \text{constant} \tag{2}$$

우선, 각 전류 미러의 트랜지스터, M₃과 M₉, M₁과 M₂, 그리고 M₁₀과 M₄가 각각 정합되어 있다고 가정한다. v_Y=0의 정지 상태에서는 i_U=i_L=J가 되고, 전류 입력 단자 X는 가상 접지가 된다. 다음은, 단자 X에 입력되는 전류 i_X에 의해 i_U와 i_L이 J+Δi_U와 J+Δi_L로 각각 변화한다고 가정하면, 식 (1)로부터 다음의 식이 얻어진다.

$$\Delta i_L - \Delta i_U = i_X = i_Z \tag{3}$$

전류 미러 M₅와 M₆에 의해 귀환되는 전류에 의해 M₄의 게이트 전압은 낮아지고, 이 변화는 M₁과 M₂를 통해 M₁₀에 전달되어, 식 (2)에 나타난 바와 같이, M₁₀의 게이트 전압을 같은 크기만큼 낮게 한다. 상보형 쌍으로 구성되어 있는 M₄와 M₁₀이 포화 영역에서 동작하고 있다면 i_X에 대한 Δi_L과 Δi_U은 다음과 같이 주어진다.

$$\Delta i_L = \frac{i_X^2}{16J} + \frac{i_X}{2}, \tag{4}$$

$$\Delta i_U = \frac{i_X^2}{16J} - \frac{i_X}{2} \tag{5}$$

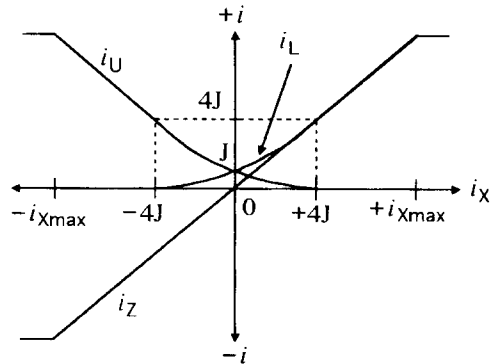


그림 2. 전류 전달 특성
Fig. 2. Current transfer characteristics.

위 식과 같이 푸쉬-풀 동작은 i_X가 4J까지 계속되

며, $i_x \geq 4J$ 때에는 단일-출력(single-ended-output) 동작이 시작된다. 이 전류 특성을 그림 2에 나타냈다. i_U 와 i_L 은 $i_x=0$ 에 대해서 대칭이지만, 트랜지스터가 정합되지 않을 경우에는 비대칭이 되며, 왜곡된 출력이 발생된다. 입력 전류의 동작범위 $i_{x\max}$ 는 다음 식과 같이 주어진다.

$$\frac{i_{x\max}}{J} = \left(\frac{v_{GS1} + v_{GS2} - V_T}{v_{GS1} - V_T} \right)^2 \quad (6)$$

이 식에 의해 바이어스단의 설계 기준이 결정된다.

위의 설명은 단자 X가 접지 전위인 것을 가정한 것이다. 그러나, 단자 X의 입력 임피던스 r_x 는 다음 식으로 주어지,

$$r_x = \left(\frac{1}{g_{m10}} - \frac{1}{g_{m9}} + \frac{1}{g_{m10}g_{m12}r_{ds10}} \right) // \left(\frac{1}{g_{m4}} - \frac{1}{g_{m3}} + \frac{1}{g_{m4}g_{m6}r_{ds4}} \right) \quad (7)$$

M_9 혹은 M_{10} 과 M_3 혹은 M_4 의 면적을 조절함으로써 r_x 는 무시할 정도로 작게 할 수 있기 때문에 가상 접지의 조건은 역시 성립된다고 할 수 있다.

단자 Y에 인가한 전압은 전압 폴로워 동작에 의해 X단자에 전달된다. 전류 미러 M_5 와 M_6 에 의한 전류 귀환을 고려하면, v_Y 와 v_X 간은 다음의 관계가 얻어진다.

$$\frac{v_X}{v_Y} = \frac{g_{m3}g_{m4}R_X}{g_{m3} - g_{m4} + g_{m3}g_{m4}R_X} \quad (8)$$

여기서, R_X 는 단자 X와 접지간에 접속되어있는 저항이다. 식 (8)로부터 $g_{m3} = g_{m4}$ 혹은 $g_{m3}g_{m4}R_X \gg (g_{m3} - g_{m4})$ 의 경우, R_X 와 관계없이 v_X 는 정확하게 v_Y 에 일치한다는 것을 알 수 있다. 또한, 단자 Y에는 전류가 흐르지 않기 때문에 $i_Y = 0$ 이다. 단자 Z의 출력 임피던스는 캐스코드 전류 미러 구성에 의해 충분히 높기 때문에 i_Z 는 부하의 영향을 적게 받는다. 단자 Z의 출력 임피던스 r_z 는 다음과 같이 주어진다.

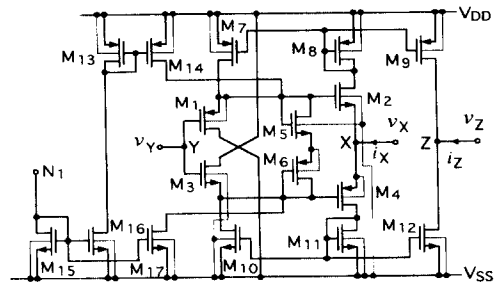
$$r_z(\text{CCII}+) = (g_{m14}r_{ds13}r_{ds14}) // (g_{m8}r_{ds7}r_{ds8}) \quad (9)$$

따라서, 제안한 그림 1의 회로에 대한 입-출력 관계의 행렬식은 다음과 같다.

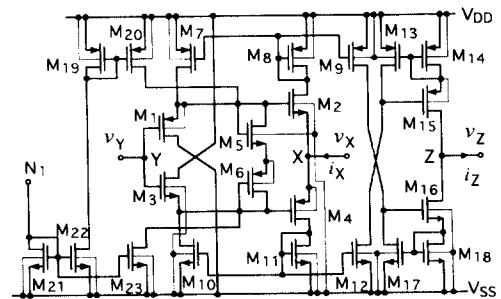
$$\begin{bmatrix} i_Y \\ v_X \\ i_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_Y \\ i_X \\ v_Z \end{bmatrix} \quad (10)$$

또한, 교차-결합(cross-coupled) 전류 미러를 사용해 i_Z 를 반전시킴으로써 부극성 전류 콘베이어(CCII-)도 실현할 수 있다.

위 설명은 그림 1과 같이 모든 트랜지스터에 대해 몸체 효과(body effect)를 무시한 것(모든 트랜지스터의 $v_{SB} = 0$ 로 가정)이므로, 트윈-튜브(twin-tub) CMOS 공정 혹은 BiCMOS 공정을 이용하여 IC화할 경우에만 위 식들은 유효하다^{[7],[8]}. 그러나 표준 n-well 혹은 p-well CMOS 공정을 이용할 경우, 전원(V_{SS} 및 V_{DD})에 가까운 트랜지스터들은 몸체 효과를 제거할 수 있으나, 그림 1에서와 같이 중앙의 nMOS(M_3 와 M_{10})와 pMOS(M_4 와 M_9) 두 종류의 트랜지스터에 대해 동시에 이 효과를 제거하기가 불가능하다. 따라서, 그림 1에 대한 식 (7)과 (8)은 몸체 효과에 의해 달라질 것이다. 다음절에서는 실제 IC를 제작할 때 사용한 n-well 표준 CMOS 공정을 고려하여, 제안한 AB급 CMOS CCII의 회로를 추가 설명한다.



(a)



(b)

그림 3. IC 제작에 사용한 CCII들의 회로도

(a) 정극성 전류 콘베이어, (b) 부극성 전류 콘베이어

Fig. 3. The circuit diagrams of CCII's used in IC fabrication.

(a) CCII+, (b) CCII-

2. IC로 제작한 AB급 CMOS CCII 회로

IC로 제작한 정극성 및 부극성 CCII의 회로를 그림 3의 (a)와 (b)에 각각 나타냈다. 여기서, N_1 은 바이어스 전류를 칩(chip) 외부의 저항기를 통해 공급하기 위한 단자이다. 그림 1의 기본 CCII+와 비교할 때, 그림 3(a)의 CCII+는 기본 전류 미러 구성을 이용하여 바이어스단을 실현한 것과 이용한 IC 제조 공정에 의해 M_2 , M_3 , 그리고 M_5 가 몸체 효과에 영향을 받는다는 점이다. 따라서, 이 효과를 고려하여 v_x/v_y 와 r_x 를 구하면 각각 다음과 같다.

$$\frac{v_x}{v_y} = \frac{g_{m3}g_{m4}R_x}{(g_{m3}-g_{m3b})-g_{m4}+g_{m4}R_x(g_{m3}-g_{m3b})}. \quad (11)$$

$$r_x = \frac{v_t}{i_t} = r_{xu} // r_{xl}. \quad (12)$$

여기서,

$$r_{xu} = \frac{1}{g_{m1}} - \frac{1}{(g_{m2}-g_{m2b})} + \frac{1}{(g_{m2}-g_{m2b})g_{m8}r_{ds2}}, \quad (13)$$

$$r_{xl} = \frac{1}{(g_{m3}-g_{m3b})} - \frac{1}{g_{m4}} + \frac{1}{g_{m4}g_{m11}r_{ds4}} \quad (14)$$

이다. 여기서, g_{m2b} 및 g_{m3b} 는 몸체 효과를 고려한 M_2 및 M_3 의 각각의 트랜스컨덕턴스이다. 이 식들로부터 g_{m3} 와 g_{m4} 가 정합되었다고 가정해도 g_{m3b} 에 의해, v_x/v_y 는 단위 이득보다 작아질 것이다. 또한, r_x 도 역시 식(6)보다 큰 값이 된다는 것을 알 수 있다. 몸체 효과에 대해, g_m 에 대한 g_{mb} 의 관계식은 다음과 같이 주어진다^[9].

$$g_{mb} = \frac{-\gamma g_m / 2}{\sqrt{2\phi_p + v_{SB}}} \quad (15)$$

여기서, ϕ_p 는 벌크 전위(bulk potential), γ 는 몸체-효과 계수(body-effect coefficient), 그리고 v_{SB} 는 MOS 트랜지스터의 소스와 벌크간의 전압이다. 일반적인 값을 적용하여 계산하면 $g_{mb} \approx -0.15g_m$ 이므로, g_{m1} 과 g_{m4} 를 g_{m2} 와 g_{m3} 보다 1.15배 각각 크게 되도록 M_1 및 M_4 의 면적을 조절함으로써 식 (7) 그리고 식 (8)과 같은 특성을 얻을 수 있을 것이다. 그림 3의 CCII+와 CCII-의 단자 Z의 출력 임피던스 r_z 는 다음과 같다.

$$r_z(\text{CCII}+) = r_{ds9} // r_{ds12} \quad (16)$$

$$r_z(\text{CCII}-) = \left\{ (g_{m17}r_{ds17}) \left(\frac{g_{m16}}{g_{m18}} \right) r_{ds16} \right\} // \left\{ (g_{m13}r_{ds13}) \left(\frac{g_{m15}}{g_{m14}} \right) r_{ds15} \right\} \quad (17)$$

III. 실험 결과 및 고찰

제안한 그림 3의 CCII+와 CCII-를 $0.6\mu\text{m}$ n-well 표준 CMOS 공정을 사용해서 일본 주식회사 야마하에서 IC로 제작했다. 본 제작에서는 정전기에 의해 IC가 파괴되는 것을 방지하기 위한 보호 회로(일반적으로 드레인 및 소스 입출력 단자에는 보호 회로를 사용 안함)를 X와 Z 단자에도 사용했다. 보호 회로에 사용된 커패시터 약 3.4 pF이다. 제작할 때 사용한 각 트랜지스터의 크기를 표 1에 나타냈다. 그림 4는 CCII+의 칩 내부의 확대 사진이며 그 크기는 0.2×0.15 [mm^2]이다. 브레드보드(breadboard) 실험에서 제작된 CCII의 성능을 측정했다. 사용한 전원 전압은 $V_{DD} = -V_{SS} = 2.5\text{V}$, 그리고 바이어스 전류는 $25\mu\text{A}$ 로 외부 저항기를 사용하여 조절했다. 측정된 결과와 비교하기 위해, 실험과 같은 조건으로 레벨(level)-47의 MOS 파라미터를 사용해 HSPICE로 시뮬레이션했다. 다음의 각 그림에서 Sim.는 시뮬레이션(simulation) 결과, 그리고 Mea.는 측정(measurement) 결과를 각각 의미한다.

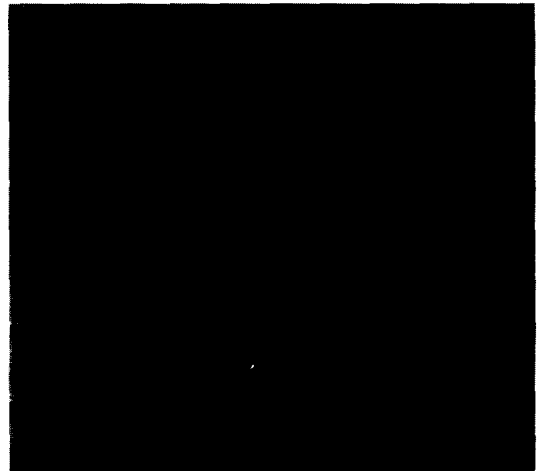


그림 4. CCII+의 확대 사진

Fig. 4. Microphotograph of the CCII+

표 1. 트랜지스터들의 크기

Table 1. Size of transistors.

CCII+			CCII-		
Transistor	W(μm)	L(μm)	Transistor	W(μm)	L(μm)
M ₁	20	1.8	M ₁	20	1.8
M ₂	60	1.8	M ₂	60	1.8
M ₃	20	1.8	M ₃	20	1.8
M ₄ , M ₅	60	1.8	M ₄ , M ₅	60	1.8
M ₇ ~M ₉	60	3	M ₇ ~M ₉	60	3
M ₁₀ ~M ₁₂	30	3	M ₁₀ ~M ₁₂	30	3
M ₁₃ ~M ₁₄	24	3	M ₁₃ , M ₁₄	60	3
M ₁₅ ~M ₁₇	6	3	M ₂₁ ~M ₂₃	6	3
			M ₁₅	20	1.8
			M ₁₆	40	1.8
			M ₁₇ , M ₁₈	30	3
			M ₁₉ , M ₂₀	24	3

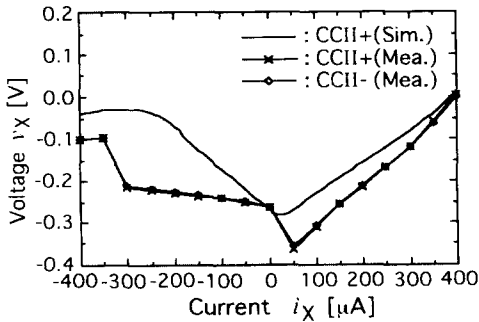


그림 5. i_x 대 v_x 특성

Fig. 5. The i_x vs. v_x characteristics.

그림 5는 CCII의 단자 Y와 Z를 접지시켰을 때 i_x 에 대한 v_x 특성이다. 여기서, 직류 전류 발생기(RIKEN TR-6141)를 사용해 입력 전류 i_x 를 가변시키면서 단자 X의 직류 전압을 측정했다. 그림으로부터 단자 X에서 측정된 소신호 입력 임피던스는 875 Ω 이며, 이 값은 시뮬레이션한 값보다 1.3배 크다. 또한, M₁과 M₂ 그리고 M₃과 M₄간의 문턱(threshold) 전압의 부정합(주원인은 M₂와 M₃의 몸체 효과)에 의해 -450 mV의 오프셋 전압이 존재하지만, 이것은 단자 Y에 +450 mV의 직류 전압이 인가되도록 간단한 바이어스 회로를 구성함으로써 조절할 수 있다. 또한, 제안한 CCII 회로의 두 입력단에 CMOS

쌍의 구성(M₁의 밑에 다이오드 연결된 pMOS와 M₂의 위에 다이오드 연결된 nMOS를 사용)을 채용함으로써 이 오프셋 전압을 줄일 수 있다^[11].

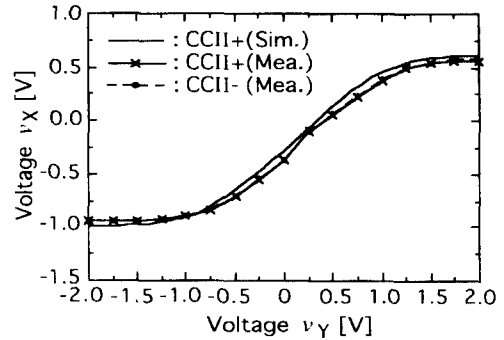


그림 6. v_y 대 v_x 특성

Fig. 6. The v_y vs. v_x characteristics.

그림 6은 단자 X에 부하 저항 $R_x = 10$ k Ω 으로 종단했을 때, 입력 직류 전압 v_y 에 대한 v_x 의 전압 폴로우 특성을 나타낸 것이다. -0.75 V부터 +1.25 V까지의 입력 범위에서, CCII는 전형 폴로우 동작을 하고 있다고 할 수 있으며, v_y 가 +1.25 V일 때 직선성 오차는 2.5 %이다.

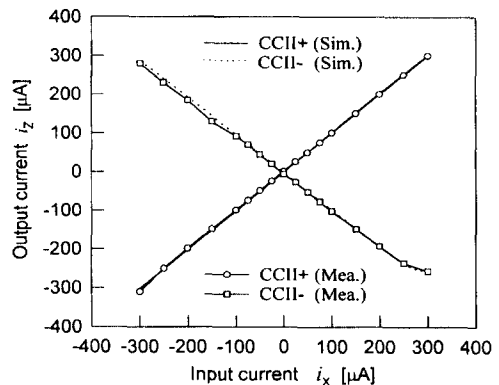


그림 7. i_x 대 i_z 특성

Fig. 7. The i_x vs. i_z characteristics.

그림 7은 단자 Y를 접지시키고 단자 Z에 부하 저항 $R_z = 500$ Ω 으로 종단했을 때, 입력 전류 i_x 를 콘베이어링(conveyoring)하는 출력 전류 i_z 의 전달 특성을 나타낸 것이다. -300 μA 부터 +300 μA 까지의 입력 범위에서 CCII+의 i_z 와 i_x 는 일치됨을 알 수 있으나, CCII-의 경우, i_x 와 i_z 간의 차이가 최대

$30\mu A$ 가 됨을 알 수 있다. 그 원인은 교차-결합(cross-coupled) 윌슨(Wilson) 전류 미러의 부정합과 이 전류 미러의 M_{15} 와 M_{16} 의 크기를 잘못 선택한 것(표의 크기 참조)으로 사료된다. CCII+에서 i_x 에 대한 측정된 i_z 의 오차는 0.1% 이하이다.

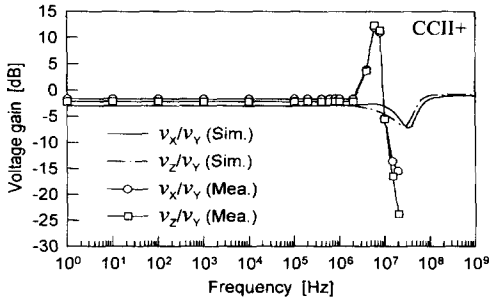


그림 8. CCII+의 전압 전달 특성
Fig. 8. Voltage transfer characteristics of CCII+.

그림 8은 제작한 그림 3(a)의 CCII+를 전압 증폭기로 사용했을 경우, 전압 전달 특성 v_x/v_y 와 v_z/v_y 에 대한 주파수 특성이다. 여기서, 단자 X와 Z를 $R_z = R_x = 10\text{ k}\Omega$ 으로 각각 종단했고 입력 신호 전압 $v_y = 0.1\text{ V}_{P-P}$ 로 설정했다. 식 (8)과 같이 이상적인 경우 이득은 $v_x/v_y = 1$, $v_z/v_y = R_x/R_z$ 이지만, 실제의 이득은 이것보다 떨어지고 있다. 이것은 M_1 과 M_2 그리고 M_3 과 M_4 간의 트랜스컨덕턴스들의 부정합에 의한 것으로, v_x/v_y 가 식 (11)으로 주어지기 때문이다. R_x 혹은 R_z/R_x 를 스케일링(scaling) 함으로써 단위-이득을 얻을 수 있을 것이다. 그림으로부터, 측정된 평탄한 이득(flat band gain)의 대역폭은 4 MHz이고 이것보다 높은 대역폭에서는 이득이 크게되는 것을 알 수 있다. 파형 관측에 의해 이 부분은 파형이 왜곡(distortion)된 것임을 확인하였고, 푸쉬-풀 동작으로부터 단일-출력 동작으로의 천이가 주된 원인인 것을 알았다. 또한 CCII+가 낮은 대역폭을 갖게되는 원인은 단자 X와 Z에 사용한 보호 회로와 본딩 패드(bonding pad)의 커패시터에 의해 각각의 우성 극점이 생겨서, 이것에 의해 고역쪽의 3-dB 차단 주파수가 결정되기 때문이다. 그러나, X와 Z에 보호 회로를 사용하지 않을 경우 v_x/v_y 와 v_z/v_y 에 대한 고역쪽의 3-dB 차단 주파수 ω_H 는 근사적으로 다음식으로 주어진다^[10]

$$\omega_H \approx \frac{1}{2(C_{gs5} + C_{gs6})(r_{ds3} // r_{ds5})} \quad (18)$$

여기서, 각 소자의 표기는 그림 1의 회로에 해당된다. 시뮬레이션의 파라미터 값을 적용하면 $\omega_H \approx 635\text{ Mrad/s}$ ($f_{H(V)} \approx 101\text{ MHz}$)이 되고, 이 값은 시뮬레이션에 의한 $f_H \approx 106\text{ MHz}$ 와 거의 일치한다. 따라서, 본 논문에서 제안한 CCII의 회로는 100 MHz의 대역폭을 갖는다고 할 수 있다. 제작된 CCII-에 대한 대역폭은 CCII+와 같지만, 교차-결합 전류 미러 부정합에 의해 그 이득이 약간 작아졌다는 것을 확인했다. 그림 8과 동일한 실험 조건으로, 입력 전압 $v_y = 0.25\text{ V}_{P-P}$ 이고 그 주파수가 1 MHz일 때, CCII-에서 관측된 입력 전압 v_y 그리고 출력 전압 v_x 와 v_z 의 파형을 그림 9에 나타냈다. 제작된 AB급 CCII+와 CCII-의 전력 소비는 각각 1.25 mW와 1.5 mW이다. A급 CMOS CCII와 비교할 때^[10], 제작된 AB급 CMOS CCII는 같은 주파수 대역을 갖고 있을 뿐만 아니라, 3배 이상의 전류 입력 동작 범위를 갖고 전력 소비는 0.75 mW 감소되었다. 제작된 A급 CCII와 AB급 CCII의 소자에 대한 대표적인 성능을 비교해 표 2에 나타냈다.

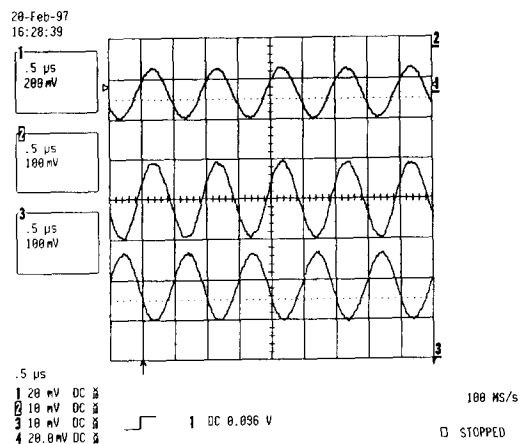


그림 9. 전압 증폭기로 사용할 때 CCII-의 입력-출력 파형
(a) 상부의 파형= v_y , (b) 중앙의 파형= v_x , (c) 하부의 파형= v_z .
Fig. 9. Input-output waveforms of the CCII- when used as a voltage amplifier.
(a) upper waveform= v_y , (b) middle waveform= v_x , (c) lower waveform= v_z .

표 2. A급 CCII+와 AB급 CCII+의 비교
Table 2. Comparison of the class A CCII+ with the class AB CCII.

	A급 CCII+	AB급 CCII+
Supply voltage	$V_{SS} = -V_{DD} = 2.5\text{ V}$	$V_{SS} = -V_{DD} = 2.5\text{ V}$
Bias current	100 μA	25 μA
Power dissipation	2 mW	1.25 mW
Impedance at node X	308 Ω	875 Ω
Impedance at node Y	$\infty\ \Omega$	$\infty\ \Omega$
Impedance at node Z	6 M Ω	2 M Ω
Offset voltage (v_Y vs. v_X)	-410 mV	-450 mV
Offset current (i_X vs. i_Z)	1.9 μA	1.9 μA
Voltage dynamic range	-0.5 V ~ +1.5 V	-0.75 V ~ +1.25 V
Current dynamic range	-90 μA ~ -100 μA	-300 μA ~ +300 μA

표 3. 제작된 CCII의 명세서
Table 3. Specification of the fabricated CCII.

	Class AB CCII+ (CCII-)
Technology	0.6 μm n-well CMOS process
Supply voltage	5 V or +2.5 V to -2.5 V
Power dissipation	1.25 mW (1.5 mW)
Impedance at node X	875 Ω
Impedance at node Y	$\infty\ \Omega$
Impedance at node Z	2 M Ω (60 M Ω)
Offset voltage (v_Y vs. v_X)	-450 mV
Offset current (i_X vs. i_Z)	1.9 μA (12.8 μA)
Voltage dynamic range	-0.75 V to +1.25 V
Current dynamic range	-300 μA to +300 μA
Bandwidth of flat gain of (v_X/v_Y) when $R_X=10\text{K}\Omega$	4 MHz
Bandwidth of flat gain of (v_Z/v_Y) when $R_X=R_Z=10\text{K}\Omega$	4 MHz
Active chip area	0.2 \times 0.15 [mm ²]

IV. 결론

새로운 AB급 CMOS 전류 콘베이어(CCII)를 제안하고 이를 IC로 제작했다. 제작한 CCII는 시뮬레이션 결과와 측정 결과가 거의 일치한다는 것을 알 수 있었다. 또한, A급 CMOS CCII와 비교할 때 제작된 AB급 CMOS CCII는 같은 주파수 대역을 갖고 있을 뿐만 아니라, 3배 이상의 전류 입력 동작 범위를 갖고

전력 소비는 0.75 mW 감소되었다. 제작한 CCII의 명세서를 표 3에 나타냈다. 표의 결과로부터, 제작한 CCII는 DC에서부터 4 MHz까지의 주파수 범위에 있어서, 전류-모드의 신호 처리의 기본 구성 소자로 매우 유용할 것으로 기대된다. 현재 제작된 CCII를 사용하여 전류-모드 신호 처리용 각종 응용 회로를 개발 중에 있다.

참고 문헌

[1] A. S. Sedra and K. C. Smith, "A second-generation current conveyor and its applications," *IEEE Transactions on Circuit Theory*, vol. CT-17, pp. 132-134, Feb. 1970.

[2] A. S. Sedra, G. W. Roberts, and F. Gohh, "The current conveyor : history, process and new results," *IEE Proceeding*, vol. 137. Pt. G, no. 2, pp. 78-87, Apr. 1990.

[3] E. Bruun, "CMOS current-conveyers," in *IEEE ISCAS Tutorials*, pp. 632-641, 1994.

[4] H.-W. Cha and K. Watanabe, "Wideband CMOS current conveyor," *Electron. Lett.*, vol. 32, no. 14, pp. 1245-1246, July 1996.

[5] 車 炯雨, 渡辺 健藏, "광대역 CMOS 전류 콘베이어," 日本電子情報通信學會, 1996年基礎-境界SOCIETY大會講演論文集, pp. 22, 1996年 9月.

[6] 車 炯雨, 小川 覺美, 渡辺 健藏, "광대역 AB급 CMOS 전류 콘베이어," 日本電子情報通信學會1997年總大會講演論文集, 基礎-境界, pp. 23, 1997年 3月

[7] M. I. Elmasry, *BiCMOS integrated circuit design with analog, digital, and smart power applications*, IEEE PRESS, Paper 1.5(pp. 32-39), 1994.

[8] J. P. Uyemura, *Circuit design for CMOS VLSI*, Kluwer Academic Publishers, pp. 214-215, 1992.

[9] R. Gregorian and G. C. Temes, *Analog MOS integrated circuits for signal processing*, Wiley-Interscience, chap. 3(pp. 80-81).

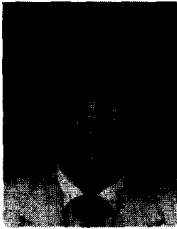
[10] 차 형 우, "A급 CMOS 전류 콘베이어(CCII),"

전자공학회 논문지 제34권 C편 9호 1997년 9월(pp. 1-9)

- [11] H. O. Elwan and A. M. Soliman, "A novel CMOS current conveyor realization with

an electronically tunable current mode filter suitable for VLSI," *IEEE Trans, Circuits and Systems*, Pt. II, vol. 43, pp. 663-670, Sept. 1996.

저 자 소 개



車 炯 雨(정회원)

1962년 1월 27일생. 1989년 2월 청주대학교 반도체공학과 졸업. 1991년 2월 청주대학교 대학원 전자공학과 공학석사 학위 취득. 1997년 3월 일본 静岡(Shizuoka)대학 대학원 전자과학 연구과 공학박사 학위 취득.

1997년 9월 ~ 현재 청주대학교 전자·정보통신·반도체 공학부 교수. 1991년 3월 ~ 1993년 6월 대덕연구단지내 (주)신성기술연구소 근무. 주관심분야는 Bipolar 및 CMOS 아날로그 집적회로 설계, 전류-모드 신호처리 회로 설계, 계측장비 시스템 회로 설계 등임



金 鍾 珽(학생회원)

1967년 3월 9일생. 1996년 2월 청주대학교 반도체공학과 졸업. 1996년 3월 ~ 현재 청주대학교 대학원 전자공학과 석사과정 재학중. 주관심분야는 Bipolar 및 CMOS 아날로그 집적회로 설계, 전류-모드 신호처리 회로 설계, 센서 신호처리 회로 설계, 아날로그 필터 설계 등임

로 설계, 센서 신호처리 회로 설계, 아날로그 필터 설계 등임