

論文97-34C-10-8

가변적 템플릿 메모리를 갖는 디지털 프로그래머블 CNN 구현에 관한 연구

(A Study on Implementation Digital Programmable CNN with Variable Template Memory)

尹 汝 權 *, 文 成 龍 *

(Yue Gen Yun and Sung Ryong Moon)

요 약

신경망은 실시간 처리가 요구되는 음성 및 이미지처리, 패턴인식등 여러 분야에서 응용되고 있다. 따라서 신경망 영역에서 전압 제어 전류원으로 접근한 CNN의 중요특징은 각각의 셀이 이웃셀과 국부적으로 연결가능하고 셀과 셀 사이의 상호 연결 요소의 구조가 매우 간단할 뿐만 아니라 공간에 불변하여, VLSI 시스템 설계에 적합하다. 본 논문에서는 가변적 템플릿 메모리를 갖는 디지털 프로그래머블 CNN의 PE를 이용하여 4 x 4 어레이 구조의 회로를 구성하여 고정적 템플릿과 가변적 템플릿 데이터를 적용한 4 x 4 CNN회로에 대한 동작특성을 HSPICE tool을 이용하여 모의 실험한 결과를 비교 분석하고, 제안한 가변적 템플릿에 의한 CNN 특성이 고정적 템플릿을 적용하였을 때보다 동작특성이 우수함을 확인하였다.

Abstract

Neural networks has widely been used for several practical applications such as speech, image processing, and pattern recognition. Thus, a approach to the voltage - controlled current source in areas of neural networks, the key features of CNN in locally connected only to its neighbors. Because the architecture of the interconnection elements between cells is very simple and space invariant, CNNs are suitable for VLSI implementation. In this paper, processing element of digital programmable CNN with variable template memory was implemented using CMOS circuit. CNN PE circuit was designed to control gain for obtaining the optimal solutions in the CNN output. Performance of operation for 4 x 4 CNN circuit applied for fixed template and variable template analyzed with the result of simulation using HSPICE tool. As a result of simulations, the proposed variable template method verified to improve performance of operation in comparison with the fixed template method.

I. 서 론

신경망의 주요 특징과 이미지 처리, 패턴인식 등 여

* 正會員, 圓光大學校 電子工學科

(Dept. of Electronic Engineering WonKwang University)

※ 이 논문은 1996년도 원광대학교 교비지원에 의해서 연구됨

接受日字:1996年11月22日, 수정완료일:1997年9月23日

러 분야에서 응용되고 있는 새로운 회로 구조인 CNN (Cellular Neural Network)이 최근 Leon. Chua에 의해서 소개되었다.

신경망 영역에서 다른 방법으로 접근한 CNN의 주요 특성은 셀(processing unit)이 이웃 셀에 국부적으로 연결이 가능하며 셀과 셀 사이의 상호 연결 요소의 구조가 매우 간단하고 공간에 불변하므로 VLSI에 적합하다. 특히, CNN의 국부적 상호연결과 간단한 스넵틱 연산자는 초고속, 실시간 처리를 실현할 수 있도록

VLSI 구현이 가능한 점이 가장 중요한 특징중의 하나이며, 또한 CNN은 잡음제거, 윤곽선 검출, 홀채움(hole filling), 그림자 검출과 연결성분 검출과 같은 다양한 기능을 수행할 수 있다.^[1-5]

최근 스위치-전류 신호처리에 의한 아날로그 CNN에서는 연산시 제한적인 템플릿 값에 의해서만 동작되도록 설계됨으로써 한정된 연산만 가능하도록 하였고, 아날로그 회로로 적절한 가중치를 갖는 템플릿 회로를 구현하는데 있어서 정확한 템플릿 값을 제어하기가 어렵다.^[6]

본 논문에서는 회로의 면적을 줄이고, 소비전력이 적은 회로를 구성하기 위하여 CNN의 기본 셀을 CMOS로 구현하고, 연산시 필요한 템플릿 값을 선택할 수 있는 가변적 템플릿 메모리를 갖는 디지털 프로그래머블 CNN의 PE를 설계하고자한다. 또한 출력에서 최적의 값을 얻기 위하여 제어단자 g 에 의해서 이득값을 조절할 수 있도록 설계된 CNN PE를 이용하여 4×4 어레이 회로를 구성하고 잡음제거, 윤곽선 검출 템플릿에 대한 동작특성을 갖는 고정적 템플릿과 가변적 템플릿 데이터를 적용한 4×4 CNN 회로에 대한 동작특성을 HSPICE tool을 이용하여 모의 실험한 결과를 비교, 검토하고 가변적 템플릿에 의한 데이터 처리가 고정적 템플릿에 의한 데이터 처리보다 동작특성과 데이터활용면에서 우수함을 확인하고자 한다.

II. CNN(Cellular Neural Network)

CNN의 기본 회로 단위는 셀 이라 하며 선형 캐패시터, 선형저항, 선형 및 비선형 제어 공급원(source), 독립 공급원을 비롯한 선형, 비선형 회로를 포함하고 있다. CNN의 셀 구조는 셀룰러 오토마타(Cellular automata)와 유사하고 CNN에서 임의 셀은 이웃 셀에 연결되어 있다. 또한, 인접된 셀은 다른 셀에 연결되어있고 직접적으로 연결되지 않는 셀은 CNN의 연속시간 활동의 전달효과 때문에 인접 셀에 의하여 입력 값을 받는다. M 행과 N 열로 정의된 $M \times N$ CNN은 i 번째 행과 j 번째 열의 셀을 $C(i, j)$ 라하며 그림 1과 같다.^[1,7]

$C(i, j)$ 의 r -이웃인 CNN의 정의는 식(1)과 같다.

$$N_r(i, j) = \{C(k, l) | \max\{|k-i|, |l-j|\} \leq r, 1 \leq k \leq M; 1 \leq l \leq N\} \quad (1)$$

r 은 양의 정수이다. CNN의 기본적인 아날로그 회로는 그림 2와 같으며, 그림 2에서 보인 CNN의 회로를 KCL과 KVL을 적용하면 셀의 회로 방정식은 식 (2)과 같다.

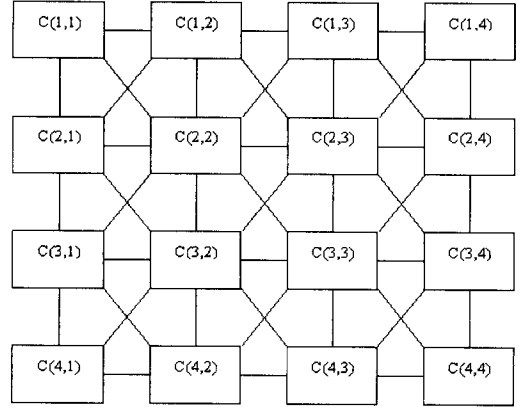


그림 1. 2차원 cellular neural network

Fig. 1. Two-dimensional cellular neural network.

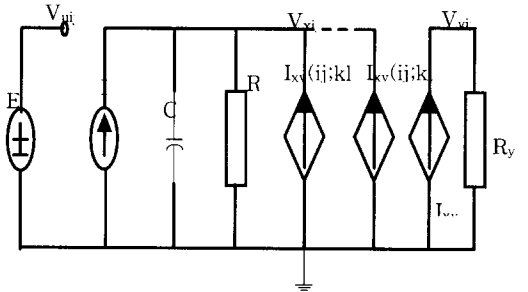


그림 2. Cellular neural network의 아날로그 회로

Fig. 2. Analog circuit of cellular neural network.

State equation

$$C \frac{dv_{x_{ij}}(t)}{dt} = \frac{-1}{R_x} v_{x_{ij}}(t) + \sum_{\alpha(k, l) \in N_{A,i,j}} A(i, j, k, l) v_{y_{\alpha}}(t) + \sum_{C(k, l) \in N_{A,i,j}} B(i, j, k, l) v_{u_{kl}} + I \quad (2a)$$

$$1 \leq i \leq M; 1 \leq j \leq N$$

Output equation :

$$v_{y_{ij}}(t) = \frac{1}{2} (|v_{x_{ij}}(t) + 1| - |v_{x_{ij}}(t) - 1|), \quad (2b)$$

$$1 \leq i \leq M; 1 \leq j \leq N$$

Input equation :

$$v_{u_{ij}} = E_{ij}, \quad 1 \leq i \leq M; 1 \leq j \leq N \quad (2c)$$

Constraint conditions :

$$|v_{xij}(0)| \leq 1, \quad 1 \leq i \leq M; 1 \leq j \leq N \quad (2d)$$

$$|v_{uij}| \leq 1, \quad 1 \leq i \leq M; 1 \leq j \leq N \quad (2e)$$

Parameter assumption :

$$A(i, j; k, l) = A(k, l; i, j), \quad (2f)$$

$$1 \leq i, k \leq M; 1 \leq j, l \leq N$$

$$C > 0, \quad R_x > 0 \quad (2g)$$

CNN에서 모든 내부 셀은 같은 회로 구조와 같은 요소 값을 가지고 있으며, $(2r+1)^2$ 의 이웃셀을 가지고 있으며, r에대한 정의는 식(1)과 같다. CNN의 주요 특징은 출력의 궤환과 입력제어 기능을 가지고 있다는 점이다. 따라서 출력 궤환은 파라메타 $A(i, j; k, l)$ 에 관계되고 입력제어는 파라메타 $B(i, j; k, l)$ 에 관계된다. 출력방정식(2b)은 상태전압 V_{xij} 에 따라 비선형적으로 제어되며 CNN의 상태방정식을 전류 모드로 변환하면 식 (3)과 같다.^[1,8,9,10]

$$C \frac{dv_{xij}}{dt} = -\frac{v_{xij}}{R} + \sum_{k,l} I_{A(i,j),(k,l)} v_{xkl} + I_{B(i,j),(k,l)} v_{ukl} + I \quad (3)$$

여기서 $I_{B(i,j),(k,l)} V_{ukl} = B[(i, j); (k, l)] V_{ukl}$ 이고, $I_{A(i,j),(k,l)}$ 는 $A[(i, j); (k, l)]$ 에 비례하며 포화 전류 $I_{AS}[(i, j); (k, l)]$ 로써 상태전압에 대하여 시그모이드 (sigmoidal) 종속을 특징으로 갖는 전류를 나타낸다. $-\frac{v_{xij}}{R}$ 과 $I_{A[(i,j),(k,l)]} v_{xij}$ 는 비선형 저항의 N-모양 I(v)특성을 나타내며, N-곡선의 어깨(Knee)전류는 $\mp I_k = \pm(-\frac{v_k}{R} - I_{AS}[(i,j),(k,l)])$ 이고, v_k 는 시그모이드 함수의 어깨전압(knee voltage)이다.^[1,2,11]

III. CNN 회로 설계

CNN의 PE는 그림 3과 같으며 코어 뉴런셀(core neuron cell) 블록, 스냅틱 가중(synaptic weights) 블록, 궤환/제어(feedback/control) 블록, 가변적 템플릿 레지스터 블록으로 구성된다. 코어 셀은 저항의 N-모양 I(v)특성을 얻을 수 있도록 하였으며, 셀 저항은 CMOS로 구현하였다. CNN구조는 프로그래머블 디지털 연산을 수행하기 위하여 국부적 로직과 메모리 블록을 포함하고 출력에서 최적의 값을 얻기 위해서 이득 값을 조절할 수 있도록 회로를 설계하였다. 또한 아날로그 형태의 템플릿은 잡음과 변화에 매우 민감하

기 때문에 CNN PE 회로설계에 있어서 템플릿의 데이터값을 저장하여 연산에 적절한 템플릿을 선택하도록 가변적 템플릿 데이터 레지스터 블록을 설계하였다. [12]

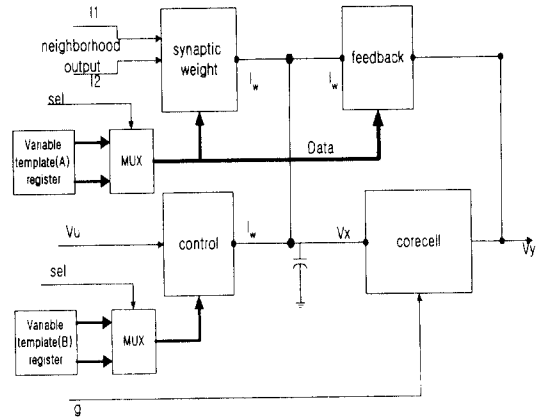


그림 3. CNN PE의 블록도
Fig. 3. Block diagram of CNN PE.

1. 코어 뉴런셀(Core Neuron Cell)

스냅틱 가중은 가중된 2진 전류 스위치를 통해 디지털적으로 프로그램 할 수 있으며, 가중치를 조절 하는데 있어서 r-이웃이 $r \geq 1$ 인 경우 셀의 수는 스냅틱 가중의 수보다 매우 작기 때문에 전류모드 회로로 구현 하는 것이 전압모드 회로보다 단순성을 제공한다.

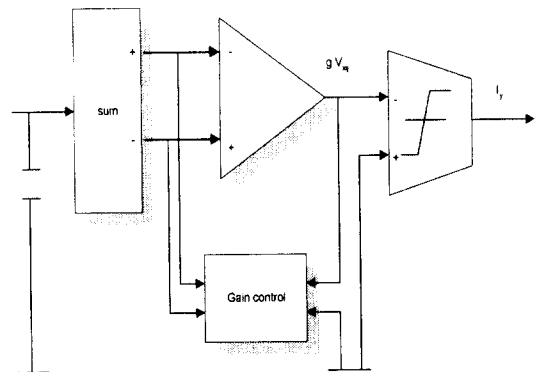


그림 4. 이득 조절 뉴런 셀
Fig. 4. Variable-gain neuron Cell.

코어 셀의 동작은 비선형함수 $f(\cdot)$ 를 취하기 전에 이득조절함수 g 와 상태 V_{xij} 의 곱을 먼저 수행한다. 이때 아날로그 곱셈기는 그림 4와 같이 가산회로와 비선형회로 사이에 위치하고, 여기에서 g 는 양의상수 이므로 Two - quadrant 곱셈기로 구현하였다. 그림 5

는 이득조절 CNN셀에 대한 뉴런 셀의 회로이다.

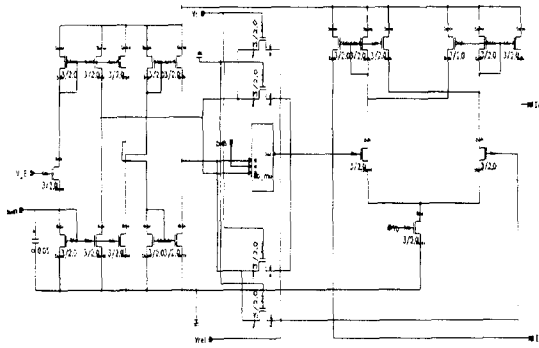


그림 5. 코어 뉴런 셀 회로
Fig. 5. Circuit of a core neuron cell.

2. 프로그래머블 가중 스냅틱 블록

가변적 템플릿 레지스터 A에서 선택된 템플릿 데이터와 각 스냅틱의 가중치를 템플릿에 따라 다양한 값을 입력하여야 하나 여기서는 가중치를 선택할 수 있도록 설계함으로써 연산의 목적에 맞는 데이터에 의해서 필요에 따라 템플릿 데이터를 선택하도록 하였다. 그림 6에서는 four-quadrant multiplication의 수행 능력을 가지면서 이진 값으로 가중된 전류원을 보여준다. 입력 I1과 I2는 MSB bit로 연산을 수행하며 출력 Iw는 극성이 변화되고 LSB bit로 나타난다. 자기회환 (self-feedback) A(i, j; i, j)에 대한 시냅틱 가중은 다른 것 보다 큰 양의 수를 가져야 함으로, 따라서 단지 4개의 제어 비트만이 시냅스에 이용된다.

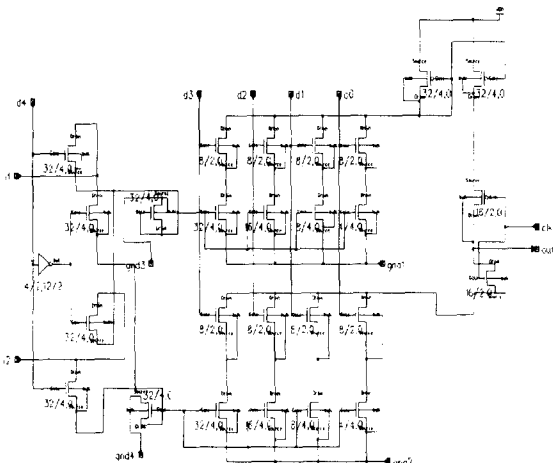


그림 6. 프로그래머블 가중 스냅틱 회로
Fig. 6. Circuit of digitally-programmable synaptic weight.

3. 궤환/제어블록

궤환/제어 블록은 셀의 초기값을 가지고 있는 블록으로 코어 셀의 출력을 입력으로 받아 궤환 템플릿과 연산을 수행하고 제어(control) 블록은 입력 데이터의 초기 값과 제어 템플릿 데이터와 곱셈 연산을 한다. 제어 블록의 입력은 셀의 초기치이고 포토 다이오드나 트랜지스터는 전압 출력이므로 전류로 전환하여 제어 블록입력으로 한다.

4. 가변적 템플릿 레지스터 블록

연산시 필요한 템플릿 값을 선택할 수 있는 가변적 템플릿 데이터 블록으로써 식(6)과 같이 3x3 템플릿 데이터로 구성함으로써 i의 값에 의하여 결정되면 템플릿 데이터의 구성원소의 가중치가 결정된다. 연산의 목적에 따라 데이터를 선택적으로 적용할 수 있으며, 가중치를 조절 가능하도록 유클리디안 거리 변환 (Euclidean Distance transformation)을 적용한 가변적 템플릿(Av)은 식(6)과 같이 구성된다.

$$A_v = \begin{pmatrix} 0 & a & 0 \\ a & y & a \\ 0 & a & 0 \end{pmatrix} \quad (6)$$

여기에서, $a = \sqrt{i^2 + (i-j+1)^2} - \sqrt{i^2 + (i-j)^2}$ 이고, $j = 2, 3, 4, \dots, i$

$$y = \begin{cases} 0 & i=1 \\ \text{don't care} & i>1 \end{cases} \text{ 이다.}$$

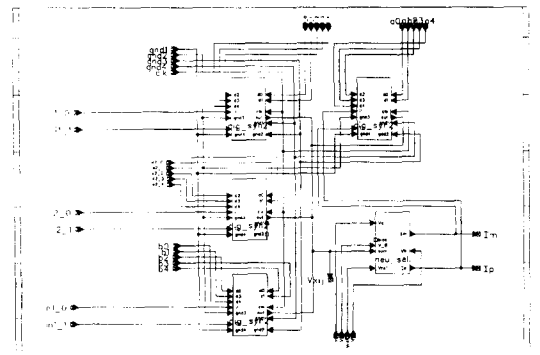


그림 7. CNN PE 회로
Fig. 7. Circuit of CNN PE.

5. CNN PE 설계 및 레이아웃

위 각블록에 대한 CNN PE의 회로는 그림 7과 같이 COMPASS tool을 이용하여 설계하였으며 0.8μm CMOS 디자인 룰에 의해 250개의 트랜지스터로 구현된 PE를 레이아웃한 결과 그림 8과 같이 집적화 하였

다.

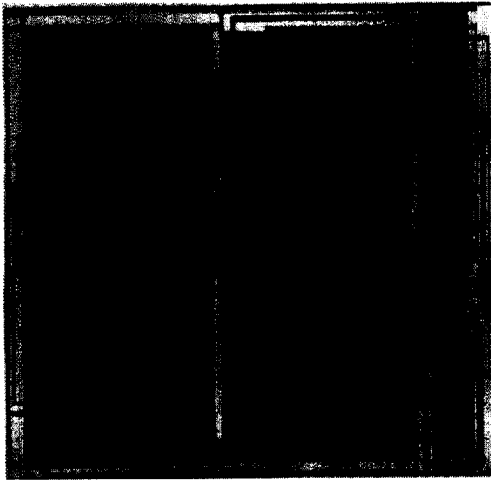


그림 8. CNN PE 레이아웃
Fig. 8. lay out of CNN PE.

$$B = \begin{pmatrix} 0 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 0 \end{pmatrix} \quad (7)$$

$$A = \begin{pmatrix} 0 & 1 & 0 \\ 1 & 2 & 1 \\ 0 & 1 & 0 \end{pmatrix} \quad B = \begin{pmatrix} 0 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 0 \end{pmatrix} \quad (8)$$

IV. 실험 및 결과

그림 7의 CNN PE회로를 이용하여 그림 9와 같이 CNN PE를 4x4 어레이 구조의 CNN회로로 설계하고, Netlist file를 추출하여 각각의 템플릿에 따라 모의 실험 하였으며, 각 연산의 특징에 따라 레지스터에 저장된 템플릿 데이터를 선택 단자에 의해서 연산에 적용할 수 있도록 하였다. 본 논문에서 제안한 가변적 템플릿을 적용한 HSPICE의 모의 실험한 결과, 고정적 템플릿을 적용하였을 때보다 가변적 템플릿을 적용한 CNN 회로가 안정성과 동작특성이 우수함을 확인하였다. 실험에서 이용된 시간 주기는 0.5us로 하고 0 ~ 4.5us 까지의 입력 패턴 V_{in} 에 대한 결과를 관찰하였으며, 모의 실험에 이용된 템플릿 데이터로는 식 (7), (8)과 같은 모서리 검출 템플릿 데이터, 잡음제거 템플릿 데이터와 식(6)의 제안된 가변적 템플릿을 적용하여 얻은 각 셀의 과도 현상과 출력특성을 비교하였다. 그림 10, 11은 고정적 템플릿을 적용한 모의 실험 결과 파형으로서 각 셀의 과도 현상이 불안정함을 보여주지만, 그림 12, 13은 가변적 템플릿을 적용하였을 때의 출력특성으로 고정적 템플릿을 적용하였을 때보다 안정된 출력특성이 나타남을 모의 실험 결과파형으로서 확인할 수 있다.

$$A = \begin{pmatrix} 0 & -0.5 & 0 \\ -0.5 & 2 & -0.5 \\ 0 & -0.5 & 0 \end{pmatrix}$$

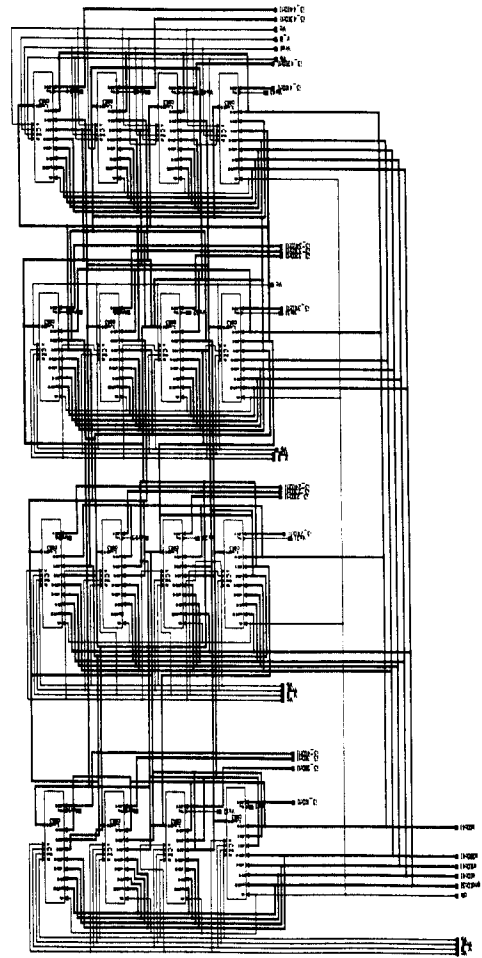


그림 9. 4x4 CNN 회로
Fig. 9. Circuit of 4x4 CNN.

V. 결론

CNN의 중요특징은 각각의 셀이 이웃셀과 국부적으로 연결 가능하고, 셀과 셀 사이의 상호 연결 요소의 구조가 매우 간단할 뿐만 아니라 공간에 불변하여 VLSI 시스템 설계에 적합하다. CNN은 신경망의 특별한 경우로써 원하는 값을 갖도록 회로구현이 가능하지만 아날로그 CNN을 구현하기에는 많은 어려움이 있다.

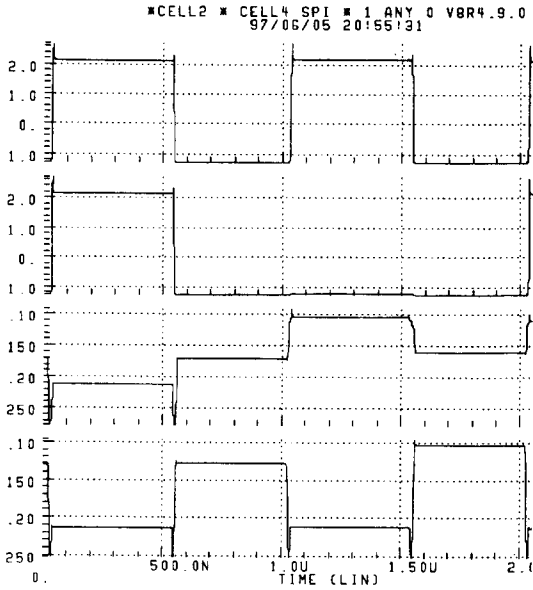


그림 10. 모서리 검출 템플릿을 적용한 4x4 CNN에서 C(2,1) ~ C(2,4)에대한 결과 파형
 Fig. 10. A wave of result Cell(2,1) ~ Cell(2,4) in 4x4 CNN using edge detection template.

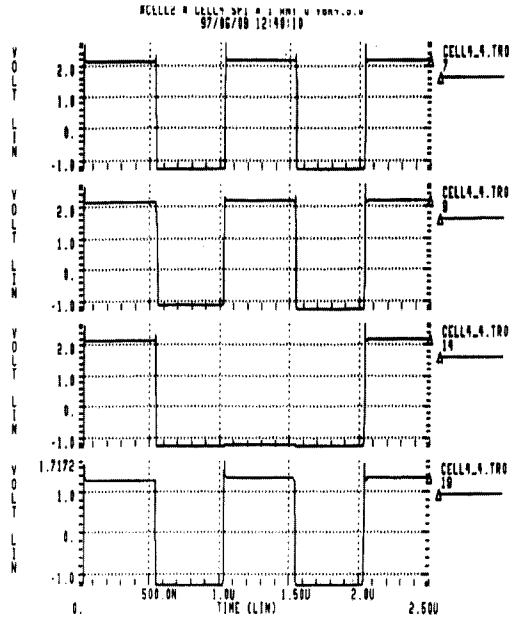


그림 12. 가변적 템플릿을 적용한 4x4 CNN에서 C(2,1) ~ C(2,4)에대한 결과 파형 (i=1)
 Fig. 12. A wave of result Cell(2,1) ~ Cell(2,4) in 4x4 CNN using variable template (i=1).

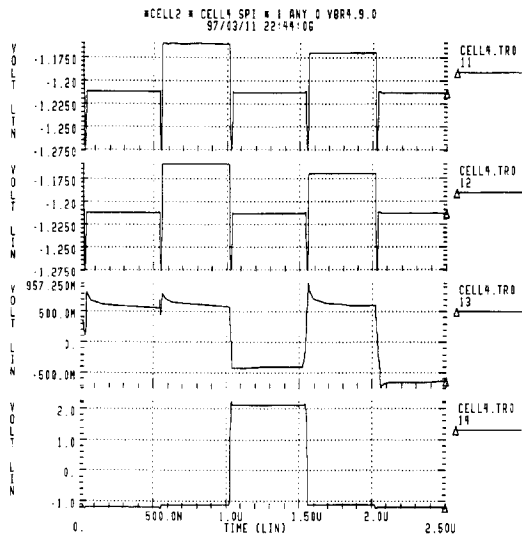


그림 11. 잡음 제거 템플릿을 적용한 4x4 CNN에서 C(2,1) ~ C(2,4)에대한 결과 파형
 Fig. 11. A wave of result Cell(2,1) ~ Cell(2,4) in 4x4 CNN using noise removable template.

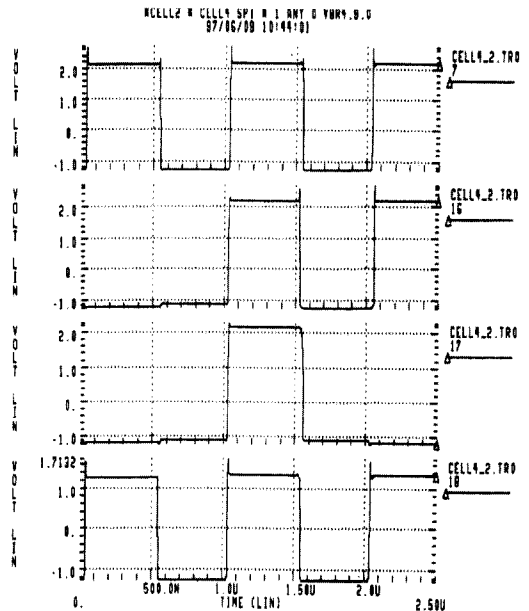


그림 13. 가변적 템플릿을 적용한 4x4 CNN에서 C(2,1) ~ C(2,4)에대한 결과 파형 (i=2)
 Fig. 13. A wave of result Cell(2,1) ~ Cell(2,4) in 4x4 CNN using variable template (i=2).

본 논문에서는 회로의 면적을 줄이고 소비전력이 적은 회로를 구성하기 위하여 CNN의 기본 셀을 CMOS로 구성하고, 연산시 필요한 템플릿 값을 메모

리블록에서 선택할 수 있는 가변적 템플릿을 갖는 디

지탈 프로그래머블 CNN의 PE는 Compass tool를 이용하여 아날로그 부분과 디지털 부분을 포함하여 250개의 트랜지스터로 구현하였다. 메모리 블록은 3 x 3 템플릿 데이터 값을 가변적으로 선택 할 수 있도록 유클리디안 거리 변환을 적용하여 설계하였으며, 프로그래머블 템플릿(template)은 연속 스펙트럼과 학습능력을 제공하지만 잡음에 매우 민감하기 때문에 CNN의 VLSI 구현에 있어서 최적의 값을 얻기 위하여 선택단자 g에 의해서 이득 값을 조절할 수 있도록 설계하였다.

또한 설계한 CNN의 PE를 4x4 어레이 구조의 회로로 구성하였으며, 실험에서 이용된 시간 주기는 0.5us로 하여 0 ~ 4.5us까지의 입력 패턴 V_{in} 를 갖는 4x4 CNN 회로에 고정 템플릿 데이터와 제안된 가변적 템플릿을 적용한 모의 실험에서 각 셀의 과도 현상과 출력특성을 비교한 결과 고정적 템플릿을 적용하였을 때보다 가변적 템플릿을 적용하였을 때 동작특성이 우수함을 확인하였다.

앞으로 이미지 처리, 패턴인식등 비선형 신호 처리 분야에 적용할 수 있도록 그레이 스케일 형상을 적용한 DTCNN 회로 구현에 대한 연구가 진행중에 있다.

참 고 문 헌

- [1] L. O. Chua and L. Yang, "Cellular neural networks: theory", IEEE Trans. Circuits and Systems, CAS-35, no. 10, pp. 1257-1272, Octo. 1988.
- [2] J. A. Nossek, G. Seiler, T. Roska and L. O. Chua, "Cellular neural networks: theory and circuit design", Int. j. circ. theor. no. 20, pp. 523-543, Appl. 1992.
- [3] T. Matsumoto, L. O. Chua and H. Suzuki, "CNN cloning template: shadow detector", IEEE Trans. Circuits and Systems, CAS-37, no. 5, pp. 1070-1073, May, 1990.
- [4] T. Matsumoto, L. O. Chua and H. Suzuki, "CNN cloning template: connected component detector", IEEE Trans. Circuits and Systems, CAS-37, no. 5, pp. 633-635, May 1990.
- [5] T. Matsumoto, L. O. Chua and R. Furukawa, "CNN cloning template: hole-filler", IEEE Trans. Circuits and Systems, CAS-37, no. 5, pp. 635-638, May, 1990.
- [6] Joseph E. Varrientos, "A Current-Mode Cellular neural network Implementation", IEEE Trans. Circuits and Systems-II Analog and Digital Processing, vol. 40, no. 3, pp. 147-155, March, 1993.
- [7] L. O. Chua and L. Yang, "Cellular neural networks: applications", IEEE Trans. Circuits and Systems, CAS-35, no. 10, pp. 1273-1290, Octo. 1988.
- [8] F. Zou, S. Schwarz and J. A. Nossek, "Cellular neural network design using a learning algorithm", Proc. First IEEE Int. Workshop on Cellular Neural Networks and Their Applications, CNNA-90, Budapest, pp. 73-81, 1990.
- [9] L. O. Chua and T. Roska, "Stability of a class of nonreciprocal cellular neural networks", IEEE Trans. Circuits and Systems, CAS-37, 1520-1527, 1990.
- [10] T. Roska, "On the qualitative and quantitative relationships between the analog and digital realizations of "neural" computing circuits", Report 2/89, Hungarian Academy of Sciences, Budapest, 1989.
- [11] T. Roska and L.O. Chua, "Cellular neural networks with nonlinear and delay-type template elements", Proc. First IEEE Int. Workshop on Cellular Neural and Their Applications, CNNA-90, Budapest, pp. 12-25, 1991.
- [12] S. Tan, J. Hao and J. Vandewalle, "Cellular neural networks as a model of associative memories", Pros. First IEEE Int. Workshop on Cellular Neural Network and Their Applications, CNNA-90, Budapest, pp. 26-35, 1990.

저 자 소 개



尹 汝 權(正會員)

1973년 1월 15일생. 1996년 2월 원광대학교 전자공학과(학사). 1996년 3월 ~ 현재 원광대학교 대학원 전자공학과(석사과정). 주관심분야는 영상신호처리, 패턴인식, 신경망 회로 VLSI



文 成 龍(正會員)

1959년 12월 22일생. 1982년 2월 원광대학교 전자공학과(공학사). 1986년 8월 전북대학교 대학원 전자공학과(공학석사). 1993년 2월 전북대학교 대학원 전자공학과 (공학박사) 1990년 3월 ~ 1994년 2월 전주공업전문대학 전자계산과 조교수. 1994년 3월 ~ 현재 원광대학교 공과대학 전자공학과 조교수. 주관심분야는 영상신호처리, 패턴인식, 신경망 회로 VLSI