

論文97-34C-12-4

저전력용 CMOS 비교기의 시스템 응용을 위한 오프셋 전압 최소화 기법

(An Offset-Voltage Reduction Technique for System Applications of a Low-Power CMOS Comparator)

郭明保*, 李承勳*, 李寅煥**

(Myoung-Bo Kwak, Seung-Hoon Lee, and In-Hwan Lee)

요 약

본 논문에서는 저전압 저전력용 CMOS 비교기 (comparator)의 시스템 응용 기법을 제안한다. 제안된 방법은 시스템 내부에 존재하는 비교기들에 비해 상대적으로 낮은 정확도를 가지는 시스템 양 끝단에 위치하는 비교기 회로의 정확도를 높이기 위하여 poly-line 구조를 추가하였으며, 기존의 dummy cell을 추가로 레이아웃하여 부가 비교기를 사용하는 방법에 비하여 고밀도 시스템을 구현할 수 있는 장점이 있다. 제안된 회로는 0.6 μm single-poly double-metal n-well CMOS 공정을 사용하여 제작되었으며, 3 V의 단일 전원 전압으로 동작하고, 20 MHz 클럭 주파수에서 동작할 경우 0.38 mW의 전력 소모를 가진다. 제안된 비교기의 시스템 응용시 정확도를 분석하기 위해, 비교기 회로를 구성하고 있는 각 블럭들의 오프셋 전압을 측정하여 비교하였다. 제안된 poly-line 구조를 사용하는 경우, 비교기의 오프셋 전압은 그렇지 않은 경우의 40 % 수준으로 감소함을 측정을 통하여 확인하였다.

Abstract

In this paper, system application techniques of a low-voltage low-power CMOS comparator are proposed. The proposed techniques employ poly-layer lines instead of conventional dummy cells to improve the accuracy of comparators which are located in both ends of a comparator array. This technique is easily applicable for high-density systems such as memory. The proposed circuits are implemented using a 0.6 μm single-poly double-metal n-well CMOS technology and the dissipated power is 0.38 mW at a 20 MHz clock speed based on a 3 V supply. The comparator offsets are measured separately and compared for system applications. Using the proposed techniques, the measured comparator offsets are reduced by 40 % of a conventional case.

I. 서론

멀티미디어 및 통신 시스템에서 널리 사용되는 디지

탈 신호 처리 기술의 발전으로 인하여 자연계의 아날로그 신호를 디지털 신호로 바꾸어 주는 A/D 변환기 (analog-to-digital converter)의 중요성이 점차 증가하고 있다. 비교기 (comparator)는 작은 아날로그 신호를 감지, 이를 증폭하여 디지털 신호로 바꾸어 출력해 주는 기능을 가지는 A/D 변환기의 핵심이 되는 부분으로, 이러한 비교기에서 속도, 정확도, 전력 소모 및 집적도 등은 A/D 변환기의 성능을 결정하는 중요한 요소가 된다. 최근 VLSI 공정 기술의 발달과 더불어

* 正會員, 西江大學校 電子工學科

(Dept. of Electronic Engineering, Sogang University)

** 正會員, 漢陽大學校 電子工學部

(Div. of Electrical and Computer Engineering, Han-yang University)

接受日字:1996年12月4日, 수정완료일:1997年11月24日

어 1.0 μm 이하의 최소 선폭을 가지는 공정의 경우, 회로의 안정성을 위하여 전원 전압이 점차 감소되는 추세에 있으며, 아울러 휴대용 기기에 사용되는 시스템을 위하여 이러한 저전압, 저전력용 회로의 필요성이 점차 대두되어지고 있는 실정이다. 이러한 추세에 부응하여 낮은 전원 전압에서도 동작하면서 저전력과 고해상도의 특성을 동시에 가질 수 있는 CMOS 비교기의 중요성이 점차 증가하고 있다.

특히, 이러한 비교기의 실제 시스템 응용시에는 정확도와 면적의 측면을 동시에 만족시키는 것이 어렵다. 예를 들어 제안된 비교기를 n-비트의 A/D 변환기 시스템에 응용하고자 하는 경우에 보통 2^n-1 개의 비교기를 필요로 하게된다. 이때 일렬로 비교기 회로를 레이아웃하여 배치하고자 하는 경우에 양 끝단에 위치하는 비교기는 다른 곳에 위치하는 비교기에 비해 주변 환경이 다름으로 인하여 오프셋 전압이 상대적으로 커지게 된다. 이러한 문제점을 해결하기 위하여 기존의 경우에는 실제로 동작하지 않는 부가 비교기를 추가로 레이아웃하여 시스템의 양 끝단에 둬으로써 양 끝단에 위치하는 비교기의 오프셋 전압이 상대적으로 커지는 것을 방지하였다^[11]. 그러나, 이와 같은 방법은 부가 비교기에 해당하는 면적이 추가로 필요하기 때문에 메모리나 A/D 변환기에서 볼 수 있듯이, 같은 형상이 반복적으로 사용되는 고밀도 시스템을 구현하는데 있어서의 상대적인 단점이 된다. 따라서, 시스템의 양 끝단에 위치하는 비교기의 오프셋 전압을 최소화하면서 전체 시스템의 점유 면적을 줄일 수 있는 기법들이 요구되고 있는 실정이다.

본 논문의 II 장에서는 설계된 비교기 및 각 구성 블럭들의 구조와 동작 원리 등을 살펴보고, III 장에서는 설계된 비교기 회로의 시스템 응용시 나타나는 일반적인 문제점 및 그 해결책을 제시하며, IV 장에서는 제안된 비교기 회로 및 검증용 회로 블럭들의 측정 결과를 분석한다.

II. 제안된 비교기의 구조와 동작 원리

그림 1은 제안된 비교기이며, 각 부분은 SW1부터 SW6으로 구성된 신호 샘플링 (sampling) 단, M1부터 M8 및 M21부터 M28로 구성된 프리 앰프 (preamp) 단, ML1부터 ML9로 구성된 래치 (latch) 단, MD1부터 MD8로 구성된 버퍼 (buffer) 단 등 크

게 4 부분으로 나누어진다^{[2], [13]}. 사용된 single-poly double-metal CMOS 공정으로 샘플링 단에서 캐패시터를 구현하고자 하는 경우, 전형적인 poly-poly 구조의 캐패시터를 이용할 수 없으므로 MOS 트랜지스터를 사용하여 캐패시터를 구현하였다^[4]. 제안된 회로에서 MOS 트랜지스터 구조의 캐패시터 대신 metal-metal 구조의 캐패시터 등 다양한 구조로 캐패시터의 구현이 가능하나, 본 논문에서는 시스템 응용시의 효율적인 오프셋 최소화 기법에 연구의 중점을 두었기 때문에, 캐패시터 종류의 선택은 크게 고려하지 않았다. 제안된 비교기 회로에서 MOS 트랜지스터 구조의 캐패시터를 사용할 경우, 오버랩 캐패시턴스 성분만 캐패시턴스 값에 기여하게 되므로 면적에 비해 상당히 작은 캐패시턴스 값을 얻게 된다. 실제로 샘플링 단의 캐패시터 값이 작은 경우 샘플링 단에서의 전압 이득 감소가 크며, 제안된 회로의 경우 이득 감소는 0.12가 되어 입력 전압의 12 %만이 프리 앰프 단으로 전달되기 때문에 이를 보상하기 위하여 프리 앰프 단을 2단으로 구성하였다.

제안된 비교기에 응용된 프리 앰프 회로는 낮은 전원 전압에서 비교적 큰 전압 이득을 얻을 수 있는 구조로서 동일한 프리 앰프를 사용하여 2단으로 구성하였다. 첫번째 프리 앰프는 샘플링 단에서의 이득 감소를 보상하는 역할을 하고 두번째 프리 앰프는 신호를 증폭하여 래치단에 전달하여 주는 역할을 한다. 프리 앰프 한단의 전압 이득 및 -3dB pole의 위치는 다음의 식 (1) 및 (2)와 같이 요약된다.

$$A_p = g_{m5}R_T = g_{m5}/(g_{m1} - g_{m2}) \quad (1)$$

$$f_{-3dB} = 1/2\pi R_T C_T \quad (2)$$

식 (1) 및 (2)에서 R_T 와 C_T 는 다음과 같다.

$$R_T = 1/(g_{m1} - g_{m2}) \quad (3)$$

$$C_T = C_{db1} + C_{sp1} + C_{db2} + C_{gs3} + 2C_{gd1} + 2C_{gd5} + C_{db5} \quad (4)$$

식 (1), (2), (3) 및 (4)에서 g_{m5} , g_{m1} , g_{m2} 는 각각 그림 1의 회로에서 프리 앰프 입력단 MOS 트랜지스터 M5, 프리 앰프 PMOS 부하단 M1 및 M2의 트랜스 컨덕턴스 (transconductance)에 해당되며, R_T 및 C_T 는 각각 프리 앰프 출력 단자에서 바라보는 등가적인 저항 값 및 캐패시턴스 값을 나타낸다. 한편, C_{db1} , C_{db2} , C_{db5} 는 해당되는 MOS 트랜지스터의 드레인

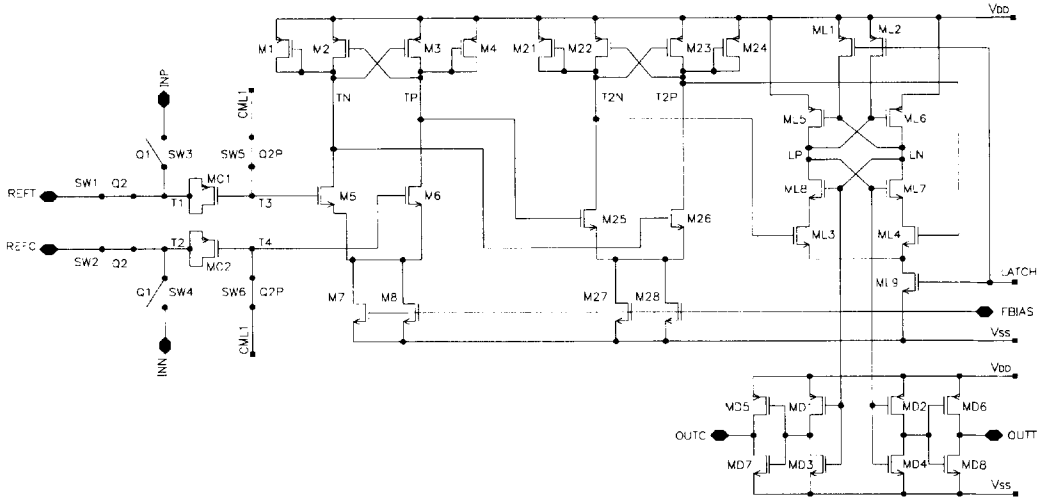


그림 1. 제안된 비교기
Fig. 1. Proposed comparator.

(drain)과 기판 (body) 사이의 캐패시터 성분, C_{RS1} , C_{RS3} 은 게이트 (gate)와 소오스 (source) 사이의 캐패시터 성분, C_{gd2} , C_{gd3} , C_{gd5} 는 게이트와 드레인 사이의 캐패시터 성분이다.

설계된 회로에서 전압 이득 및 -3dB pole은 식 (1)과 (2)에 나타난 바와 같이 트랜지스터 변수 값을 이용하여 임의로 조절할 수 있으며, 본 논문에서는 비교기의 전체 전압 이득을 최적화 할 수 있도록 조정하였다. 또한, 비교기의 전력 소모를 줄이기 위하여 소모 전력 하강 모드 바이어스 회로를 사용하였다. 즉, 그림 2 (a)의 클럭 타이밍 도에서 클럭 Q2가 high로 유지되는 동안은 프리 앰프에 공급되는 바이어스 전류를 차단시키게 되는데 이러한 과정은 그림 2 (b)에서 제안된 소모 전력 하강 모드 바이어스 회로로 구현된다. 이때 스위치 MN2는 클럭 Q2가 high인 동안에만 프리 앰프의 전류를 차단시켜서, 비교기 전력 소모의 대부분을 차지하는 프리 앰프의 전력 소모를 1/2 수준으로 감소시킨다.

모의 실험을 통하여 래치단에서의 오프셋 전압을 분석한 결과, 공정 상의 부정합에 의한 경우에는 래치단 입력 트랜지스터 쌍에 의하여 오프셋이 가장 큰 영향을 받으며, 공통 입력 전압에 의한 경우에는 공통 입력 전압이 두개의 전원 전압 V_{DD} 및 V_{SS} 의 가운데 값으로 바이어스될 때 오프셋 전압이 가장 작게 된다. 제안된 회로에서는 이를 고려하여 입력 트랜지스터의 크기

를 조정하였고, 래치의 공통 입력 전압이 1.5 V정도가 되도록 두번째 프리 앰프 단의 출력 단자 T2N과 T2P의 바이어스 전압을 조정하여 래치단의 오프셋 전압을 최소화하도록 설계하였다.

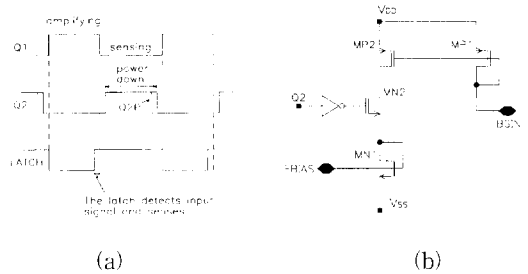


그림 2. (a) 클럭 타이밍도 및 (b) 소모 전력 하강 모드 바이어스 회로
Fig. 2. (a) Clock timing diagram and (b) bias circuit with power-down mode.

그림 1 회로의 동작을 살펴보면 클럭 Q2가 high 상태일 때, T1과 T2 단자에는 기준 전압 (REFT, REFC)이 샘플링되며, T3과 T4 단자에는 바이어스 전압 단자인 CML1이 연결된다. 이때 ML1부터 ML9로 구성되는 래치는 전 상태의 신호를 받아 이미 어떤 상태로 결정되어 래치 상태에 머물고 있다. 클럭 Q2가 low 상태로 바뀌고 클럭 Q1이 high 상태가 되면, SW1 및 SW2로 구성된 스위치는 꺼지고 SW3 및 SW4로 구성된 스위치는 켜져서 T1과 T2 단자에는

입력 전압 (INP, INN)이 연결되고, 이때 SW5 및 SW6 역시 꺼져서 프리 앰프의 입력 단인 T3과 T4에는 차동 입력 전압과 차동 기준 전압의 차이 ((INP-INN)-(REFT-REFC))가 나타나게 된다. 이때 래치는 평형 (reset) 상태로 들어가며, LN과 LP 단자는 V_{DD} 로 충전 (precharge) 되어 입력 신호를 기다리게 된다. 2단 프리 앰프에서 입력 단인 M5와 M6의 입력 신호는 적절한 전압 이득으로 증폭된 후 T2N과 T2P 단자에 나타나게 되며, 클럭 Q1이 low 상태가 되기 직전에 LATCH 신호가 high가 되면서 래치의 ML9가 켜지며, ML1과 ML2가 꺼지게 되어, 래치는 ML3과 ML4의 게이트의 입력 신호의 차이를 순간적으로 감지하여, ML5, ML6, ML7 그리고 ML8로 이루어진 정궤환 (positive feedback) 단을 통해, LP와 LN 단자에 디지털 신호로 출력된다. 이 신호는 MD1부터 MD8로 구성된 버퍼를 통해 OUTT와 OUTC의 단자로 최종 출력된다.

III. 시스템 응용시의 문제점 및 해결책

시스템 응용시 고려해야 하는 점들 중의 하나로서 그림 3 (a)에서와 같이 설계된 비교기 회로를 일렬로 배치하는 경우에 양 끝단에 위치하는 비교기는 다른 비교기에 비해 상대적으로 큰 오프셋 전압을 가지게 되어, 이 비교기들은 전체 시스템의 정확도를 제한하는 요소로 작용하게 된다. 기존 회로의 경우에는 그림 3 (b)에서와 같이 부가 비교기를 양 끝에 추가하여 이러한 문제를 해결하였으나 상대적으로 면적이 증가하는 문제점이 발생한다. 이러한 문제점은 일렬로 배치하는 비교기의 개수가 작을 수록 부가 비교기의 점유 면적이 상대적으로 증가하므로 고밀도 회로 구현에 장애가 된다. 특히, 메모리 응용에서 볼 수 있듯이 같은 모양이 반복적으로 사용되면서 고밀도가 요구되는 응용에서는 가장 외부에 있는 메모리 셀들이 비교적 큰 영향을 받게 된다. 그러므로, 전체 시스템의 점유 면적을 최소화하면서 오프셋 전압을 줄일 수 있는 기법이 필요하다.

특히, VLSI 기술의 발달과 더불어 회로 최소 선폭이 작아짐에 따른 회로들의 신뢰도에 관한 연구가 진행되어오고 있다. 최근에는 1 μm 이하의 얇은 선폭을 가지는 CMOS 공정에서 제작되는 회로들의 주요한 실패 요인으로 Time Dependent Dielectric Break-

down (TDDB) 이 주목받고 있다^{[5]-[9]}. 아주 얇은 게이트 및 산화막 두께를 가지는 MOS 디바이스는 동작중에 높은 전기장 충격 (high field stress)을 받기 쉬우며, 이로 인하여 산화막의 성능이 저하되어 결국 유전체 파손 (dielectric breakdown)이 발생하게 된다. 또한, 이러한 현상을 유발시키는데 있어 충격 전류 밀도 (stress current density), 산화막 두께, 충격 온도, 게이트와 기판 간의 전하-주입 극성 (charge-injection polarity) 등의 요인들이 복합적으로 상호 작용하는 것으로 알려져 있다.

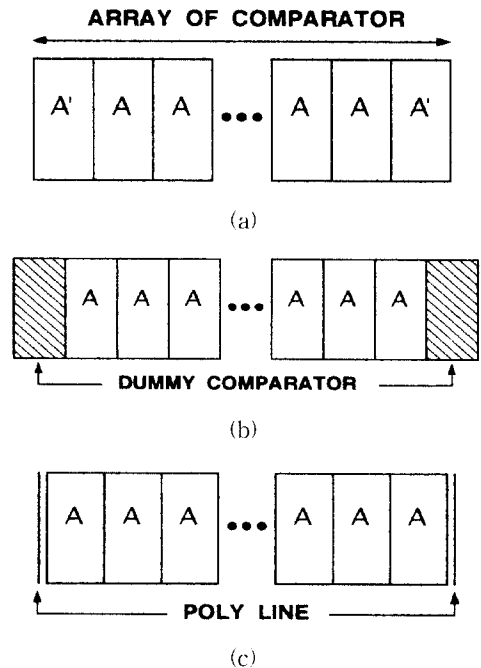


그림 3. 시스템 응용시의 문제점
Fig. 3. Offset problems in a system application.

제한된 비교기를 시스템에 응용시 오프셋에 가장 큰 영향을 미치는 것은 이와같이 층간 구조에서 얇은 산화막 두께를 가지며, 게이트를 구현하는데 사용되는 poly layer가 되므로, 본 연구에서는 poly layer를 독립적으로 직선 모양으로 1 μm 정도의 작은 폭으로 양 끝에 추가하여 레이 아웃하여 부가 비교기의 역할을 수행하도록 하였다. 이러한 구조를 채택함으로써, 비교기의 오프셋 전압을 줄이는 동시에 부가 비교기로 인한 면적 증가를 최소화시킴으로써, 고밀도 비교기 회로 설계가 가능하다는 장점을 가진다. 제안된 구조에서 사용된 poly line의 폭은 MOS 공정에서 가장

작은 선폭으로 정의될 수 있다. 또한, 이때의 poly line을 부유 상태 (floating)에 두게되는 경우에는 ploy line이 어떠한 전압 레벨을 가지게 될지 알 수 없으며, 이로인하여 인접한 회로에의 잡음원으로 작용하는 등의 불확실한 좋지않은 영향을 미칠 수 있으므로 이를 최소화하기 위해 고정된 전압 레벨을 인가하여 주었다. 그리고, 제안된 구조는 고밀도 회로를 요구하는 메모리와 같은 다른 시스템에서도 수율을 향상시키기 위한 방법으로 확장이 가능하다.

프 회로로 메모리 등의 시스템에서 즉각적인 응용이 가능하다. 검증용 각 회로 블록에서의 옵셋 전압을 측정하여 제안된 비교기 회로의 정확도를 분석하였으며, 제안된 시스템 응용 기법을 이용한 경우와 그렇지 않은 경우를 비교 및 검증하였다. 제안된 회로는 0.6 um single-poly double-metal n-well CMOS 공정으로 제작되었으며, 칩 사진은 그림 5에 나타나 있다.

IV. 측정 결과 및 성능 분석

비교기 회로를 구성하는 각 단의 옵셋 전압을 측정하기 위해 제안된 비교기 회로 및 검증용 회로 블록을 그림 4와 같이 구성하였다.

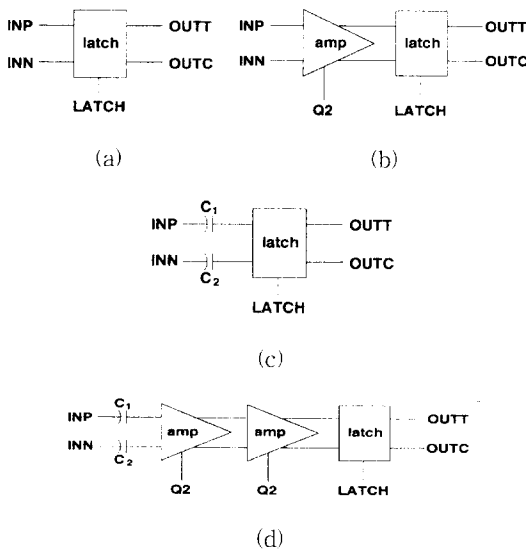


그림 4. 제안된 회로 검증용 전체 블록 구성도: (a) 1단 센스 앰프, (b) 2단 센스 앰프, (c) 1단 비교기 및 (d) 3단 비교기

Fig. 4. Block diagram of test circuits: (a) one-stage sense amplifier, (b) two-stage sense amplifier, (c) one-stage comparator, and (d) three-stage comparator.

그림 4 (a)는 래치, 그림 4 (b)는 프리 앰프와 래치, 그리고 그림 4 (c)는 샘플링 단과 래치로 구성되어 있으며, 그림 4 (d)는 샘플링 단, 두 단의 프리 앰프 및 래치로 구성되어 있다. 제안된 비교기 회로는 샘플링 단을 제외하면 완전 차동 구조를 가진 센스 앰프

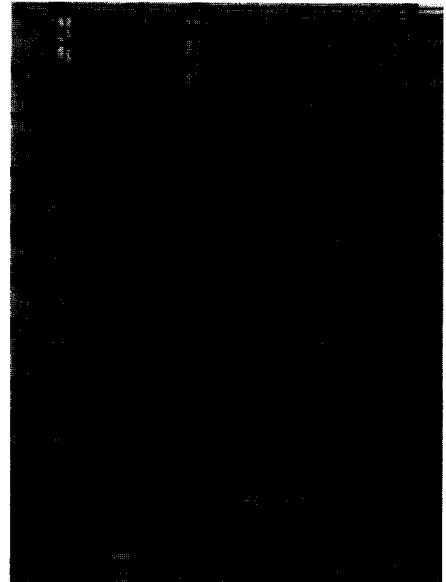


그림 5. 측정 회로의 전체 칩 사진
Fig. 5. Chip photograph of test circuits.

1. 측정 구조 및 방법

제안된 비교기 회로 및 검증용 회로 블록의 측정을 위하여 50개의 샘플을 임의로 선택하여 3 V의 단일 전원 전압, 20 MHz의 동작 주파수에서 옵셋 전압을 측정하였으며, 이를 위한 측정 구조 및 방법은 그림 6과 같다. 실선으로 표시된 인가되는 아날로그 입력 신호 ΔV_m 의 크기에 의하여 디지털 출력이 논리 "1"이나 "0"으로 결정되는데, 이때 디지털 출력이 변하는 순간의 입력 전압을 조사하여 주어진 회로의 옵셋 전압을 측정하였다.

또한, 실제 측정 시에는 비교기에서의 시간 지연이 옵셋 전압에 영향을 주는 것을 배제하기 위하여 아날로그 입력 신호의 값을 변화시킬 때에는 충분한 시간이 지난 후에 그 값을 변화시켰다. 이러한 측정 방법을 이용하여 실제 동작 주파수에서의 옵셋 측정이 가능하

다. 옵셋 측정시 입력 전압 차이 ΔV_{in} 에 의하여 디지털 출력 전압은 그림 7과 같이 논리 "1"이 되는 영역과 "0"이 되는 영역 외에 "1"과 "0"이 임의로 나타나게 되는 영역으로 구분되어 질 수 있다. 그러므로 측정되어진 A와 B 두 전압 값을 이용하여 옵셋을 정적 옵셋 m 과 동적 옵셋 Δ 로 구분하여 다음과 같이 정의할 수 있다¹⁰⁾.

$$m = \frac{A+B}{2} \tag{5}$$

$$\Delta = \frac{A-B}{2} \tag{6}$$

이때 m 은 실제 공정 상에서 발생하는 부정합에 의한 정적 옵셋 (static offset)으로 정의되며, Δ 는 측정 회로에 의한 잡음 (noise)이나 회로 레이아웃 상에서 구조적으로 발생할 수 있는 시간 영역에서 변화하는 여러 가지 잡음 요소 등 여러 가지 요인들에 의하여 발생하는 동적 옵셋 (dynamic offset)으로 정의된다.

2. 제안된 비교기의 정확도 측정 결과

제안된 비교기 및 검증용 각 회로 블록의 측정 결과는 표 1과 같이 요약된다. 래치로만 구성된 1단 센스 앰프 회로의 경우 (그림 4 (a))에는 정적 옵셋의 평균값이 3.62 mV, 표준 편차가 10.45 mV로서, 래치는 70 %의 샘플들이 최대 14 mV정도의 정적 옵셋을 가짐을 알 수 있다. 이는 2 Vp-p 신호를 기준 전압으로 사용하는 범용 A/D 변환기에 응용시 래치만으로도 6비트에서 7비트 정도의 정확도를 가짐을 의미한다.

표 1. 각 측정 회로 블록의 평균 옵셋 및 표준 편차

Table 1. Means and standard deviations of offset voltages in test circuits.

구 분	옵 셋	정적 옵셋		동적 옵셋	
		평균값	표준 편차	평균값	표준 편차
1단 센스앰프 (그림 4 (a))		3.62 mV	10.45 mV	8.44 mV	2.84 mV
2단 센스앰프 (그림 4 (b))	with-out power-down	5.12 mV	4.61 mV	2.80 mV	0.66 mV
	with-out power-down	8.43 mV	5.00 mV	2.78 mV	0.64 mV
1단 비교기(그림 4 (c))		24.87 mV	14.12 mV	28.15 mV	14.12 mV
3단 비교기(그림 4 (d))		19.22 mV	42.54 mV	2.23 mV	0.48 mV

래치 앞단에 프리 앰프를 추가한 2단 센스 앰프 회로의 경우 (그림 4 (b))에서는 래치 단의 정적 옵셋이 프리 앰프 단의 전압 이득만큼 나뉘어져서 입력 단에 나타나기 때문에 정적 옵셋의 평균값은 프리 앰프 단의 정적 옵셋에 의한 것으로 볼 수 있다. 동적 옵셋의 경우에는 프리 앰프 단의 전압 이득 때문에 래치 단만으로 구성된 경우보다 시간 영역에서 변화하는 여러

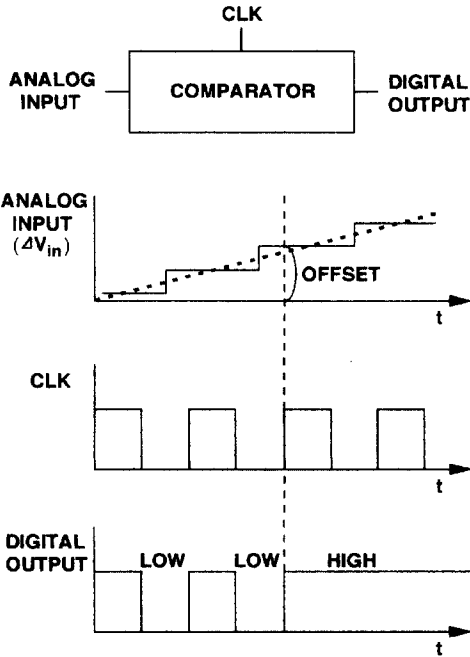


그림 6. 옵셋 전압 측정 기법
Fig. 6. Offset-voltage measurement technique.

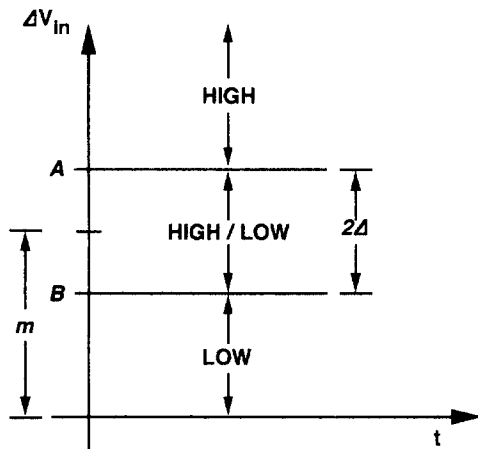


그림 7. 정적 옵셋과 동적 옵셋
Fig. 7. Static and dynamic offsets.

가지 잡음 요소들에 의한 영향을 상대적으로 덜 받기 때문에, 동적 옴셋은 래치 단만으로 구성된 경우보다 1/3 이하로 감소하였음을 관찰할 수 있다. 또한, 소모 전력 하강 모드를 사용하는 경우에는 사용하지 않는 경우와 비교하여 45 % 정도의 소모 전력이 감소하였다.

소모 전력 하강 모드를 사용하였을 때, 그렇지 않은 경우보다 대략 3 mV 정도 정적 옴셋이 증가하는 것은 프리 앰프 단의 부정합에 의한 옴셋 및 바이어스 전류를 다시 공급하는데 회복 (recovery) 동작이 필요하기 때문이다. 특히, 상당히 큰 입력 전압을 증폭한 상태에서 소모 전력 하강 모드 바이어스 회로를 통하여 프리 앰프 단에 공급되는 전류가 끊어지게 되면 프리 앰프 단의 출력단 단자는 부유 단자가 되므로, 바로 그 다음 입력 전압 차이가 작을 경우에는 래치 단에서 잘못된 출력 값을 내보낼 수 있다. 이러한 문제는 바이어스 전류가 끊어지는 주기 동안에도 프리 앰프 출력 단이 동일한 값으로 유지될 수 있도록 프리 앰프 출력 단자 사이에 리셋 스위치를 추가하면 회복 동작 없이 곧바로 그 다음 입력 전압 차이를 올바르게 증폭할 수 있다. 그리고, 보다 높은 정확도를 요구하는 비교기에 응용시에는 바이어스 전류 값을 증가시키거나 소모 전력 하강 모드에서도 제안된 바이어스 회로에 어느 정도 수준의 일정한 전류를 계속 공급해 주도록 하는 방법을 고려해 볼 수 있다.

샘플링 단과 래치로만 구성된 1단 비교기 회로의 경우 (그림 4(c))는 그림 4의 다른 비교기 구조에 비해서 전체 전압 이득이 가장 작기 때문에 옴셋 전압이 가장 크게 나타난다. 특히, 샘플링 단의 캐패시터 값과 래치 입력 단에서 바라보는 캐패시턴스 성분간의 전압 이득 감소가 0.22 정도 되므로, 래치 단의 옴셋 전압이 5배 정도 증폭되어 입력 단에 나타난다.

고해상도 비교기로서 2단 프리 앰프를 이용한 3단 비교기 회로 (그림 4 (d))에서 정적 옴셋의 평균값은 19.22 mV, 표준 편차는 42.54 mV로 측정되었다. MOS 트랜지스터 구조로 구현한 캐패시터로 이루어진 샘플링 단의 캐패시터 값과 프리 앰프 입력 단에서 바라보는 캐패시턴스 성분간의 이득 감소가 0.12 정도 되므로, 샘플링 단에서의 부정합에 의한 옴셋은 거의 무시 가능하다. 그리고, 정적 옴셋의 경우 두번째 프리 앰프와 래치 단의 옴셋은 첫번째 프리 앰프의 전압 이득만큼 나뉘어지게 되므로 첫번째 프리 앰프의 옴셋 전압이 정적 옴셋이 주요 성분이 되며, 이 값이 10배

정도 증폭되어 비교기 입력 단에 나타난다. 또한, 3단 비교기의 전체 전압 이득은 첫번째 프리 앰프의 전압 이득이 샘플링 단의 이득 감소에 의해 거의 무시되므로, 프리 앰프와 래치만으로 이루어진 구조의 전압 이득과 비슷하게 되며, 이는 동적 옴셋의 평균값이 2.23 mV, 표준 편차가 0.48 mV로서 프리 앰프와 래치 단으로 이루어진 구조의 경우와 거의 비슷하게 나타나는 것에 의해서도 확인할 수 있다. 제안된 3단 비교기 회로를 2 V_{p-p} 신호를 기준 전압으로 사용하는 범용 A/D 변환기에 응용시 5비트 정도의 정확도를 가진다.

3. 제안된 시스템 응용 기법

비교기 회로의 시스템 응용 기법으로 제안된 poly line 구조의 실제적인 효과를 검증하기 위하여 같은 chip 내에서 세가지 서로 다른 위치에 있는 비교기 즉, 그림 3 (a)와 같이 시스템 양 끝단에 위치하면서 부가 비교기를 사용하지 않은 경우, 그림 3 (b)와 같이 양 끝단에 위치하면서 부가 비교기를 사용한 경우, 및 그림 3 (c)와 같이 양 끝단에 위치하면서 부가 비교기 대신 제안된 poly line 구조를 사용한 경우에 대하여 옴셋 전압을 측정하였다. 그림 4 (d)의 3단 비교기의 경우 세가지 각 구조를 사용할 경우의 옴셋 전압의 측정 결과는 표 2와 같이 요약되며, 제안된 바와 같이 시스템 양 끝단에 poly line을 사용하는 구조가 그렇지 않은 경우 옴셋 전압의 40 %수준으로 감소하는 것을 확인할 수 있다. 시스템 양 끝단에 부가 비교기를 사용하는 경우에도 그렇지 않은 경우의 65 %에 해당하는 수준으로 옴셋 전압이 감소하는 효과를 보여 주고 있지만, 본 측정에서는 제안된 방법이 옴셋 전압을 줄이는데 있어서 더욱 효과적인 것으로 나타났다. 그리고, 샘플링 단에서의 이득 감소가 크기 때문에 이로 인해서 정적 옴셋의 표준 편차가 비교적 큰 값을 가지는 것으로 측정되었으며, 전체 이득은 동일하므로 동적 옴셋은 비슷한 수준의 값을 가진다.

그림 4 (b)의 2단 센스 앰프 회로의 경우에는 표 3과 같이 측정 결과가 요약된다. 3단 비교기의 측정 결과와 마찬가지로 제안된 poly line을 사용하는 구조와 부가 비교기를 사용하는 구조 모두 옴셋 전압이 줄어들었지만, 제안된 방법이 옴셋 전압 최소화에 더욱 효과적임을 측정을 통하여 확인할 수 있다. 그리고, 소모 전력 하강 모드의 사용과 무관하게 이러한 효과는 동일하게 측정되었다.

표 2. 3단 비교기 (그림 4 (d))의 오프셋 전압 측정 결과

Table 2. Measured offsets of the comparator in Fig. 4 (d).

구 분	오프셋	정적 오프셋		동적 오프셋	
		평균값	표준 편차	평균값	표준 편차
기존의 구조		29.64 mV	35.08 mV	2.15 mV	0.47 mV
부가 비교기 추가 구조		19.22 mV	42.54 mV	2.23 mV	0.48 mV
제한된 poly line 추가 구조		11.95 mV	32.08 mV	2.59 mV	1.20 mV

3단 비교기와 달리 샘플링 단 없이 프리앰프와 래치로만 구성된 2단 센스 앰프 회로의 경우에는 오프셋 전압의 평균값 및 표준 편차가 비교적 작은 값을 가지고 있으며, 이로 미루어 공정이 상대적으로 안정되어 있음을 알 수 있다.

표 3. 2단 센스 앰프 (그림 4 (b))의 오프셋 전압 측정 결과

Table 3. Measured offsets of the sense amplifier in Fig. 4 (b).

구 분	오프셋	without power down		with power down	
		평균값	표준 편차	평균값	표준 편차
기존의 구조		6.15 mV	4.65 mV	9.24 mV	5.27 mV
부가 비교기 추가 구조		-5.12 mV	4.61 mV	8.43 mV	5.00 mV
제한된 poly line 추가 구조		-4.14 mV	4.39 mV	7.38 mV	5.18 mV

다른 CMOS 공정에 사용시 오프셋 비교를 위해 0.8 um double-poly double-metal n-well CMOS 공정을 사용하여 래치로된 구조에서 정적 오프셋을 측정 한 결과 시스템 양 끝단에 poly line을 사용한 구조에서 0.79 mV 그리고 poly line을 사용하지 않은 구조에서 7.92 mV로써, 이 경우에도 poly line이 있는 구조가 상대적으로 훨씬 적은 오프셋을 가짐을 확인 할 수 있었다. 이러한 측정 결과로 미루어 볼 때, 샘플링 단에서의 큰 이득 감소나 공정 상에서의 부정합 등의 여러 요인들에 의하여 시스템 양 끝단에 위치한 비교기 회로의 오프셋 전압이 상대적으로 크게 나타나는 경우는 물론이고, 공정이 상당히 안정되어 있는 경우에도 설계 상의 여유도 및 수율 향상을 고려하여 레이 아웃시 poly line 구조를 사용하는 것이 오프셋 전압을 줄이는데 효과적임을 알 수 있다.

V. 결 론

본 논문에서는 0.6 um single-poly double-metal

n-well CMOS 공정을 사용하여 완전 차동 구조를 가진 프리 앰프 및 래치로 구성된 저전력용 비교기를 설계, 제작 및 측정하였고, 설계된 비교기는 기존의 구조에 비해 45 %의 전력 소모를 줄이는 효과가 있음을 측정을 통해 확인하였다. 비교기를 반복적으로 사용하는 시스템에 응용하는 경우, 각 구조의 주변 환경의 차이로 인해 양 끝단에서의 오프셋이 증가하는 문제를 해결하기 위한 해결책으로 부가 회로 대신 poly line 구조를 이용하는 방법을 제안하였다. 실제 측정 결과 poly line 구조를 사용하는 것이 없는 경우와 비교하여 오프셋이 40 % 수준으로 줄어드는 것을 확인하였으며, 이는 설계 상의 여유도 및 수율 향상을 고려할 때 매우 효과적인 방법이다.

참 고 문 헌

[1] G. C. Ahn, et al., "A 12-b 10-MHz, 250mW CMOS A/D Converter," *IEEE J. Solid-state Circuits*, vol. 31, no. 12, pp. 2030-2035, Dec. 1996.

[2] D. J. Allstot, "A precision variable-supply CMOS comparator," *IEEE J. Solid-state Circuits*, vol. SC-17, no. 6, pp. 1080-1087, Dec. 1982.

[3] T. Kobayashi et al., "A current-controlled latch sense amplifier and a static power-saving input buffer for low-power architecture," *IEEE J. Solid-state Circuits*, vol. 28, no. 4, pp. 523-527, April 1993.

[4] P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, John Wiley & Sons, New York, 1993.

[5] K. F. Schuegraf and C. Hu, "Effects of temperature and defects on breakdown lifetime of thin SiO₂ at very low voltages," *IEEE Trans. Electron Devices*, vol. 41, no. 7, pp. 1227-1232, Jul. 1994.

[6] P. P. Apte and K. C. Saraswat, "Correlation of trap generation to charge-to-breakdown (Q_{bd}): A physical-damage model of dielectric breakdown,"

- IEEE Trans. Electron Devices*, vol. 41, no. 9, pp. 1595-1602, Sep. 1994.
- [7] S. Ma et al., "Effect of wafer temperature on plasma charging induced damage to MOS gate oxide," *IEEE Electron Device Letters*, vol. 16, pp. 534-536, Dec. 1995.
- [8] J. J. Tzou, C. C. Yao, R. Cheung, and H. Chan, "Temperature dependence of charge generation and breakdown in SiO₂," *IEEE Electron Device Lett.*, vol. EDL-7, no. 7, pp. 446-448, 1986.
- [9] R. Moazzami, J. C. Lee, and C. Hu, "Temperature acceleration of time dependent dielectric breakdown," *IEEE Trans. Electron Devices*, vol. 36, no. 11, pp. 2462-2465, Nov. 1989.
- [10] J. T. Wu and B. A. Wooley, "A 100-MHz pipelined CMOS comparator," *IEEE J. Solid-state Circuits*, vol. 23, no. 6, pp. 1379-1385, Dec. 1988.

 저 자 소 개

郭明保(正會員) 第33卷A編第5號 參照
현재 삼성전자 연구원

李承勳(正會員) 第32卷A編第12號 參照
현재 서강대학교 전자공학과 부교수

李寅煥(正會員)

1979년 2월 서울대학교 전기공학과 학사. 1985년 8월 서울대학교 전지공학과 석사. 1994년 10월 University of Illinois at Urbana-Champaign 컴퓨터공학과 박사. 1979년 ~ 1986년 국방과학연구소 연구원. 1994년 ~ 1997년 Tandem Computers Inc. 연구위원. 1997년 ~ 현재 한양대학교 전자전기공학부 전임강사. 주관심분야는 Fault-Tolerant Computing, VLSI Circuits and System, Measurements