

論文97-34C-12-5

제공근 회로를 이용한 온도와 공급 전압에 둔감한 CMOS 정전류원

(A Temperature and Supply Insensitive CMOS Current Reference Using a Square Root Circuit)

李 喆 熙 * , 孫 寧 洙 * , 朴 鴻 濬 *

(Cheol Hee Lee, Young Soo Sohn, and Hong June Park)

요 약

본 논문에서는 온도 및 전원 전압의 변화에 둔감한 전류 특성을 갖는 CMOS 정전류원 회로를 설계하고 외주 제작된 테스트 칩의 측정 결과를 제시하였다. 전류의 온도 둔감성은 새로이 고안한 CMOS 제공근(square root)회로에 의해 달성되었는데 제공근 회로는 바이폴라 제공근 회로를 CMOS 회로로 변환한 것으로 각 MOS 트랜지스터들이 문턱 전압 이하 영역에서 동작한다. 제공근 회로의 한쪽 가지 전류는 MOS 소자의 이동도에 비례하고 또 다른 한쪽 가지 전류는 이동도에 반비례하도록 설계하여 두 전류 성분들을 제공근 회로로 서로 곱하여 최종 전류에서 이동도 성분이 서로 상쇄되도록 함으로써 이동도로 인한 온도 의존성을 제거하였다. 또한 전류의 전원 전압 둔감성은 제공근 회로의 전원 전압을 내부 전압 발생기에서 공급하도록 하여 달성하였다. 테스트 칩은 2 μ m 더블-폴리 더블-메탈 n-well CMOS 공정을 이용하여 제작하였다. 제공근 회로에 외부 전원을 연결했을 경우 -15 ~ 130 $^{\circ}$ C 사이에서 전류원의 출력전류는 최대 0.3% 변화하였고 평균 온도 감도는 21.4ppm/ $^{\circ}$ C로 측정되었으며 출력 전류의 전원 전압 의존성은 30 $^{\circ}$ C에서 상용 전원 전압 범위인 4.5~5.5V 사이에서 3%의 변화폭을 보였다.

Abstract

A new temperature and supply-insensitive CMOS current reference circuit was designed and tested. The temperature insensitivity was achieved by eliminating the mobility dependence term through the multiplication of two current components, one which is proportional to mobility and the other which is inversely proportional to mobility, by using a newly designed CMOS square root circuit. The CMOS square root circuit was derived from its bipolar counterpart by operating the MOS transistors in the subthreshold region. The supply insensitivity was achieved by using an internal voltage generator. The test chip was designed and sent out for fabrication by using a 2 μ m double-poly double-metal n-well CMOS technology. When an external voltage source was used for the square root circuit, the maximum variation and the average temperature sensitivity were measured to be 3% and 21.4ppm/ $^{\circ}$ C, respectively, for the temperature range of -15~130 $^{\circ}$ C. The maximum current variation with supply voltage was measured to be 3% within the commercial supply voltage range of 4.5~5.5V at 30 $^{\circ}$ C.

I. 서 론

* 正會員, 浦港工科大學校 電子電氣工學科

(Pohang University of Science and Technology)

※ 본 연구는 정보통신연구관리단의 대학기초연구지원
으로 이루어졌음.

接受日字:1997年7月24日, 수정완료일:1997年12月1日

트랜지스터로 구성된 정전류원은 아날로그 회로의 전류 바이어스나 증폭단의 부하 소자 등에 주로 쓰인다. 바이어스로 사용되는 전류원은 전원 전압 변화나 동작 온도 변화에 가급적 무관한 특성을 가지게 하여

회로에 미치는 영향을 최소화시켜야 한다. 일반적으로 정전류원 회로를 설계하기 위해서는 전류의 기준으로 삼을 어떤 전위(potential)를 필요로 한다. 가장 간편하게 기준으로 삼을 수 있는 것들로는 MOS소자의 문턱 전압 V_t , 열전압(thermal voltage) V_T , 바이폴라 소자의 베이스-에미터 사이의 전압 V_{BE} 등이 있다¹⁾. 문헌에 발표된 MOS 전류원 회로에는 절대 온도 비례(Proportional To Absolute Temperature : PTAT) 소자를 이용한 전류원 회로가 있다^{[2], [3]}. PTAT를 이용한 MOS 정전류원 회로에서는 전류의 온도 의존성을 없애기 위해 캐리어의 이동도 μ 와 열전압을 서로 곱하는 방법을 사용하는데 출력전류 I 가 다음 식과 같이 이동도 μ 와 열전압 V_T 의 곱을 곱한 형태로 표현된다.

$$I \propto \mu \cdot (V_T)^2 \quad (1)$$

열전압 V_T 는 절대온도 T 에 비례하고 이동도 μ 는 대략 $T^{-1.5}$ 에 비례하므로 결국 전류 I 는 $T^{-0.5}$ 에 비례하게 되어 온도 의존성이 완전히 제거되지 못하는 문제점이 있다.

최근에 이동도 μ 에 비례하는 전류성분과 반비례하는 전류성분을 생성시킨 다음 이 두 성분들을 합하여 온도에 둔감한 전류를 출력시키는 전류원에 대한 연구^[4]가 발표되었는데 이동도가 절대온도에 반비례하지 않고 대체로 $T^{-1.5}$ 에 비례하므로 이와 같이 합하는 방식은 출력전류의 온도 둔감성을 줄은 온도 범위에서는 좋게 할 수 있지만 넓은 온도 범위에서는 좋게 할 수 없다.

본 연구에서는 [4]에서와 같이 이동도에 비례하는 전류성분과 반비례하는 전류 성분을 만들어 낸 다음 이 두 전류 성분을 합하는 대신 본 연구에서 새로 제안한 MOS 제공된 회로를 이용하여 이 두 성분들을 서로 곱함으로써 출력전류에서 이동도의 영향을 완전히 제거하였다. 또한 제공된 회로의 공급 전압값을 조절하여 MOS 문턱전압값과 사용된 on-chip 저항의 영향으로 인한 온도 의존성도 제거할 수 있었다.

그리고 최종 출력 전류의 외부 공급 전압 의존성을 제거하기 위해 외부 공급 전압 변화에 둔감한 내부 전압을 발생시켜 제공된 회로의 공급 전압으로 사용하였다. 2μ CMOS 공정으로 설계하고 외부 제작된 전류원 칩에 대해 출력전류의 온도 둔감성 및 외부 전압 둔감성에 대한 측정 결과를 제시하였다.

II. 정전류원 회로의 설계

그림 1은 본 연구에서 설계된 정전류원의 회로도이다. 이 회로는 I_1 및 I_2 발생기와 제공된 회로로 이루어져 있다. I_1 발생기는 M5, M6, M8~M12로 이루어져 있으며 I_2 발생기는 M13~M19로 이루어져 있고 제공된 회로는 M1~M4로 이루어져 있다. M20은 그림 1에서는 표시되어 있지 않은 다른 한 개의 NMOS 트랜지스터와 함께 출력전류를 내보내기 위한 NMOS 전류 거울 회로를 구성한다. M5의 드레인 전류인 I_5 는 다음과 같이 유도된다.

$$I_5 = \frac{\mu_p C_{ox} \left(\frac{W}{L}\right)_5 (V_{int} - 2|V_{th})^2}{2 \left(1 + \sqrt{\frac{(W/L)_5}{(W/L)_6}}\right)^2} \quad (2)$$

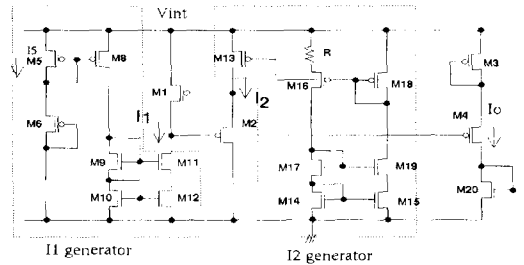


그림 1. CMOS 제공된 회로를 이용한 정전류원 전체 회로도

Fig. 1. Circuit schematic of current source with CMOS square root circuit.

M5와 M8은 PMOS 전류 거울을 만들고 M9 ~ M12는 NMOS 캐스코드(cascode) 전류원을 만든다. 여기서 M9 ~ M12의 네 개의 트랜지스터들은 W/L 값이 모두 같으므로 채널 길이 변조(channel length modulation)현상을 무시하면 전류 I_1 은

$$I_1 = \frac{(W/L)_8}{(W/L)_5} I_5 = \mu_p C_{ox} \left(\frac{W}{L}\right)_8 \frac{(V_{int} - 2|V_{th})^2}{2 \left(1 + \sqrt{\left(\frac{W}{L}\right)_5 \left(\frac{W}{L}\right)_6}\right)^2} \quad (3)$$

와 같이 유도되는데 여기서 I_1 이 PMOS 트랜지스터의 이동도 μ_p 에 비례함을 알 수 있다.

I_2 발생기는 NMOS 캐스코드 전류원(M14, M15, M17, M19)과 PMOS 전류 거울(M16, M18)과 저항 R로 이루어져 있다. 이 회로의 특징은 루프의 전류 이득이 +1보다 크기만 하면 양 궤환(positive feedback)에 의해 자동적으로 동작점이 형성된다는 점이

다. 이 루프의 이득을 +1보다 크게 하기 위해 M17, M19, M14, M15의 W/L값을 서로 같게 하고 M16의 W/L값을 M18의 W/L값보다 약간 크게 하였다. 이 회로에서 6개의 MOS 트랜지스터는 모두 포화 영역에서 동작하여야 양 케환에 의한 자기 시작(self starting) 동작이 가능하므로 W/L 비율을 잘 선택하여야 한다. 이러한 양케환 시스템에서는 전류가 무한정 증가하지는 않는데 그 이유는 다음과 같다. 만약 어떤 원인으로 인해 M16의 드레인 전류가 증가하면 M17과 M19의 게이트 전압이 따라서 증가하게 되는데 M19의 게이트 전압이 너무 증가하면 M19가 포화 영역에 머물러 있지 못하고 선형 영역으로 바뀌어 전류가 감소하도록 작용하기 때문이다.

M13과 M18은 PMOS 전류거울을 이루며 여기서 I_2 는 다음과 같이 유도된다.

$$I_2 = \frac{(W/L)_{13}}{(W/L)_{18}} \cdot \frac{2}{\mu_p C_{ox} R^2} \cdot \left(\frac{1}{\sqrt{(W/L)_{18}}} - \frac{1}{\sqrt{(W/L)_{16}}} \right)^2 \quad (4)$$

그리하여 I_2 는 PMOS 트랜지스터의 이동도 μ_p 에 반 비례하게 된다.

제공근 회로는 4개의 PMOS 트랜지스터 M1~M4로 구성되며 문턱전압이하의 영역에서 동작하도록 한다. MOS 트랜지스터가 문턱 전압 이하 영역에서 동작하기 위한 드레인 전류 I의 조건은 다음과 같다^[5].

$$I \ll \beta V_T^2 \quad (5)$$

여기서 β 는 $\mu C_{ox} \frac{W}{L}$ 이고 V_T 는 열전압(kT/q)이다.

그림 1에서 보듯이 전류 I_1 및 I_2 발생기에 의해 M1, M2의 전류가 결정되므로 M1, M2의 W/L비율을 크게 하면 M1, M2 트랜지스터가 문턱 전압 이하 영역에서 동작하게 할 수 있다. M3, M4의 드레인 전류 I_C 도 I_1, I_2 에 의해 결정되는 회로 구조이므로 이들 트랜지스터가 문턱 전압 이하 영역에서 동작하는 것도 같은 방법으로 가능하다. 문턱 전압 이하 영역에서 동작하는 PMOS 소자의 전류 방정식은 다음과 같다.

$$I_D = \frac{W}{L} I_S e^{\frac{V_{GS} - |V_{th}|}{nV_T}} \left(1 - e^{-\frac{|V_{DS}|}{V_T}} \right) \quad (6-1)$$

$$I_D \approx \frac{W}{L} I_S e^{\frac{V_{GS} - |V_{th}|}{nV_T}}, \quad (|V_{DS}| \gg V_T \text{에서}) \quad (6-2)$$

여기서

$$I_S = \mu_F C_{ox} V_T^2 \frac{\gamma}{2\sqrt{1.5\phi_F - V_{SB}}} e^{-0.5 \frac{\phi_F}{V_T}} \quad (7)$$

이고 n 은 문턱 전압 이하 영역에서의 slope factor, $|V_{th}|$ 는 PMOS 소자의 문턱 전압, $\phi_F = V_T \ln(N_{SUB}/n_i)$, N_{SUB} 는 기판 농도, n_i 는 진성 캐리어 농도, V_{SB} 는 소오스-기판 사이에 인가된 전압이다.

한편, 그림 1의 회로 구성에서

$$V_{SG1} + V_{SG2} = V_{SG3} + V_{SG4} \quad (8)$$

의 관계가 성립하므로 식 (6)과 식 (8)을 결합하면 이 회로의 출력전류 I_O 는

$$I_O = \sqrt{\frac{(W/L)_3 (W/L)_4}{(W/L)_1 (W/L)_2}} \sqrt{I_1 I_2} \quad (9)$$

로 표현되어 I_1 과 I_2 의 곱의 제곱근에 비례하게 된다.

여기서 I_1 은 이동도 μ_n 에 비례하고 I_2 가 μ_p 에 반 비례하기 때문에 MOS 제공근 회로의 출력 전류 I_O 에서의 이동도 의존성은 없어지게 되어 I_O 는 온도 변화에 큰 영향을 받지 않게 된다.

(3)식과 (4)식을 (9)식에 대입하면 (10)식을 얻게 되며 이동도 항이 제거된 것을 알 수 있다.

$$I_O = m \cdot \frac{\frac{1}{\sqrt{(W/L)_{18}} - \sqrt{(W/L)_{16}}} \cdot \frac{V_{int} - 2|V_{th}|}{R}}{\sqrt{\frac{(W/L)_3}{(W/L)_5} + 1}} \quad (10)$$

여기서 m 은 상수값으로 다음과 같이 주어진다.

$$m = \sqrt{\frac{(W/L)_3 (W/L)_4 (W/L)_8 (W/L)_{13}}{(W/L)_1 (W/L)_2 (W/L)_{18}}} \quad (11)$$

식 (10)에서 온도계수를 구하면

$$TC(I_O) = \frac{1}{I_O} \frac{\partial I_O}{\partial T} = \frac{\frac{\partial V_{int}}{\partial T} - 2 \cdot \frac{\partial |V_{th}|}{\partial T}}{V_{int} - 2|V_{th}|} - \frac{1}{R} \cdot \frac{\partial R}{\partial T} \quad (12)$$

와 같이 주어지며, 여기서 V_{int} 는 그림 1에서 보듯이 제공근 회로의 공급 전압이다. V_{int} 를 외부에서 공급할 경우 $\frac{\partial V_{int}}{\partial T} = 0$ 으로 가정하면 $TC(I_O)$ 식에서 온도에 관련된 항은 $\frac{\partial |V_{th}|}{\partial T}$ 와 $\frac{1}{R} \cdot \frac{\partial R}{\partial T}$ 이다. 여기서 $\frac{\partial |V_{th}|}{\partial T}$ 는 0보다 작고 $\frac{1}{R} \cdot \frac{\partial R}{\partial T}$ 는 0보다 크므로 두 항은 서로 상쇄되는 경향이 있다. 그리하여 V_{int} 값을 조정함으로써 온도계수 $TC(I_O)$ 를 0으로 만들 수 있다.

$\frac{\partial V_{int}}{\partial T} = 0$, $|V_{tp}| = 1V$, $\frac{\partial |V_{tp}|}{\partial T} = -1.1mV/^\circ C$, $\frac{1}{R} \cdot \frac{\partial R}{\partial T} = +1200ppm/^\circ C$ (N^+ 확산 저항)에서 V_{int} 가 3.83V 일 때 온도 계수는 최소화된다.

III. 내부 전압 발생기의 설계

전류원의 전류값이 공급 전압의 변화에 무관하게 하기 위해 그림 1에 보인 CMOS 제공된 회로의 전원 단자인 V_{int} 에 외부 공급 전압 변화에 무관하게 일정한 전압값을 유지하는 내부 전압 발생기의 출력 전압을 연결하였다. CMOS 밴드갭(bandgap) 기준 회로¹⁶⁾가 사용될 수도 있으나 바이폴라 트랜지스터를 구동시키는데는 많은 전류가 필요하게 된다. 이에 본 연구에서는 그림 2와 같은 내부 전압 발생 회로를 사용하여 전력 소비량을 감소시켰다.

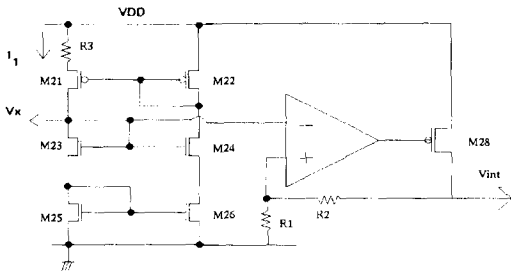


그림 2. 내부 전압 발생기
Fig. 2. Internal voltage generator.

그림 2에서 기준 전압 발생 회로 (voltage reference circuit) 부분(M21 ~ M26)은 외부 공급 전압과는 상관없이 일정한 전압 V_x (~3V)를 발생시키는 회로이고 삼각형으로 표시된 증폭기와 R1, R2, PMOS로 구성된 전압 곱셈기(multiplier)는 출력 전압인 V_{int} 를 원하는 값까지 증가시키는 역할을 하는데, 채널 길이 변조(channel length modulation)현상을 무시하면 V_{int} 는 다음과 같이 주어진다.

$$V_{int} = \left(1 + \frac{R_2}{R_1}\right) \left[\frac{2 \sqrt{\frac{(W/L)_{21} \cdot (W/L)_{23}}{(W/L)_{22} \cdot (W/L)_{24}} - 1}}{C_{ox} R_3 \sqrt{\mu_p \mu_n} (W/L)_{21} (W/L)_{23}} \sqrt{\frac{(W/L)_{25}}{(W/L)_{26}} + 1} + 2 \cdot V_{tn} \right] \quad (13)$$

식 (13)의 V_{int} 식에 VDD 항이 없으므로 V_{int} 는 공급 전압 VDD에 무관함을 알 수 있다. V_{int} 의 온도 의존성을 구하기 위해 식 (13)의 V_{int} 를 간단하게 표시하면

$$V_{int} = \frac{C_1}{C_{ox} R_3 \sqrt{\mu_n \mu_p}} + C_2 \cdot V_{tn} \quad (14)$$

와 같이 된다. 여기서 C_1 , C_2 는 온도에 무관한 양의 상수이다. 식 (14)로 부터 V_{int} 의 온도계수는 다음과 같이 유도된다.

$$TC(V_{int}) = \frac{\partial V_{int}}{\partial T} = - \frac{C_1}{R_3 \sqrt{\mu_n \mu_p}} \left\{ \frac{1}{R_3} \frac{\partial R_3}{\partial T} + \frac{1}{2\mu_n} \cdot \frac{\partial \mu_n}{\partial T} + \frac{1}{2\mu_p} \cdot \frac{\partial \mu_p}{\partial T} \right\} + C_2 \frac{\partial V_{tn}}{\partial T} \quad (15)$$

위 식에서 상수 C_1 , C_2 의 비율을 조절하여 $TC(V_{int})$ 를 0으로 만들 수 있다.

IV. 테스트 칩의 측정

그림 1과 2의 회로가 2 μm 더블-폴리 더블 메탈 N-well CMOS공정으로 외주 제작되었고 그 측정결과를 그림 3,4,5에 보였다. 그림 3에서는 그림 2에서 보인 내부 전압 발생기의 출력 전압 V_{int} 의 공급 전압 의존성을 0 $^\circ C$ 와 130 $^\circ C$ 에서 측정한 결과를 보였다.

VDD가 4.5V에서 5.5V로 변할 때의 V_{int} 의 변동 폭은 약 0.1V이다. VDD=5V일 때 V_{int} 의 온도 의존도는 +0.77mV/ $^\circ C$ 로 측정되었다.

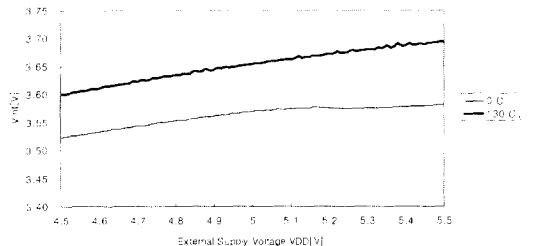


그림 3. T=0 $^\circ C$ 와 130 $^\circ C$ 에서의 V_{int} 의 공급 전압의 준성
Fig. 3. Supply dependence on V_{int} at T=0 $^\circ C$ and 130 $^\circ C$.

그림 4는 네 개의 서로 다른 온도(0, 30, 70, 130 $^\circ C$)에서 그림 1에 보인 정전류원 회로의 출력 전류인 I_o 의 공급 전압(VDD) 의존성을 측정한 그래프이다. 주어진 온도에서 VDD가 4.5V에서 5.5V로 변할 때 I_o 의 변화는 3~5%로 측정되었다.

그림 5는 I_o 의 온도 의존성 측정 결과를 나타낸 그래프이다. 온도에 무관한 외부 전원 3.8V가 그림 1

회로의 공급 전압 V_{int} 로 사용된 경우 -15°C 와 130°C 사이에서 출력 전류 I_o 는 최대 0.3% 변화였고 평균 온도 감도는 $21.4\text{ppm}/^{\circ}\text{C}$ 로 측정되었다. 그림 2의 내부 전압 발생기 출력 전압을 V_{int} 로 사용했을 경우 -15°C 와 130°C 사이에서 I_o 의 최대 변화는 8%로 나타났으며 평균 온도 감도는 이 경우 $590\text{ppm}/^{\circ}\text{C}$ 로 나타났다. 이 큰 온도의존성은 내부 전압 발생기에서 나온 전압 V_{int} 의 온도 의존성으로 인하여 V_{int} 값이 최적값과 달라졌기 때문으로 판단된다.

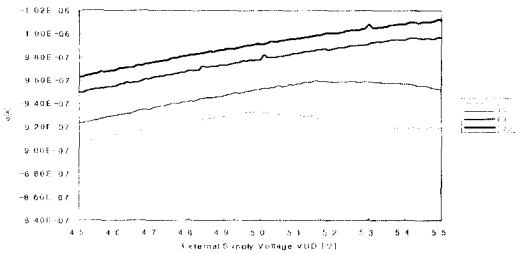


그림 4. I_o 의 공급 전압 의존성
Fig. 4. Supply dependence of I_o .

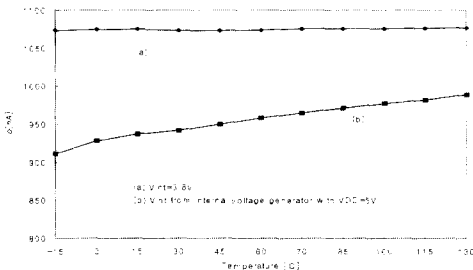


그림 5. I_o 의 온도의존성
Fig. 5. Temperature dependence of I_o .

내부 전압 발생기에서 나온 전압은 V_{DD} 가 5V 일 때 3.58V이다. (30°C) 식 (12)에 $TC(V_{int}) = \frac{\partial V_{int}}{\partial T} = +0.77\text{mV}/^{\circ}\text{C}$ 와 $V_{int} = 3.58\text{V}$ 를 넣어서 계산해보면 I_o 의 온도 감도는 $670\text{ppm}/^{\circ}\text{C}$ 로써 측정치인 $590\text{ppm}/^{\circ}\text{C}$ 와 비슷한 값을 가진다. $\frac{\partial V_{int}}{\partial T} = +0.77\text{mV}/^{\circ}\text{C}$ 의 조건에서 최적의 V_{int} 는 4.56V 로 계산된다. 앞에서는 $\frac{\partial V_{int}}{\partial T} = 0$ 으로 가정하고 V_{int} 값을 정했으나 $\frac{\partial V_{int}}{\partial T}$ 값이 커져서 온도 감도를 최소화시키는 V_{int} 가 4.56V 로 증가하게 된 것이다. $\frac{\partial V_{int}}{\partial T}$ 의 크기를 감소시키고 $\frac{\partial V_{int}}{\partial T}$ 를 감안한 V_{int} 의 설정이 있었다면 온도 감도 면에서 더 좋은 결과를 얻을 수 있었을 것으로 판단된다.

다.

V. 결론

새로이 고안한 CMOS 제공급 회로를 이용하여 온도 변화에 무관한 전류 특성을 갖는 정전류원 (constant current source) 회로를 설계하였다. 온도 의존성의 제거는 CMOS 제공급 회로의 두 전류 성분을 곱함으로써 이루어 졌는데 한 전류 성분은 캐리어의 이동도에 비례하고 또 다른 한 전류 성분은 이동도에 반비례하는 것으로서 제공급 회로의 곱셈 기능에 의해 최종 출력 전류 방정식에 이동도 항이 없어져서 이동도에 의한 온도 의존성이 제거되었다. 또한 최종 전류 식에 나타난 저항과 PMOS 소자의 문턱 전압의 온도 의존성들도 서로 상쇄되는 방향으로 작용하므로 내부 전원 전압값을 조정하여 출력전류의 이차적인 온도 의존성도 제거하였다. 새로 개발한 CMOS 제공급 회로는 바이폴라 제공급 회로로부터 변형 설계하였는데 제공급 기능을 이루는 MOS 소자는 모두 문턱 전압 이하 영역에서 동작한다. 전류의 전원 전압 의존성은 정전류원 회로의 내부전원 전압을 외부의 전원 전압값에 둔감하게 함으로써 제거하였는데 이를 위해 상용 5V 시스템에서 허용하는 전원 전압 범위인 $4.5\sim 5.5\text{V}$ 내에서 일정한 전압을 발생시키는 내부 전압 발생 회로를 함께 설계하였다. 테스트 칩의 제작은 $2\mu\text{m}$ 더블-폴리 더블-메탈 n-well CMOS 공정을 이용하였다. 테스트 칩의 측정 결과 최종 출력 전류의 온도의존도는 제공급 회로의 전원 전압으로 외부 전원(3.8V)을 연결했을 때 $-15\sim 130^{\circ}\text{C}$ 의 범위에서 0.3%가 변했으며 평균 온도감도는 $21.4\text{ppm}/^{\circ}\text{C}$ 으로 나타났다. 제공급 회로의 전원전압으로 내부 전압 발생기의 출력 전압을 사용했을 때 $-15\sim 130^{\circ}\text{C}$ 의 범위에서 8.5%가 변했고 온도감도는 $590\text{ppm}/^{\circ}\text{C}$ 로 측정되었다. 이 큰 온도감도는 내부 발생 전압값의 온도 의존성과 부적당한 선정에 기인하며 최적의 값이 선정되었다면 이보다 더 개선된 결과가 나올 수 있었을 것으로 예상된다.

참고 문헌

[1] Paul R. Gray, Robert G. Meyer, "Analysis and Design of Analog Integrated Circuits," John Wiley & Sons, 3rd Edition, 1993.

- [2] W. Sansen, F. Op't Eynde, and M. Steyaert, "A CMOS temperature-compensated current reference," IEEE J.Solid State Circuits, vol. 23, no. 3, pp. 821-824, June 1988.
- [3] C. Laber, et al., "Design considerations for a high performance 3um CMOS analog standard-cell library," IEEE J. Solid-State Circuits, vol. 22, no. 2, pp. 181-189, Apr. 1987.
- [4] 김만규, 이승훈, "A CMOS on-chip current reference circuit," 전국 경제인 연합회 주관 칩 설계 경진대회 다이제스트, pp. 5-24, 1994
- [5] Eric A. Vittoz, Jean Fellath, "CMOS Analog Integrated Circuits Based on Weak Inversion Operation," IEEE J.Solid-State Circuits, vol. 12, no. 3, pp. 24-231, June 1977.
- [6] Eric A.Vittoz and Olivier Neyroud, "A Low-Voltage CMOS Bandgap Reference," IEEE J. Solid-State Circuits, vol. 14, no. 3 pp. 573-577, June 1979.

 저 자 소 개



李喆熙(正會員)

1961년 9월 11일생. 1984년 2월 경북대학교 전자공학과 졸업(학사). 1986년 2월 경북대학교 대학원 전자공학과졸업(석사). 1997년 2월 포항공과대학교 대학원 전자전기공학과 졸업(박사). 1986년 1월 ~ 1993년 3월 LG반도체 연구소 근무. 1997년 9월 ~ 현재 특허청 심사관



孫寧洙(正會員)

1974년 2월 14일생. 1997년 2월 서강대학교 전자공학과(학사). 1997년 3월 ~ 현재 포항공과대학교 대학원 전자전기공학과(석사과정). 주관심분야는 저전력 IC설계, 전송선 모델링과 해석을 포함한 PCB 신호 보전성



朴鴻濬(正會員)

1956년 10월 11일생. 1979년 2월 서울대학교 공과대학 전자공학과(학사). 1981년 2월 한국과학기술원 전기 및 전자공학과(석사). 1989년 5월 University of California, Berkeley, 전자공학(박사). 1981년 3월 ~ 1984년 7월 한국전자통신연구소 연구원. 1989년 1월 ~ 1991년 5월 INTEL사(U.S.A) Senior Engineer. 1991년 6월 ~ 현재 포항공과대학교 전자전기공학과 조교수, 부교수. 주관심분야는 고속 및 저전력 집적회로 설계, PCB 전송선 및 집적회로 소자 모델링