

論文97-34S-1-1

Radix-2 트리 ATM 스위치를 위한 멀티캐스팅 알고리즘에 관한 연구

(A Study on the Multicasting Algorithm for Radix-2 Tree ATM Switch)

金 弘 烈 *, 林 濟 鐸 *

(Hong-Ryul Kim and Chae-Tak Lim)

요 약

비디오 원격회의, VOD, LAN 브리징 및 분산 데이터 처리와 같은 다양한 네트워크 응용 서비스에서는 멀티캐스팅 통신이 필연적이다. 네트워크 내에서 이러한 멀티캐스팅을 지원하기 위해서는 패킷 복사 및 패킷 라우팅 기능을 제공하는 멀티캐스트 패킷 스위치가 필수 요소이다. 본 논문에서는 결정적 최소 한계 값의 라우팅 비트를 사용한 효율적인 멀티캐스트 어드레싱 방식을 제안하였다. 제안된 방식은 반얀 네트워크와 같은 radix-2 트리 ATM 스위치에서 모든 점-대-다중점 연결을 가능하게 한다. 또한 제안된 알고리즘을 실현하기 위한 단순한 radix-2 스위치의 구조를 제시했다. 그리고 radix-r 트리 ATM 스위치에서 멀티캐스팅을 구현하기 위한 여러 어드레싱 알고리즘들을 비교하였고, 부가 헤더 비트 복잡도, 내부 속도 증가 요구도 및 주요한 부가 하드웨어의 복잡도 등의 성능을 평가하였다.

Abstract

A wide class of networking application services, such as video teleconferencing, VOD, LAN bridging, and distributed data processing require multipoint communications. The essential component in the network to achieve this is a multicast packet switch which is capable of packet replication and switching. In this paper, we propose an efficient multicast addressing scheme using the smallest number of routing bits which is deterministic lower bound. The new scheme performs all point-to-multipoint connection in radix-2 tree ATM switch like banyan network. Also, we provide a simple radix-2 switch block diagram for achieving our algorithm. And we investigate several addressing schemes for implementing multicasting in radix-r tree ATM switch and evaluate several performance factors, such as complexity of the additional header bits, requirement of the internal speedup and complexity of the major hardware.

I. 서 론

광대역 ISDN 및 비동기 전송 모드(ATM) 네트워크에서는 점-대-점(point-to-point) 연결, 방송(broadcast) 연결 및 다중점(multi-point) 연결을 지원할 수 있는 유연한 통신 기능을 반드시 제공하여야 한다. 멀

티캐스팅(multicasting)은 네트워크 내에서 하나의 근원지에서 특정한 다수의 목적지에 정보 전송을 위한 다중점 연결 기능으로 향후 광대역 ISDN 및 ATM 네트워크에서 제공되어야 할 필수적인 기능이다. 비디오 원격회의(video teleconferencing), VOD(Video-On-Demand), LAN 브리징, 분산 데이터 처리와 같은 광범위한 네트워크 응용 서비스들에서는 멀티캐스팅 통신 기능이 필수적이다. 네트워크 내에서 이러한 멀티캐스팅을 지원하기 위해서는 패킷 복사(packet replication) 및 복사된 패킷들의 스위칭 기능을 갖는

* 正會員, 漢陽大學校 電子工學科

(Dept. of Electronic Engineering, Hanyang Univ.)

接受日字: 1996年6月27日, 수정완료일: 1997年1月7日

멀티캐스트 패킷 스위치(multicast packet switch)가 요구된다^{[11][21]}. 멀티캐스트 패킷 스위치는 다수의 입력 소스로부터의 입력 패킷들을 복사하고 동시에 다수의 출력 포트에 point-to-point 스위칭을 통해 복사된 패킷들을 라우팅(routing) 할 수 있어야 한다. 따라서, 멀티캐스트 패킷 스위치에서는 패킷 복사 및 라우팅을 위해 효율적인 멀티캐스트 어드레싱 구조, 패킷 복사 네트워크(copy network) 및 라우팅 알고리즘들이 요구된다. 지금까지, ATM 및 광대역 ISDN 네트워크에서 멀티캐스팅을 지원하기 위한 다수의 멀티캐스트 패킷 스위치에서 다양한 패킷 복사 네트워크와 라우팅 알고리즘 등이 제안되었다^{[11][13][14]}.

본 논문에서는 반얀(banyan), 오메가(omega) 네트워크 스위치와 같은 radix-2 트리 스위치에서 결정적 최소 한계 값의 라우팅 비트로 ATM 셀 멀티캐스팅을 실현하기 위한 효율적인 멀티캐스트 어드레싱 알고리즘을 제안하고, 기존의 알고리즘들과 라우팅 비트의 오버헤드(overhead)와 스위치 네트워크의 내부 처리속도 증가지수 및 부가되는 하드웨어의 복잡도를 비교 평가하였다.

서론에 이어 II 장에서는 기존의 멀티캐스트 어드레싱 구조와 그들의 라우팅 알고리즘들에 대해 기술하고, III 장에서는 본 논문에서 제안한 새로운 멀티캐스트 어드레싱 구조와 라우팅 알고리즘 및 알고리즘 실현을 위한 radix-2 스위치 구조에 대해 기술하고, IV 장에서는 이들에 대한 라우팅 비트 오버헤드, 내부 속도 증가지수 및 부가되는 주요 하드웨어 요소들의 구현에 요구되는 MOS Tr의 개수를 비교 평가하였으며, V 장에서는 본 논문에 대한 결론을 정리한다.

II. 멀티캐스팅 알고리즘

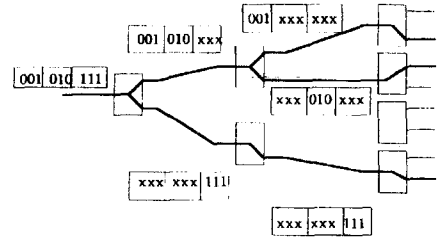
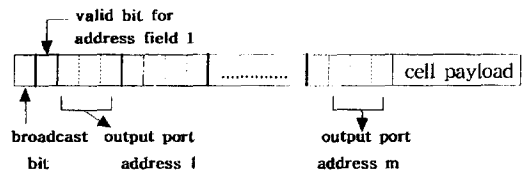
1. 명시적 어드레싱

명시적 어드레싱(explicit addressing) 알고리즘은 가장 간단한 멀티캐스트 라우팅 방식 중에 하나이며, 라우팅 셀 헤드 구조는 <그림 1-(a)> 와 같다. 이 방식에서는 모든 멀티캐스트 목적지 주소들을 라우팅 셀 헤드 내에서 명시적으로 확인 할 수 있는 장점이 있다. 각 radix-2 트리 스위칭 소자들은 유효 주소(valid address) 필드들을 조사하여 상위 출력 링크(upper output link)로 또는 하위 출력 링크(lower output link)로 라우팅 하거나 양쪽 출력 링크로 라우팅 하기

위한 패킷 복사를 수행한다. 출력 포트의 수가 N 개 이면 하나의 셀(cell)을 하나의 출력 포트에 라우팅하기 위해서는 $\log_2 N$ 비트의 추가적인 라우팅 헤드가 요구되고 또한 특정 어드레스 필드가 유효한지의 여부를 나타내는 1 비트의 추가 비트가 사용된다. 따라서, $(N-1)$ 개의 출력 포트에 멀티캐스팅 되는 경우, 요구되는 헤드의 비트 수는 (1) 식과 같다.

$$B_{EA} = (N - 1)(\log_2 N + 1) \tag{1}$$

따라서, 추가되는 라우팅 헤드의 복잡도는 $O(N \log_2 N)$ 이다^[41].



(a)

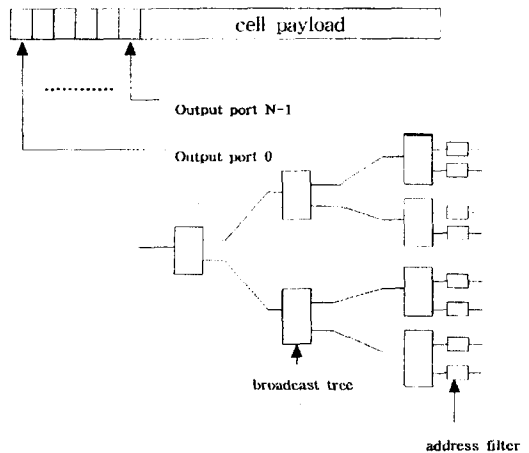


그림 1 (a) 명시적 어드레싱 방식, (b) 셀 어드레스 필터 방식

Fig. 1. (a) Explicit addressing scheme, (b) cell address filters approach.

2. 셀 어드레스 필터

셀 어드레스 필터(cell address filter) 방식은 <그림 1-(b)> 와 같이 각 출력 포트에 셀 어드레스 필터 소자가 사용되며, 스위칭 네트워크 내에서 self-routing이 지원되지 않는다. 이 방식에서는 네트워크 내의 모든 스위치들은 항상 입력 셀을 모든 출력 포트에 브로드캐스팅 한다.

N 개의 출력 포트를 갖는 경우 N 비트의 라우팅 헤드 필드가 필요하고, 헤드 내의 각 비트는 하나의 출력 포트에 할당된다. 출력 단에서는 헤드 내의 해당 포트 비트가 "1" 인지 셀 어드레스 필터를 통해 조사한 후 "1" 인 경우에만 수신된 셀을 받아들이고, 그렇지 않으면 폐기한다. 이 방법에서 각 스위칭 소자들은 입력되는 셀들을 모든 출력 링크로 브로드캐스팅 하므로 불필요한 여분의 복사 셀(redundant copy cell)들이 네트워크 내에서 생성되고, 출력 단에 N 개의 추가적인 어드레스 필터 소자가 요구되는 단점이 있다. 또한, 이 방법을 반양 스위치에 적용하는 경우에는 내부 버퍼가 없으면 여분의 복사 셀들이 실제 트래픽들을 블로킹(blocking) 할 수 있고, 내부 버퍼가 있으면 여분의 불필요한 복사 셀들이 트래픽 팽창(traffic expansion)을 야기하여, throughput 이 저하되고, 큐잉 지연(queueing delay)을 증가시키는 단점이 있다^[4].

3. VIA 어드레싱

VIA(Vertex Isolation Addressing) 알고리즘은 self-routing 멀티캐스트 어드레싱 알고리즘이다^[4]. VIA 에서는 임의의 radix 트리(멀티캐스트 경로)내에 존재하는 radix- r 스위치들의 제어 비트는 다음과 같은 (i, j) -tuple 로 표현된다. 여기서,

i : radix 트리의 수직 레벨, $i = 0, 1, \dots, \log_r N - 1$;

j : i -번째 수직 레벨 상의 스위치 위치, $j = 0, 1, \dots, r^i - 1$;

이다.

VIA 에서는 멀티캐스트를 위한 radix- r 트리가 다수의 수직(vertical) 레벨로 분리되며, 각 수직 레벨 순으로 각 (i, j) -tuple 들이 $\{(0, 0), (1, 0), (1, 1), (2, 0), \dots\}$ 과 같이 배열된다.

네트워크 내의 각 radix-2 스위치들은 2 개의 출력 링크를 갖으며, 각 (i, j) -tuple 은 멀티캐스트 경로 상

에 존재하는 radix-2 스위치의 스위칭 상태를 표현한다. 즉, (i, j) -tuple 값이 "10" 이면 입력 패킷은 상위 링크로만 전송되고, "01" 이면 하위 링크로만 전송되고, "11" 이면 입력 패킷이 복사되어 양쪽 링크로 동시에 전송된다. 따라서, VIA 에서는 <그림 2>와 같이 각 단(stage)의 radix-2 스위치들은 라우팅 헤드내의 해당 (i, j) -tuple 값을 기반으로 스위칭 된다.

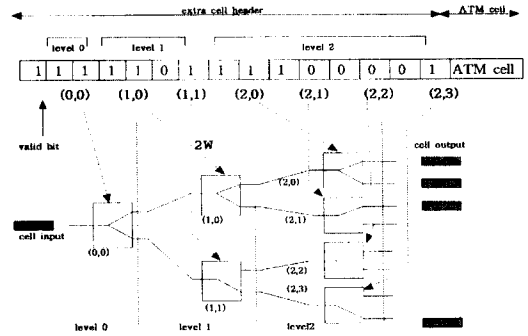


그림 2. 멀티캐스팅을 위한 VIA 구조
Fig. 2. VIA scheme for multicasting.

VIA 에서는 <그림 2> 와 같이 특정 멀티캐스트 라우팅 헤드 비트를 생성하기 위한 어드레스 인코더(encoder) 로직과 각 스위칭 소자 내에 해당 (i, j) -tuple 값을 추출하기 위한 제어 비트 디코더(decoder) 로직의 추가가 요구된다^[4].

임의의 N 출력을 갖는 radix- r VIA 트리 멀티캐스팅을 위해 부가되는 라우팅 헤드 비트 수는 (2) 식과 같다.

$$B_{VIA} = \frac{r(N-1)}{(r-1)} \tag{2}$$

따라서, 라우팅 헤드의 복잡도는 $O(N)$ 이 된다. $r=2$ 인 경우는 $B_{VIA} = 2(N-1)$ 비트가 요구된다^[4].

III. 제안된 알고리즘

본 절에서는 radix-2 스위치 네트워크에서의 효율적 멀티캐스팅을 위한 self-routing 멀티캐스트 제어 알고리즘인 SHOR 어드레싱 알고리즘을 제안한다.

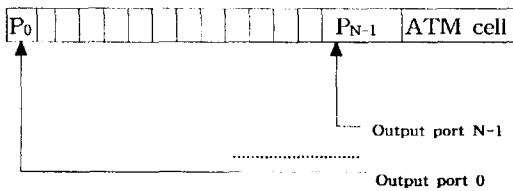
1. 라우팅 태그

제안된 멀티캐스트 어드레싱 방식에서는 N 개의 출력 포트를 갖는 스위치 네트워크인 경우 멀티캐스트

라우팅 태그 비트는 다음과 같은 N 비트의 이진 스트링으로 표현된다.

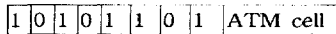
$$(P_0 P_1 \dots P_k \dots P_{N-1})_2$$

라우팅 헤드의 각 비트는 멀티캐스팅 연결이 요구되는 임의의 출력 포트를 나타내며, active 포트는 "1", inactive 포트는 "0" 의 값으로 세트된다. (8×8) 스위치 네트워크에서 멀티캐스트 목적지가 $\{0, 2, 4, 5, 7\}$ 인 경우, 라우팅 태그 비트는 <그림 3-(b)> 와 같이 $(P_0, P_2, P_4, P_5, P_7)$ 비트는 "1" 로 다른 비트들은 "0" 으로 세트된다.



(a)

Destination ports = $\{0, 2, 4, 5, 7\}$



(b)

그림 3. (a) 라우팅 헤더 포맷 (b) 멀티캐스트 어드레스의 예

Fig. 3. (a) Routing header format (b) Example of a multicast address.

제안된 알고리즘을 실현하기 위해 요구되는 라우팅 헤더 비트 수는 $B_{SHOR} = N$ 비트이다. 따라서, 라우팅 태그 복잡도는 $O(N)$ 이다.

2. 셀 라우팅 알고리즘

멀티캐스트 스위치내의 각 radix-2 스위치는 패킷 복사 기능 및 self-routing 기능을 갖고, 멀티캐스트 경로 상에 존재하는 모든 스위치에서의 복사 및 라우팅 제어는 <표 1.> 과 같은 $f_{i,j}(U, L)$ -tuple 로 표현되는 제어 비트 값에 의해 결정된다.

즉, $f_{i,j}(U, L)$ -tuple 값이 "10" 이면 입력 패킷은 상위 출력 링크로만 전송되고, "01" 이면 하위 출력 링크로 전송되고, "11" 이면 입력 패킷이 복사되어 양쪽 출력 링크로 전송된다. 따라서, 각 radix-2 스위치는

self-routing 특성을 갖는다.

표 1. Radix-2 스위치 제어조건

Table 1. Control conditions of radix-2 switch.

$f_{i,j}(U, L)$ conditions	Switch Operation
0 0	None
0 1	Send cell to lower output port only
1 0	Send cell to upper output port only
1 1	Copy cell & send to all output port

또한 radix-2 스위치의 제어 비트 연산을 용이하게 하기 위해 멀티캐스트 헤더 비트들은 스위치 네트워크의 각 단을 지나면서 $(\frac{N}{2^{k+1}})$, (*where*, $0 \leq k < \log_2 N - 1$) 크기로 분리되어 다음 단으로 전송된다. 분리된 헤더의 상위 $(\frac{N}{2^{k+1}})$ 비트는 상위 출력 링크로 하위 $(\frac{N}{2^{k+1}})$ 비트는 하위 출력 링크로 전송된다.

임의의 입력 셀의 멀티캐스트 라우팅 헤더로부터, 해당 멀티캐스트 경로에 존재하는 각 radix-2 스위치의 제어 비트 $f_{i,j}(U, L)$ -tuple 들을 구하기 위한 Split Header ORing(SHOR) 알고리즘은 <그림 4> 와 같다. 멀티캐스트 경로에 존재하는 (i -번째) 단의 (j -번째) radix-2 스위치의 제어 비트 $f_{i,j}(U), f_{i,j}(L)$ 는 라우팅 헤더 비트의 상/하위 $(\frac{N}{2^{i+1}})$ 비트들을 각각 ORing 하여 결정된다. 이렇게 결정된 제어 비트들에 따라 각 radix-2 스위치들은 <표 1> 과 같이 스위칭되므로 제안된 SHOR 알고리즘은 멀티캐스팅 기능 및 self-routing 성질을 용이하게 제공한다.

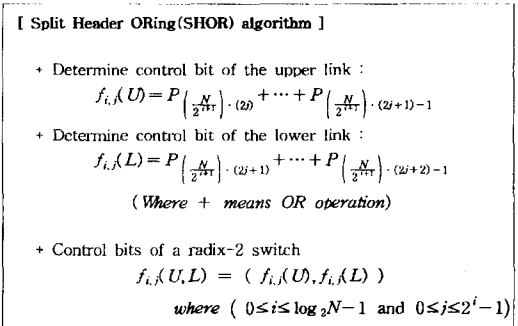


그림 4. SHOR 알고리즘

Fig. 4. Split Header ORing(SHOR) algorithm.

(8 × 8) 스위치 네트워크에서의 멀티캐스팅을 위한 radix-2 스위치의 제어 비트를 구하기 위한 SHOR 알고리즘의 예는 <그림 5> 와 같다. radix-2 네트워크 스위치에서의 멀티캐스팅 경로는 <그림 5> 와 같은 이진 트리(binary tree)로 표현되며, 경로 상의 각 레벨에 존재하는 스위치의 제어 비트들은 헤드내의 해당 비트 값들을 ORing 하므로서 구해진다.

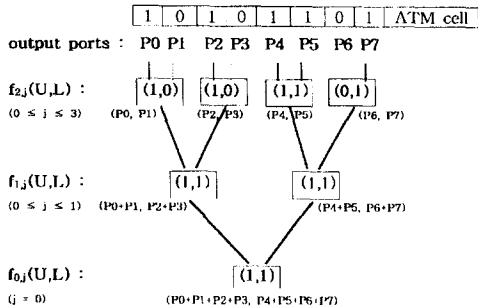


그림 5. N = 8 인 경우의 SHOR 알고리즘의 예
Fig. 5. Example of SHOR algorithm for N = 8.

제안된 SHOR 어드레싱 알고리즘을 반얀 네트워크에 적용한 예는 <그림 6> 과 같다. <그림 6> 은 (16 × 16) 반얀 네트워크에서 입력 포트 (0)에서 출력포트 (2, 3, 5, 9, 10, 14)들로 멀티캐스트 할 때의 이진 트리 및 경로 상에 존재하는 radix-2 스위치의 제어 비트를 나타낸다.

- Multicasting ports = {2, 3, 5, 9, 10, 14}
- f₂₀(U,L) = 00, f₂₁(U,L) = 11, f₂₂(U,L) = 01, f₂₃(U,L) = 00,
 - f₁₀(U,L) = 01, f₁₁(U,L) = 10, f₁₂(U,L) = 00, f₁₃(U,L) = 10
 - f₀₂(U,L) = 01, f₀₃(U,L) = 10, f₀₅(U,L) = 11, f₀₉(U,L) = 01
 - f₀₈(U,L) = 11, f₀₉(U,L) = 11
 - f₀₀(U,L) = 11

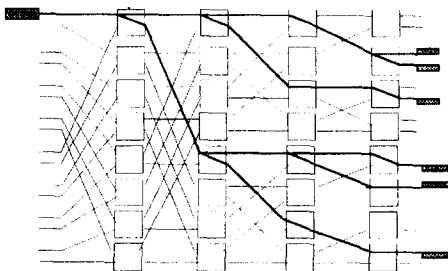


그림 6. 반얀 네트워크에서의 멀티캐스팅
Fig. 6. Multicasting on banyan network.

3. SHOR 하드웨어 로직

광대역 ISDN 및 ATM 네트워크 내의 멀티캐스트 스위치에서는 입력 패킷의 복사 및 라우팅이 고속으로

이루어져야 한다. 따라서, 멀티캐스팅 알고리즘들은 단순한 하드웨어 구조로 구현 가능하여야 한다. 제안된 SHOR 알고리즘을 고속으로 수행하기 위한 radix-2 스위치의 하드웨어 로직의 구조는 <그림 7>과 같다.

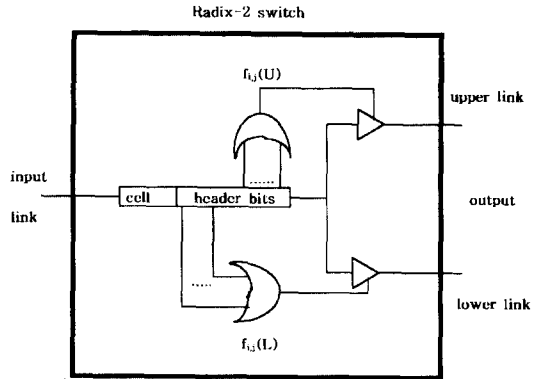


그림 7. radix-2 스위치의 하드웨어 로직
Fig. 7. Hardware logic of radix-2 switch.

SHOR 알고리즘에 의한 제어 비트 연산을 위해서는 각 단의 radix-2 스위치 소자에 <그림 7> 과 같은 추가적인 OR 게이트 로직이 요구된다. (N × N) 스위치 네트워크에서 첫 번째 단의 각 radix-2 스위치 소자에서는 1 개의 (N × 1) OR 게이트 로직이 요구되고, k 번째 단에서는 1 개의 (N/2^k × 1) OR 게이트 로직이 요구되며, log₂N-2 번째 단에서는 1 개의 (2 × 1) OR 게이트 로직이 요구된다. 마지막 단(즉, log₂N-1 번째 단)의 스위치 소자에서는 OR 게이트 로직이 요구되지 않는다.

(N × 1) OR 게이트 로직은 N 개의 P-MOS Tr 과 N-MOS Tr 을 갖는 NOR 게이트와 1 개의 P-MOS/N-MOS Tr 로 구성되는 inverter 를 사용하여 구현 가능하다^[7, pp. 9-15]. 따라서 SHOR 알고리즘에 의해 추가적으로 요구되는 P-MOS/N-MOS Tr 의 총 수는 (3) 식과 같다.

$$T_{(total\ Tr(s)\ by\ SHOR\ logic)} = 2N \sum_{k=0}^{\log_2 N - 2} \left(\frac{N}{2^k} + 2 \right) \quad (3)$$

IV. 성능 평가

1. 헤드 복잡도 및 내부 속도 증가 요구도 평가
멀티캐스트 스위치에서 입력 ATM 셀들을 다수의 목적지로 멀티캐스트 하기 위해서는 별도의 라우팅 해

드의 추가가 요구되고, 또한 이러한 라우팅 헤드 비트가 추가되므로써 멀티캐스트 스위치의 내부 처리 속도 향상이 요구된다. 따라서 멀티캐스트 패킷 스위치의 성능을 향상하기 위해서는 효율적인 어드레싱 구조 및 라우팅 알고리즘이 요구된다.

멀티캐스트 스위치에서 입력 셀의 단일 패싱(single passing)으로 모든 멀티캐스트 연결을 실현하기 위해 요구되는 라우팅 비트 수의 통계적 최소 한계 값 (statistical greatest lower bound)은 $B_1 = N + \frac{1}{2} \log_2 N + \log_2 \sqrt{\frac{2}{\pi}}$ 비트 ($N \rightarrow \infty$ 인 경우)이고 결정적 최소 한계 값(deterministic lower bound)은 $B_2 = \log_2(2^N - 1) \cong N$ 비트이다^[41]. 따라서, 멀티캐스트 어드레스 표현을 위한 최소 한계 값 B_1, B_2 모두 $O(N)$ 추가 라우팅 비트가 필요하다.

표 2. B_1, B_2 의 최소 한계 값

Table 2. Lower bounds, B_1 and B_2 .

N	32	64	128	256	512	1024
$\log_2 N$	5	6	7	8	9	10
[B_1] bits	35	67	132	260	517	1029
[B_1] bytes	5	9	17	33	65	129
speedup	1.094	1.179	1.321	1.623	2.226	3.433
[B_2] bits	32	64	128	256	512	1024
[B_2] bytes	4	8	16	32	64	128
speedup	1.075	1.151	1.302	1.604	2.208	3.415

제안된 SHOR 어드레싱 알고리즘에서는 멀티캐스팅을 위한 라우팅 헤드의 어드레싱 필드 길이는 항상 스위칭 네트워크의 출력 포트 수 (N)에 비례한다. 따라서, 제안된 알고리즘에 의해 요구되는 부가 라우팅 헤드의 비트는 결정적 최소 한계 값 B_2 와 일치한다.

표 3. 멀티캐스팅 알고리즘 성능 비교

Table 3. Comparison of multicast addressing schemes.

Addressing scheme	header complexity	N	32	64	128	256	512	1024
		$\log_2 N$	5	6	7	8	9	10
Explicit	$O(N \log_2 N)$	B_{EA} bits	186	441	10016	2295	5110	11253
		B_{EA} bytes	24	56	127	287	639	1047
		speedup	1.453	2.057	3.396	6.415	13.057	27.547
VIA ($r=0$)	$O(N)$	V_{IA} bits	62	126	254	510	1022	2046
		V_{IA} byte	8	16	32	64	129	256
		speedup	1.151	1.302	1.604	2.207	3.415	5.830
SHOR	$O(N)$	B_{SHOR} bits	32	64	128	256	512	1024
		B_{SHOR} bytes	4	8	16	32	64	128
		speedup	1.075	1.151	1.302	1.604	2.207	3.415

<표 3>에서는 스위치 크기에 따른 기존의 멀티캐스팅 알고리즘들과 제안된 알고리즘에서 요구되는 라우팅 헤드 비트 수와 추가된 헤드 비트 처리를 위해 요구되는 스위치의 내부 속도(internal speedup) 증가 지수를 비교하였다. 내부 속도 증가지수는 53 바이트의 ATM 셀 처리 시간을 "1"로 하였을 때 헤드가 추가 되므로써 요구되는 스위치의 내부 처리 속도 증가지수이다.

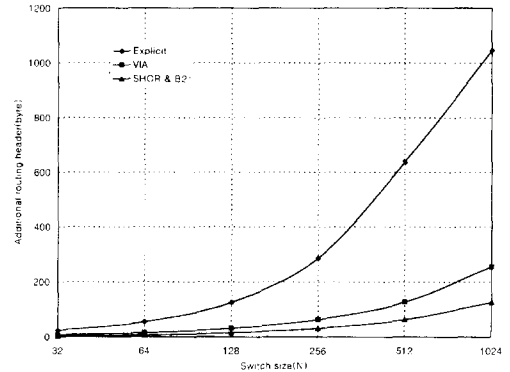


그림 8. 부가 라우팅 헤드 비트 수 비교

Fig. 8. Comparison of the additional routing header bits.

멀티캐스팅을 위해 요구되는 라우팅 헤드의 비트 수는 <그림 8>과 같이 제안된 SHOR 어드레싱 알고리즘이 기존의 알고리즘에 비해 크게 개선되었고, 멀티캐스팅을 위해 요구되는 라우팅 비트의 결정적 최소 한계 값과 일치함을 알 수 있다.

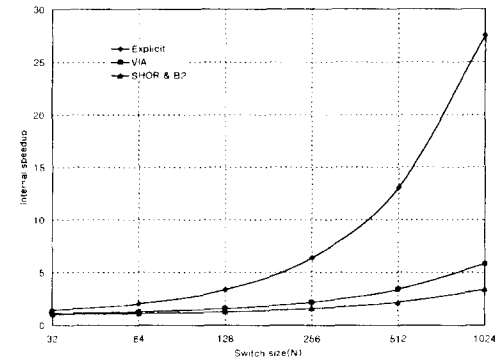


그림 9. 내부 속도 증가지수 비교

Fig. 9. Comparison of internal speedup factor.

또한, 추가된 라우팅 헤드 비트로 인해 요구되는 스

위치의 내부 속도 증가지수에 있어서도 <그림 9>과 같이 제안된 SHOR 어드레싱 알고리즘이 기존의 알고리즘에 비해 크게 개선되었음을 알 수 있다. 제안된 어드레싱 방식이 명시적 어드레싱 및 VIA 어드레싱 알고리즘에 비해 라우팅 헤드 비트 및 요구되는 내부 속도 증가 지수에서 크게 개선되었음을 알 수 있다.

2. 하드웨어 복잡도 평가

각 어드레싱 방식을 실현하기 위해 요구되는 추가적 하드웨어의 정량적 비교는 어렵지만, 각 알고리즘 실현을 위해 요구되는 주된 부가 하드웨어 로직들을 CMOS 로 구현할 때 요구되는 P-MOS/N-MOS Tr 의 총 수를 하드웨어 복잡도 평가 기준으로 한다. 각 멀티캐스트 어드레싱 알고리즘 실현을 위해 요구되는 주요 하드웨어 로직과 이들을 CMOS 로 구현할 때 요구되는 MOS Tr 의 총 수는 <표 4> 와 같다.

표 4. 어드레싱 알고리즘에 따른 MOS Tr 의 총 수

Table 4. Total number of the required Tr(s) for each addressing scheme.

Addressing scheme	Major Hardware Overhead	N (# of inputs)					
		32	64	128	256	512	1024
Explicit	Header Bit Comparator	29,760	169,344	910,336	4,700,160	23,546,880	115,230,720
Cell Address Filter	N-bits Address Filter(AF)	6,144	24,576	98,304	393,216	1,572,864	6,291,456
VIA (r=2)	VIA Encoder (VIAE) logics	19,840	80,640	325,120	1,305,600	5,232,640	20,951,040
SHOR	SHOR logic	4,332	17,132	67,584	267,264	1,060,864	4,222,976

명시적 알고리즘에서는 각 radix-2 스위치에 최대 $(N - 1)(\log_2 N + 1)$ 비트의 라우팅 비트 비교기가 요구된다. 라우팅 비트 비교기를 단순히 각 비트 별로 (2×1) AND 게이트 로직으로 구현한다고 가정하면, (2×1) AND 게이트는 2 개의 P-MOS Tr 과 2 개의 N-MOS Tr 을 갖는 CMOS NAND 게이트와 1 개의 P-MOS Tr 과 1 개의 N-MOS Tr 을 갖는 CMOS invert 게이트로 구현 가능하다^{17, pp. 9-15}. 따라서, $(N \times N)$ 스위치인 경우 각 라우팅 비트 비교기 구현에 요구되는 P-MOS/N-MOS Tr 의 총 수는 (4) 식과 같다.

$$T_{(total\ Tr(s)\ by\ Bit\ Comp.)} = \{ (N - 1)(\log_2 N + 1) \} \times (N \times \log_2 N) \quad (4)$$

셀 어드레스 필터 방식에서는 스위치의 각 출력 포트마다 N-비트 어드레스 필터가 요구된다. N-비트 어드레스 필터는 N 개의 (2×1) AND 게이트 로직으로 구현 가능하다. 따라서, $(N \times N)$ 스위치인 경우 추가되는 N 개 출력 포트의 N-비트 어드레스 필터 구현에 요구되는 P-MOS/N-MOS Tr 의 총 수는 (5) 식과 같다.

$$T_{(total\ Tr(s)\ by\ N-bit\ AF)} = (6N \times N) \quad (5)$$

VIA 알고리즘에서는 각 입력 포트마다 $2(N-1)$ 비트의 VIA Encoder(VIAE) 로직과 각 radix-2 스위치에서 라우팅 비트 디코딩을 위한 2 개의 $2(N-1)$ 비트 counter 가 요구된다. VIAE 로직은 $N=8$ 인 경우, 14 개의 Tri-state buffer 와 8 개의 (3×1) AND 게이트 로직, 4 개의 (2×1) AND 게이트 로직 및 17 개의 NOT 게이트가 필요하다¹⁴. Tri-state buffer latch 는 4 개의 P-MOS Tr 과 4 개의 N-MOS Tr 그리고 1 개의 P-MOS Tr 과 1 개의 N-MOS Tr 을 갖는 CMOS invert 게이트로 구현 가능하며, N-비트 이진 카운터는 N 개의 레지스터로 구현 가능하다^{17, chap. 5.8}. 따라서, $(N \times N)$ 스위치 경우 각 입력 포트마다 VIAE 가 요구되므로, 각 VIAE 에서 Tri-state buffer 에 의해서만 추가되는 Tr 의 총 수는 (6) 식과 같고, 각 스위치 소자에서 요구되는 counter 의 수는 (7) 식과 같다.

$$T_{(total\ Tr(s)\ by\ 3-state\ buffer)} = N \times \{ 2(N-1) \times 10 \} \quad (6)$$

$$T_{(total\ Num(s)\ of\ 2(N-1)\ bit\ counter)} = (N \times \log_2 N) \quad (7)$$

제안된 알고리즘을 위해서는 각 스위치 소자에서의 제어 비트 연산을 위한 OR 게이트 로직을 위해 요구되는 전체 MOS Tr 의 수는 (3) 식과 같다.

<표 4> 에서처럼 각 알고리즘 실현을 위해 요구되는 주된 부가 하드웨어 요소 구현에 요구되는 P-MOS/N-MOS Tr 의 총 수가 제안된 알고리즘이 가장 작게 요구됨을 확인 할 수 있다.

V. 결론

본 논문에서는 결정적 최소 한계 값의 라우팅 비트

를 사용하여 반얀(banyan) 네트워크와 같은 radix-2 스위치 네트워크에 적용 가능한 효율적 멀티캐스트 어드레싱 알고리즘을 제안하였다. 제안된 알고리즘은 기존의 멀티캐스트 알고리즘에 비해 요구되는 부가 라우팅 헤드 비트의 수가 크게 줄었고, 또한 추가된 라우팅 헤드로 인한 멀티캐스트 스위치 네트워크의 내부 속도 증가 요구도(internal speedup requirement)가 크게 개선되었으며, 알고리즘 실현을 위해 요구되는 주된 부가 하드웨어 요소들의 구현에 요구되는 P-MOS/N-MOS Tr 의 총 수에 있어서도 제안된 알고리즘이 가장 작게 요구됨을 확인하였다.

향후 과제로는 radix-2 멀티캐스팅 스위치 네트워크의 내부 링크 블로킹 및 출력 포트 경합을 효율적으로 처리 할 수 있는 새로운 알고리즘 및 스위칭 네트워크의 구조에 대한 연구가 요구된다.

참 고 문 헌

- [1] T. T. Lee, "Nonblocking Copy Networks for Multicast Packet Switching", IEEE JSAC, Vol. 6, No.9, pp.1455-1467, Dec, 1988
- [2] F. A. Tobagi, "Fast Packet Switch Architectures for Broadband Integrated Services Digital Networks", Proc. IEEE, Vol.78, No.1, pp.133-167, Jan. 1990
- [3] X. Chen, V. Kumar, "Multicasting Routing in Self-Routing Multistage Networks", Proc. INFOCOM'94, Vol.1, pp.306-314, 1994
- [4] K. L. Eddie and A. Leon-garcia, "Multicast and Self-Routing in ATM Radix Trees and Banyan Networks", Proc. IEEE INFOCOM'95, Vol.2, pp.951-959, 1995
- [5] T. T. Lee, R. Boorstyn, E. Arthurs, "The Architecture of a Multicast Broadband Packet Switch", Proc. IEEE INFOCOM'88, Vol.1, pp.1-8, 1988
- [6] P. C. Wong and M. S. Weung, "Pipeline Banyan - A Parallel Fast Packet Switch Architecture", Proc. of ICC'92, pp.882-887, 1992
- [7] N. H. Weste and K. Eshraghian, Principles of CMOS VLSI Design: A Systems Perspective, 2nd Ed., Addison-Wesley, Reading, MA, 1993

저 자 소 개

金 弘 烈(正會員) 第 33 卷 A 編 第 6 號 參照
현재 한양대학교 대학원 전자공학과 박사과정 재학중

林 濟 鐸(正會員) 第 33 卷 A 編 第 7 號 參照
현재 한양대학교 전자공학과 교수