

論文97-34S-2-5

# 양자화를 이용한 블록 정합 알고리즘에 대한 연구

## (Block matching algorithm using quantization)

李 榮 \* , 朴 貴 泰 \*\*

(Young Lee and Gwi-Tae Park)

### 요 약

블록 정합 알고리즘을 위한 시스톨릭 어레이의 구조를 단순화 하기 위해 화상 데이터에 대한 양자화를 실시 하였다. 양자화를 통해 줄어든 비트 수에 비례하여 시스톨릭 어레이 하드웨어를 단순화 할 수 있으며, 특히 serial 비트 입력을 사용할 경우 Processing Element 의 구조를 대폭 단순화 시킬 수 있다. 먼저 양자화가 블록 정합의 정확성에 미치는 영향을 분석하고, serial 비트 입력을 사용할 경우의 Processing Element 와 양자화의 구조를 보였다. MPEG 표준 영상에 대해 시뮬레이션한 결과, 본 연구의 양자화를 이용한 블록 정합 방법은 기존의 고속 알고리즘에 비해 예측 오차 면에서 우수한 성능을 보임을 알 수 있었다.

### Abstract

In this paper, we quantize the image data to simplify the systolic array architecture for block matching algorithm. As the number of bits for pixel data to be processed is reduced by quantization, one can simplify the hardware of systolic array. Especially, if the bit serial input is used, one can even more simplify the structure of processing element. First, we analyze the effect of quantization to a block matching. Then we show the structure of quantizer and processing element when bit serial input is used. The simulation results applied to standard images have shown that the proposed block matching method has less prediction error than the conventional high speed algorithm.

### I. 서 론

시간축 상에서 연속한 동영상의 압축 방법으로는 프레임간 움직임 보상 부호화 (Interframe Motion Compensated Coding : IMCC) 가 매우 효율적이다. 따라서 MPEG, H.261등<sup>[1,2]</sup> 규격화가 완료된 기존의 동영상 압축 표준들에서는 모두 IMCC 를 압축의 근간으로 사용하고 있다. IMCC는 프레임간에 존재하

는 움직임 벡터 (Motion Vector : MV) 를 검출하고 부호화 하는 부분과, 이 MV를 사용하여 보상된 예측 영상과 원 영상과의 차이, 즉 예측 오차를 부호화 하는 부분으로 구성된다. 여기서 MV를 정확히 검출하면 예측 오차를 줄일 수 있기 때문에, MV를 정확히 검출하는 것이 압축 효율을 높이는데 매우 중요하다.

MV의 검출 방법은 크게 블록 단위의 정합을 통해 검출하는 방법 (Block Matching Algorithm : BMA), 화소 단위의 움직임을 검출 하는 방법 (Pel Recursive Algorithm : PRA)으로 나눌 수 있는데, BMA의 경우가 계산량이 비교적 적고 하드웨어의 구현이 용이 하므로, 기존의 압축 표준에서 많이 사용되고 있다. BMA는 화상 압축에서 가장 많은 연산량을 필요로 하는 부분이며, 특히 전역 탐색 BMA (Full search BMA : FBMA)는 화상 압축기 전체 연산량의 50% 이상을 차지할 정도로 막대한 연산량을 필요

\* 正會員, 高麗大學校 電氣工學科

(Dept. of Electrical Eng. Korea Univ.)

\*\* 正會員, 高麗大學校 電氣工學科, 서울대 ERC-ACI 研究 委員

(Dept. of Electrical Eng. Korea Univ., ERC-ACI Researcher, Seoul Univ.)

接受日字: 1996年7月19日, 수정완료일: 1997年2月5日

로한다<sup>13)</sup>. 이러한 연산량의 문제를 해결 하고 BMA의 실시간 구현이 가능토록 하기위한 많은 연구가 행해져 왔다. 먼저 탐색점의 수를 줄이므로써, 전체적인 BMA의 연산량을 감축 시키는 방법으로 2-D logarithm search, Three step search, Cross search 등이 있다<sup>14,5,6)</sup>. 또 다른 방법은 각 탐색점에서 연산량을 줄이는 방법으로 Pixel decimation, Subblock BMA 등이 있다<sup>17)</sup>. 이 방법들은 FBMA에 비해 연산량의 대폭 감축이 가능 하지만, Local minimum의 위치를 블록의 MV로 취할 수 있고 따라서 예측 오차가 증가 한다는 문제점을 안고 있다. 또한 하드웨어의 구현성 면에서도 FBMA에 비해 어려움이 많다.

FBMA는 MV의 정확한 검출이 가능할 뿐 아니라, 규칙적인 형태의 병렬처리를 사용하여 효율적인 하드웨어의 구현이 가능하다는 점에서 널리 사용되고 있다. FBMA에 관한 기존의 연구는 연산 효율을 극대화시킬 수 있는 하드웨어의 구조에 관한 내용을 중심으로 행해져 왔다. 또한, I/O 편수, 메모리 대역폭 등 IC 구현에 필요한 실질적인 문제점 까지 고려한 하드웨어 구조들도 제안되었다<sup>18)</sup>. 최근에는 탐색 영역의 크기나 블록의 크기 변화에 유연하게 대응 할 수 있는 구조 및, FBMA를 포함한 다양한 BMA 방법들을 수용할 수 있는 매우 유연성이 향상된 하드웨어 구조가 제안되었다<sup>19)</sup>. 이상과 같이 BMA의 실시간 구현을 목표로 많은 연구가 수행 되어 왔으며, 그 결과로 연산속도의 향상은 물론, 다양한 응용 분야로의 확장성 까지 고려한 하드웨어들이 개발 되고 있다. FBMA는 규칙성을 가진 병렬 처리 하드웨어로 처리 하기에 매우 적합한 알고리즘 구조로 되어 있으며, 따라서 대부분 시스톨릭 어레이 하드웨어 상에서 적용되고 있다. 시스톨릭 어레이는 다수의 처리요소 (Processing Element : PE) 들을 병렬로 상호 연결하여, 병렬 처리 효율을 극대화 시킨 구조로 되어 있다. 시스톨릭 어레이의 핵심 부분인 PE 에서 FBMA의 연산이 행해지는데, IC 내에 PE의 수가 많을 수록 연산 속도가 빨라진다. 그러나 단일 IC 내에 집적 시킬 수 있는 PE의 수에는 제한이 있으며, 많은 방법들에서 연산 속도의 증대를 위해 복수개의 IC를 병렬로 연결하여 필요한 연산 속도를 달성하는 방식을 취하고 있다.

본 연구에서는 기존의 모든 시스톨릭 어레이 구조의 BMA용 하드웨어에 사용되고 있는 PE의 구조를 간략

화 시키는 방안에 대해 고찰한다. PE의 구조를 간략화 하므로써 동일 실리콘 면적내에 더 많은 수의 PE를 집적할 수 있으므로 연산 속도의 증대가 가능해진다. 또한, 화상 전화기 등 고속 처리를 필요로 하지 않는 응용분야의 경우 하드웨어의 구현 비용을 줄이는데 기여할 수 있다. 본연구는 PE로 입력되는 화상 데이터의 비트 수를 줄이므로써, PE의 구조를 간략화 하는데 목표를 두고 수행 하였다. 비트 수를 줄일 목적으로 양자화를 사용하는데, 양자화의 사용에 따른 예측오차의 증가는 매우 작으며, Three Step Search (TSS) 및 Pixel Decimation (PD) 등 기존의 BMA 고속화 방법에 비해 우수한 성능을 보임을 입증한다. 또한 비트 수의 감축을 통해 PE의 구조를 대폭 단순화 할 수 있음을 보인다. 기존의 BMA 고속화 방식들이 산술적인 연산회수를 줄이므로써 고속화를 도모하고 있으나, 하드웨어 구현 측면에서 어려움이 많다는 점에 착안해서, 하드웨어 구현성 향상에 중점을 두므로써 결과적으로 BMA의 고속 실행이 가능토록 하는 새로운 방식을 제안한다. 본 논문의 구성은 II장에서 기존의 BMA와 문제점에 대해 간단히 기술하고, III장에서 양자화를 사용한 제안한 BMA 방법의 타당성에 대해 논한다. IV장에서는 제안한 방법의 하드웨어 구현에 관해 설명하고, V장에서 기존의 BMA와 제안 방법의 성능을 비교 하였다.

## II. BMA

블록의 크기가  $N \times N$ , 탐색 거리가  $P$ , 움직임 벡터를 찾고자 하는 기준 프레임의 블록 내 화소를  $r(i, j)$ , 현재 프레임과 인접한 탐색 대상 프레임의 블록 내 화소를  $s(i, j)$  라 하고 정합의 판단 기준으로 MAD (Mean Absolute Difference) 를 사용 했을 때, FBMA를 수식으로 나타내면

$$D(m, n) = \sum_{i=1}^N \sum_{j=1}^N |r(i, j) - s(i+m, j+n)| \quad ; -P \leq m, n \leq P \quad (1)$$

이 블록의 움직임 벡터  $V$  는  $D(m, n)$  이 최소가 되는 위치로서

$$V = \arg \{ \min D(m, n) \} \quad ; -P \leq m, n \leq P \quad (2)$$

만약 정합의 판단 기준으로 MSE (Mean Square

Error) 를 사용 한다면

$$D(m, n) = \sum_{i=1}^N \sum_{j=1}^N [r(i, j) - s(i+m, j+n)]^2; \quad -P \leq m, n \leq P \quad (3)$$

으로 나타낼 수 있다. 30Hz의 프레임 속도를 갖는 704 × 480 크기의 화상에서, 블록의 크기가 16 × 16 이고 탐색 거리가 16 인 FBMA를 수행 할 경우의 연산량은 31 GOPS에 달한다.

이러한 연산량의 문제를 해결하기 위한 방법으로 TSS, 2D Logarithm search, conjugate directional search 등 수 많은 방법들이 제안 되었으나, 연산량을 줄이는 대신 예측 오차의 증가가 불가피 하며, 따라서 압축 효율이 저하된다는 문제를 안고 있다. 이러한 고속 알고리즘의 또다른 문제는 하드웨어의 구현에 어려움이 따른다는 점이다. FBMA가 단순 규칙적인 형태로 PE들을 상호 연결함으로써 효율성 높은 구현이 가능한데 비해, 알고리즘에 따라 정도의 차이는 있지만 고속 알고리즘을 하드웨어로 구현 하기 위해서는 복잡도가 증가하고 처리 효율도 저하하게 된다.

BMA 연산을 처리 하기위한 대부분의 하드웨어 구조들은 병렬 처리와 Pipeline 처리에 의해 막대한 연산량의 문제를 해결 하고 있다. Programmable multiprocessor 의 사용이 그 한가지 방법인데, 다양한 알고리즘 변화에 대처할 수 있는 유연성을 가장 큰 특징으로 한다. 그러나, 각 프로세서가 데이터 버스를 공유함에 따른 병목 처리 등의 문제가 있어서 Low bitrate 응용 분야에만 제한적으로 사용된다. BMA의 구현을 위해 가장 널리 쓰이는 하드웨어 구조는 Pipelined PE를 국부적으로 연결한 시스톨릭 구조이다. 많은 연구에서 시스톨릭 구조의 하드웨어가 제안 되었는데, 대부분 Yang et al 이<sup>[10]</sup> 제안한 1차원 시스톨릭 구조와 Vos 와 Stegherr 이<sup>[11]</sup> 제안한 2 차원 시스톨릭 어레이 구조를 근간으로 하고 있다. Komarek과 Pirsch 은<sup>[12]</sup> FBMA를 시스톨릭 어레이로 변환하는 과정을 기술 하고 다양한 구조들을 제안 하였다. 그후 많은 연구에서 시스톨릭 어레이 사용에 따른 유연성 문제를 해결 하기 위한 방법들이 제시 되었는데, 주로 블록의 크기 및 탐색 거리의 변경에 용이하게 대처할 수 있는 구조와, FBMA 이외의 고속 알고리즘도 수용 할 수 있는 구조들로 대별 될 수 있다. 이러한 많은 연구 성과와 더불어 고집적 반도체 기

술의 비약적인 발전으로 인해 Low bitrate 화상 압축 분야에 사용될 수 있는 BMA 하드웨어는 그 실용화가 가능해졌다. 그러나 고품위 화상 압축 분야에서 필요로 하는 화상의 크기 및 탐색 거리의 증가 등의 문제를 해결 하기에는, 현재까지의 하드웨어 연산 속도가 요구 되는 처리 속도를 따르지 못하고 있는 실정이다. Yeo 의<sup>[8]</sup> 연구에서 알 수 있듯이, CCIR 601화상에 N=16, P=16 인 FBMA를 적용할 경우, 30 프레임/초의 속도를 달성 하기 위해서는 평균 2(N<sup>2</sup>)개의 PE를 필요로 한다. PE의 대표적인 구조는 그림 1과 같다. 이러한 구조를 가진 2(N<sup>2</sup>)개의 PE를 단일 부품내에 집적 하기에는 현재의 기술로도 어려움이 많으며, 향후 HDTV 등의 응용 분야에 대처 하기 위해서는 더욱 많은 수의 PE를 집적할 수 있는 방법에 대한 연구가 필요하다. 시스톨릭 어레이의 구조상 각 PE들은 국부적으로 연결 (locally interconnected) 되어 있으므로 많은 수의 PE를 집적 하더라도 버스 및 제어 신호선 등의 증가는 매우 적으며, 따라서 PE의 구조를 단순화 하므로써 더 많은 수의 PE를 집적 시킬 수 있도록 하겠다는 본 논문의 목적은 타당성이 있다. 본 논문은 PE의 구조를 단순화 시키는 방법에 대해서만 고려한다. 따라서 본 연구 결과는 기존의 시스톨릭 어레이를 이용한 BMA 하드웨어 구조에 대한 연구 결과들에 쉽게 적용될 수 있다.

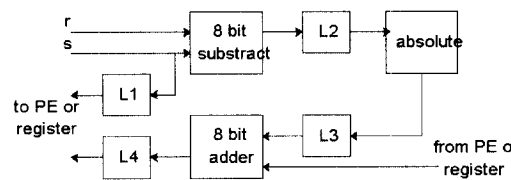


그림 1. PE의 구조  
Fig. 1. Structure of PE.

현재까지 사용되던 PE의 구성을 보면, 기준 프레임 내 블록의 화소  $r(i, j)$ 와 탐색 영역내 블록의 화소  $s(i+m, j+n)$ 를 입력하여 그 차이를 구하는 8비트 subtracter부, subtracter의 출력을 받아 절대값을 구하는 absolute부 및, 인접한 PE로 부터의 accumulation 값을 받아서 absolute부의 출력과 합을 하는 16 비트 adder부로 크게 구분될 수 있다. 또한, 연산 속도를 높이기 위해 pipeline 구성으로 할 경우가 많으며, 이때는 각 연산 단위 간에 한 클럭 만큼의 시

간 지연을 발생 시키기 위해 래치( L2 - L3 ) 가 삽입 되어야 한다. 시스톨릭 구조에서  $r(i, j)$ 와  $s(i+m, j+n)$ 은 인접한 PE나 레지스터로 부터 공급을 받게 되며,  $s(i+m, j+n)$ 은 각 PE 에서 시간 지연(L1)을 거친후 또다시 인접한 PE나 레지스터로 공급하는 구조로 되어있다. Adder의 출력도 시간 지연(L4)을 거쳐서 인접한 PE로 공급된다.

본 논문에서는 PE의 구조를 단순화 시키기 위해 모든 8비트 화소값에 대해 양자화를 실시한다. 양자화기는 BMA 하드웨어의 입력부에만 설치 되므로 하드웨어의 복잡도에 미치는 영향은 미미하다. 8비트 화소값을 3비트로 줄이고, 기존의 PE 구조를 그대로 사용할 경우 PE 구성 상의 복잡도는 3/8 으로 줄어든다고 볼 수 있다. 또한 PE 간을 연결하는 데이터 버스폭도 줄어들 수 있으며, PE 외부의 adder 나 최소치를 구하기 위한 비교기도 비례하여 복잡도가 줄어들게 된다. IV장에서 제안한 serial 비트 입력의 PE 구조를 취할 경우, PE를 포함한 전체 하드웨어 구조를 대폭 단순화 시킬 수 있다.

### III. 양자화를 이용한 FBMA

본 장에서는 양자화기의 사용이 FBMA에 미치는 영향을 분석한다. 블록간 유사도의 판별 기준으로는 MSE나 MAD가 사용될 수 있으며, 구현 상의 용이함 때문에 주로 MAD가 사용 되지만, 여기서는 해석의 편의를 위해 식(3) 의 MSE를 사용한다. 블록의 크기가  $N \times N$  이고 탐색 거리가  $P$ 일때 전체 탐색 영역의 크기는  $(N+2P) \times (N+2P)$  가 된다. 탐색 영역내  $N \times N$  크기의 탐색 대상 블록을  $S_{mn}$ 이라고 하고 블록내 화소값을  $s(\cdot)$ 라 하면,

$$S_{mn} \ni s(i+m, j+n) ; 1 \leq i, j \leq N, -P \leq m, n \leq P \quad (4)$$

이 된다.  $N \times N$  의 기준 블록을  $R$  이라고 하고 기준 블록내 화소값을  $r(\cdot)$ 라 하면,

$$R \ni r(i, j) ; 1 \leq i, j \leq N \quad (5)$$

이상의 정의를 식(3)에 사용하면

$$\begin{aligned} D(m, n) &= \sum_{i=1}^N \sum_{j=1}^N [r(i, j) - s(i+m, j+n)]^2 \\ &= N^2 E(R - S_{mn})^2 \end{aligned} \quad (6)$$

으로 나타낼 수 있다. 임의의 양자화 방법을 사용 하여  $s(\cdot)$ 와  $r(\cdot)$ 을 양자화 하고 그 복원 값을  $\hat{s}(\cdot)$ 와  $\hat{r}(\cdot)$ 라 한다. 또한, 탐색 영역내 임의의 위치의 두 블록을  $V$ 와  $W$ 라고 하면,

$$\begin{aligned} S_{\bar{m}\bar{n}} &= V \ni s(i+\bar{m}, j+\bar{n}) = v(i, j), \\ S_{\hat{m}\hat{n}} &= W \ni s(i+\hat{m}, j+\hat{n}) = w(i, j), \\ \hat{S}_{\bar{m}\bar{n}} &= \hat{V} \ni \hat{s}(i+\bar{m}, j+\bar{n}) = \hat{v}(i, j), \\ \hat{S}_{\hat{m}\hat{n}} &= \hat{W} \ni \hat{s}(i+\hat{m}, j+\hat{n}) = \hat{w}(i, j) \end{aligned} \quad (7)$$

$$; -P \leq \bar{m}, \bar{n}, \hat{m}, \hat{n} \leq P, \bar{m} \neq \hat{m}, \bar{n} \neq \hat{n}$$

양자화된 화소값  $\hat{r}(\cdot)$ 와  $\hat{s}(\cdot)$ 를 사용하여 FBMA를 수행 하였을때, 움직임 벡터를 정확히 검출할 수 있는 조건을 위의 정의들을 사용하여 표현하면

$$\begin{aligned} \text{if } E(R - V)^2 \geq E(R - W)^2 \text{ then} \\ E(\hat{R} - \hat{V})^2 \geq E(\hat{R} - \hat{W})^2 \end{aligned} \quad (8)$$

으로 나타낼 수 있다. 식(8)의 앞항은 기준 블록  $R$ 과 탐색 영역내 임의의 블록  $V$ 간의 MSE가 기준 블록  $R$ 과 탐색 영역내 임의의 블록  $W$ 간의 MSE 보다 크거나 같다는 가정을 나타낸다. 식(8)의 뒷항은  $R, V, W$ 대신 각각의 양자화된 복원값인  $\hat{R}, \hat{V}, \hat{W}$ 를 사용하였을 때 에도 앞항의 가정을 만족해야 한다는 것을 나타낸다. 움직임 벡터는 기준 블록과 탐색 대상 블록간의 MSE를 최소로 하는 탐색 대상 블록의 위치를 말한다. 따라서 식(8)의 조건을 만족 한다면, 즉 기준 블록과 탐색 대상 블록간의 MSE의 대소 관계가 양자화된 복원값을 사용하여 MSE를 구했을 때에도 변하지 않는다면, 양자화된 화소값을 사용하여 FBMA를 수행해도 움직임 벡터를 정확히 검출할 수 있다. 식(8)에서  $R, V, W$ 는 양자화된 복원값  $\hat{R}, \hat{V}, \hat{W}$ 와 양자화 오차 성분  $\epsilon_R, \epsilon_V, \epsilon_W$ 의 합으로 표현할 수 있다.

$$R = \hat{R} + \epsilon_R, V = \hat{V} + \epsilon_V, W = \hat{W} + \epsilon_W \quad (9)$$

식(8)에 식(9)를 적용하여 정리하면,

$$\begin{aligned} E(\hat{R} - \hat{V})^2 &\geq E(\hat{R} - \hat{W})^2 + E[2\hat{R}(\epsilon_V - \epsilon_W) \\ &\quad + 2\epsilon_R(\hat{V} - \hat{W}) + 2\epsilon_R(\epsilon_V - \epsilon_W) \\ &\quad - \epsilon_V^2 + \epsilon_W^2 - 2\hat{V}\epsilon_V + 2\hat{W}\epsilon_W] \end{aligned} \quad (10)$$

$R, V, W$  각각에 대해 MSE 양자화를 적용하여  $\hat{R}, \hat{V}, \hat{W}$  를 구했다고 가정한다. 양자화 레벨의 총수를  $L$  이라 하고 각각의 양자화에 사용된 결정 레벨(decision level)을  $t_k^R, t_k^V, t_k^W$ , 복원값(reconstruction value)을  $\dot{r}_k, \dot{v}_k, \dot{w}_k$ 라 하면, MSE 양자화 조건은

$$t_k^R = \frac{(\dot{r}_k + \dot{r}_{k-1})}{2}, \dot{r}_k = \frac{\sum_{t=t_k^R}^{t_{k+1}^R} P_R(t)t}{\sum_{t=t_k^R}^{t_{k+1}^R} P_R(t)}; 1 \leq k \leq L \quad (11)$$

여기서  $P_R(t)$  는  $R$  내부의 화소값이  $t$  일 확율을 나타낸다.  $\dot{r}_k$ 는 양자화 이전의  $R$  내부의 화소값  $r$  이  $t_k^R$  과  $t_{k+1}^R$  사이에 있을 경우, 양자화에 따른 MSE 를 최소로 하는  $r$ 에 대한 복원값을 나타낸다.  $t_k^V, \dot{v}_k$  와  $t_k^W, \dot{w}_k$ 도 식 (9)의 관계를 사용하여 구할 수 있다. MSE 양자화 조건을 사용하여  $E(\hat{R})$ 를 구하면,

$$E(\hat{R}) = \sum_{k=1}^L P_R(\dot{r}_k)\dot{r}_k = \sum_{k=1}^L \sum_{t=t_k^R}^{t_{k+1}^R} P_R(t)\dot{r}_k = E(R) \quad (12)$$

$W$ 와  $V$  에 대해서도 같은 방법을 적용하면,

$$E(R) = E(\hat{R}), E(W) = E(\hat{W}), E(V) = E(\hat{V}) \quad (13)$$

따라서

$$E(\epsilon_R) = E(\epsilon_V) = E(\epsilon_W) = 0 \quad (14)$$

식(10)에서  $\hat{R}$  와  $(\epsilon_V - \epsilon_W)$ ,  $\epsilon_R$  과  $(\hat{V} - \hat{W})$ ,  $\epsilon_R$  과  $(\epsilon_V - \epsilon_W)$ 는 uncorrelated 되었다고 생각할 수 있으므로 식(10)는 다음과 같이 근사화될 수 있다.

$$E(\hat{R} - \hat{V})^2 \geq E(\hat{R} - \hat{W})^2 + E(-\epsilon_V^2 + \epsilon_W^2 - 2\dot{V}\epsilon_V + 2\dot{W}\epsilon_W) \quad (15)$$

여기서

$$E(\dot{V}\epsilon_V) = E(\dot{V}V) - E(\dot{V}^2) \quad (16)$$

$$\begin{aligned} E(\dot{V}V) &= \sum_{k=1}^L \sum_{t=t_k^V}^{t_{k+1}^V} P_V(t)(\dot{v}_k t) \\ &= \sum_{k=1}^L P_V(\dot{v}_k)\dot{v}_k \sum_{t=t_k^V}^{t_{k+1}^V} \frac{P_V(t)t}{P_V(\dot{v}_k)} = E(\dot{V}^2) \end{aligned} \quad (17)$$

이므로

$$E(\dot{V}\epsilon_V) = 0 \quad (18)$$

$W$  에 대해서도 위의 관계를 적용하면

$$E(\dot{W}\epsilon_W) = 0 \quad (19)$$

식(18)과 식(19)를 사용하여 식(10)을 다시 나타내면

$$E(\hat{R} - \hat{V})^2 \geq E(\hat{R} - \hat{W})^2 + E(-\epsilon_V^2 + \epsilon_W^2) \quad (20)$$

여기에서  $E(\epsilon_V^2)$ 과  $E(\epsilon_W^2)$ 은 작은 값이며 서로 반대의 부호를 가지고 있으므로 식 (20)의 마지막 항을 0 으로 간주하면, (8)의 조건을 만족 하게 된다. 이러한 가정 이외에도 영상의 특성에 크게 어긋나지 않는 다음과 같은 가정에 의해 (8)의 조건이 만족함을 보일 수 있다. 즉,  $V$ 와  $W$  및  $\hat{V}$ 와  $\hat{W}$ 는 모두  $(N+2P) \times (N+2P)$  크기의 동일 탐색 영역내에 위치하고 있으므로

$$E(V^2) = E(W^2), E(\hat{V}^2) = E(\hat{W}^2) \quad (21)$$

이라고 가정하면 식(18)과 식(19)로 부터

$$E(\epsilon_V^2) = E(\epsilon_W^2) \quad (22)$$

식(22)를 식(20)에 적용 하므로써  $R, V, W$  각각에 대해 MSE 양자화를 실시할 경우 (8)의 조건을 만족 시킴을 알 수 있다. 그러나,  $V$ 와  $W$  각각에 대해 MSE 양자화를 실시하기 위해서는 탐색점을 이동시킬 때 마다 새로운 복원값을 구해야 하므로 하드웨어의 처리 속도면에서 문제가 있다. 또한  $R$ 에 대해 별도의 양자화기를 할당하는 것도 하드웨어의 복잡도를 증가 시킨다는 문제가 있다. 1개의 양자화기 만을 사용하기 위해서, 탐색 영역 전체에 대해 MSE 양자화를 실시해도, 탐색 영역내 임의의 블록  $V$ 와  $W$ 는 MSE 양자화 될 수 있다고 가정한다. 이때 구해진 결정값과 복원값을 사용하여 기준 블록  $R$ 을 양자화 한다. 그러면 식 (10)으로 부터,

$$E(\hat{R} - \hat{V})^2 \geq E(\hat{R} - \hat{W})^2 + E[2\epsilon_R(\epsilon_V - \epsilon_W) - \epsilon_V^2 + \epsilon_W^2] \quad (23)$$

식(21)과 식(22)로 부터 (8)의 조건을 만족함을 알 수 있다. 탐색 영역 전체에 대해서 양자화 레벨(L) 8인 MSE 양자화기를 사용한 경우의 시뮬레이션 결과를 V장에 보였다. 대부분의 영상에 대해서 FBMA에 근접한 성능을 지니고 있으며, 따라서 위의 가정들은 영상의 특성에 크게 어긋나지 않는 가정임을 알 수 있다. 양자화기의 구현을 더욱 간략화 하기 위해서 탐색 영역내 화소값들을 uniform distribution 으로 가정하여

uniform 양자화기를 사용한다. uniform 양자화기 사용에 따른 양자화 오차를 줄이기 위해서 탐색 영역내 화소들의 최대값과 최소값을 구한후 이를  $L$  등분 하여 양자화 간격으로 사용한다. 양자화 간격을  $q$ 라 하면,

$$q = \frac{\max_{s(\cdot)} S - \min_{s(\cdot)} S}{L} \quad (24)$$

$$S \ni s(i, j) \quad ; \quad -P+1 \leq i, j \leq N+P$$

$$t_k = t_k^R = t_k^V = t_k^W = t_{k-1} + q \quad ; \quad 2 \leq k \leq L+1 \quad (25)$$

$$t_1 = \min_{s(\cdot)} S$$

그러면, 각 블록내 화소들은 다음과 같이 복원될 수 있다.

$$\begin{aligned} \hat{r}(i, j) &= k-1 \text{ if } (t_k \leq r(i, j) \leq t_{k+1}) \quad ; \quad 1 \leq k \leq L \\ \hat{r}(i, j) &= 0 \text{ if } (r(i, j) < t_1) \\ \hat{r}(i, j) &= L-1 \text{ if } (r(i, j) \geq t_{L+1}) \end{aligned} \quad (26)$$

$\hat{v}(i, j)$  와  $\hat{w}(i, j)$  에 대해서도 (26)의 관계식을 적용함으로써 복원값을 구할 수 있다. IV장의 하드웨어 구조와 V장의 시뮬레이션 결과를 통해 식 (25)와 (26)을 사용하여 양자화를 수행할 경우 매우 단순한 구조의 하드웨어 구현이 가능하고, 예측 오차면에서 MSE 양자화의 경우와 거의 대등한 성능을 지님을 알 수 있다.

#### IV. 하드웨어 구조

양자화를 통해 움직임 검출 하드웨어로 입력되는 화상 데이터의 비트수를 줄이면, 이에 비례 하여 움직임 벡터 검출 하드웨어 전체의 복잡도를 줄이는 효과가 있다. 본 장에서는 기존의 8비트 데이터 입력 구조의 하드웨어 대신 Serial 비트 입력의 하드웨어를 사용할 경우 PE의 구조를 대폭 단순화할 수 있음을 보인다. 또한 III장에서 제안한 Uniform 양자화기의 하드웨어 구조에 대해서 설명한다.

Serial 비트 입력을 사용할 경우 데이터의 전달 속도는 병렬 입력 구조에 비해 저하될 수 밖에 없다. 그러나, 하드웨어 구현에 필요한 I/O 핀수 및 데이터 버스의 폭이 매우 줄어들 수 있으며, 특히 전체 하드웨어에서 많은 비중을 차지하는 PE의 구조를 단순화 할 수 있다. 그러므로 본 장에서 제시한 Serial 입력 구조의 PE 및 양자화기는 화상 전화기 및 화상 회의 시스템등 Low bitrate 응용 분야의 활용에 적합 하다고 할 수

있다. 그림 2에 제안한 PE의 구조를 보였다. 여기에서  $\hat{r}$ 와  $\hat{s}$ 는 양자화 레벨 8로 양자화한 후의 기준 블록내 화소값과 탐색 블록내 화소값을 나타낸다. 따라서  $\hat{r}$ 와  $\hat{s}$ 는 각각 3비트로 표현될 수 있으나, 본 장에서 제시한 Serial 입력 구조의 PE에서는 각각의 크기에 해당하는 만큼의 1을 갖는 8비트 데이터로 구성된 것으로 생각한다.

제안한 PE 구조를 그림 1의 기존 PE의 구성과 대비하면, 8 비트 subtracter 및 절대값 연산부가 각각 1개의 exclusive or 및 and 게이트로 대체되었다. 16 비트 adder는 데이터 load 기능을 가진 1개의 12 비트 카운터로 대체될 수 있다. 또한 Pipe line 처리를 위해 필요한 L2, L3 래치가 사용되지 않는다. L1과 L4는 비트 쉬프트 레지스터로 구현 될 수 있다. 여기서  $8\phi$ 는 비트 클럭을 나타낸다.

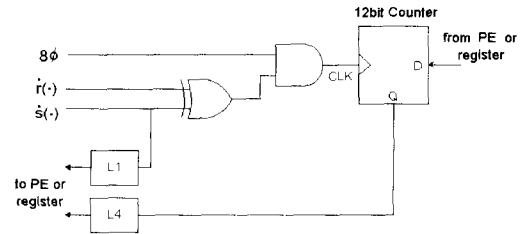


그림 2. 제안된 PE의 구조

Fig. 2. Structure of proposed PE.

그림 3에 양자화기의 구조를 보인다. 양자화기는 식 (24)-식(26)에 보인 변형된 uniform 양자화기의 구조를 따른다. 먼저 max/min 검출부에서는 바이트 단위의 화소값을 입력하여, 탐색 영역내 최대, 최소 화소값을 찾는다. 또한, 입력된 화소값을 프레임 메모리로 전달한다. 프레임 메모리와 주소 발생기는 기존의 화상압축 하드웨어에서 사용되는 것과 동등한 역할을 한다. -min 부분에서는 입력된 기준 블록 데이터와 탐색 영역 데이터 및 max/min 검출부에서 검출한 min 값을 사용하여 바이트 단위의 빼기 연산을 수행한다. max-min 부와 1/L 부에서는 양자화 간격  $q$ 를 해 비교기로 출력한다.  $q$ 는 블록 마다 1개씩 구해진다. 비교기에서는 양자화 간격  $q$ 를 사용하여  $L$  종류의 복원값  $\hat{r}$ 와  $\hat{s}$ 를 구해낸다. 여기서  $\hat{r}$ 와  $\hat{s}$ 의 크기는 병렬 입력 구조의 PE를 사용할 경우에는  $\log_2 L$  비트가 되며, serial 비트 입력 구조를 사용할 경우에는  $L$  비트가 된다.  $\phi$ 는 바이트 클럭을 나타내며,  $\phi/N^2$ 은

블록 단위의 클럭을 나타낸다. 양자화기는 구조가 단순하며, BMA 하드웨어의 입력부에 1개만 필요하므로 하드웨어의 복잡도를 별로 증가 시키지 않는다.

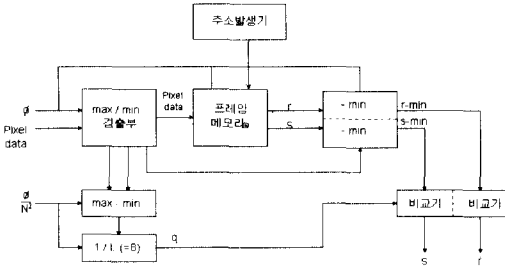


그림 3. 양자화기의 구조  
Fig. 3. Structure of quantizer.

V. 시뮬레이션 결과

양자화가 MV의 정확한 검출에 미치는 영향을 알아보기 위해 4종의 시험 영상을 사용 하여 시뮬레이션을 수행하였다. 시험영상으로는 짝수 필드만을 취한 704 × 240 크기의 Football과 Flower garden 영상 및, 352 × 288 크기의 Salesman과 Miss america 영상을 사용한다. 각각 30 프레임의 영상에 대해 성능의 차이를 PSNR 측면에서 비교 하였다. Football 및 Flower garden은 16 × 16 블록과 최대 15 화소의 탐색 영역을 사용 하였고, Salesman 및 Miss america는 16 × 16 블록과 최대 7 화소의 탐색 영역을 사용 하였다. MV의 검출 방법으로는 본 연구에서 제안한 MSE 양자화를 사용한 FBMA 및 식(24)-식(26)의 변형된 Uniform 양자화를 사용한 FBMA를 사용 하였고, 비교대상으로는 기존의 FBMA와 고속 BMA 중에서 TSS와 Pixel Decimation (PD)을 사용 하였다. PD는 모든 화소가 균등하게 연산에 반영되도록 하므로써 성능을 개선한 B. Liu 의 [7] 방법을 사용 하였다. PD는 본 연구와 같은 전역 탐색을 행한다는 점과, TSS는 고속 BMA의 대표적인 방법이라는 점에서 비교 대상으로 삼았다.

표 1에 각각의 영상에 대한 평균 PSNR 을 보인다. 기존의 FBMA에 비해 MSE 양자화를 통한 FBMA는 영상에 따라 0.01 - 0.09 dB의 PSNR 저하를 보이며, 변형된 Uniform 양자화를 통한 FBMA는 0.07 - 0.11 dB의 PSNR 저하를 보인다. 여기에서 MSE 양자화 방법과 Uniform 양자화 방법간에 성능 차이가

매우 작으며, 따라서 하드웨어 구현이 용이한 Uniform 양자화기를 사용하는 것이 유리함을 알 수 있었다.

표 1. 블록정합 알고리즘별 평균 PSNR  
Table 1. Average PSNR of block matching algorithms.

Algorithm \ Image	FBMA	MSE Quan	Unif. Quan	Pixel Deci.	TSS
Football	23.73	23.68	23.66	23.43	21.48
Flower garden	25.89	25.85	25.84	25.60	18.48
Salesman	35.11	35.04	35.03	33.90	34.34
Miss america	37.69	37.60	37.58	37.22	36.52

TSS의 경우 0.77 - 8.71 dB의 큰 성능 저하를 보이며, 영상에 따라서 성능의 변화가 매우 크다. 본 시뮬레이션에서는 31 × 31의 비교적 큰 탐색 영역을 사용하며, TSS는 각 스텝별로 탐색 영역내 9개의 위치에 대해서만 탐색을 수행하기 때문에 Local minimum의 위치를 중심으로 탐색을 수행해나갈 가능성이 높으며, 이로인해 영상에 따라서는 매우 큰 성능의 저하를 보이기도 한다. 이것은 기존의 고속 BMA들이 안고 있는 공통적인 문제이다. PD의 경우 0.3 - 1.21 dB의 성능 저하를 보인다. TSS에 비해 Local minimum에 빠질 가능성이 매우 적으므로 비교적 좋은 성능을 보이나, MAD 연산에 반영되지 않는 화소들의 영향으로 Global minimum 위치를 벗어나서 MV를 취할 가능성이 많다.

표 2. 개선된 블록정합 알고리즘의 평균 PSNR  
Table 2. Average PSNR of improved block matching algorithms.

Algorithm \ Image	FBMA	Improved MSE Quan	Improved Unif. Quan
Football	23.73	23.71	23.70
Flower garden	25.89	25.88	25.88
Salesman	35.11	35.09	35.09
Miss america	37.69	37.65	37.63

본 논문의 양자화를 통한 블록정합 알고리즘은, 영상의 종류에 관계없이 기존의 FBMA에 비해 PSNR의 저하가 매우 작다. 이는 전역 탐색을 행하기 때문에 Local minimum에 빠질 가능성이 적으며, 모든 화소 값들이 MAD 연산에 사용되므로 다른 방법들에 비해 비교적 정확한 MV의 검출이 가능하기 때문이다. 이것 으로부터 양자화가 FBMA의 검출 정확도에 미치는 영

향이 적다는 것을 알 수 있었다. 그림 4에서 그림 7까지 각 영상들의 프레임에 따른 PSNR의 변화를 보였다. 그림 5의 Flower garden의 경우 TSS에 의한 PSNR의 저하가 매우 크므로 비교 그래프상에서 삭제하였다.

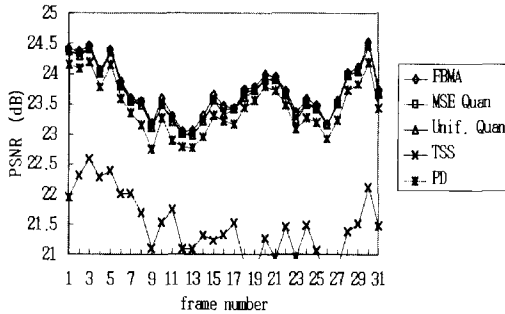


그림 4. Football 영상의 PSNR  
Fig. 4. PSNR of football image.

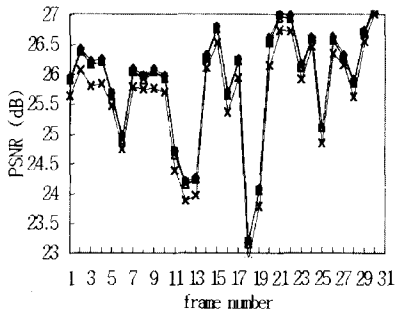


그림 5. Flower garden 영상의 PSNR  
Fig. 5. PSNR of flower garden.

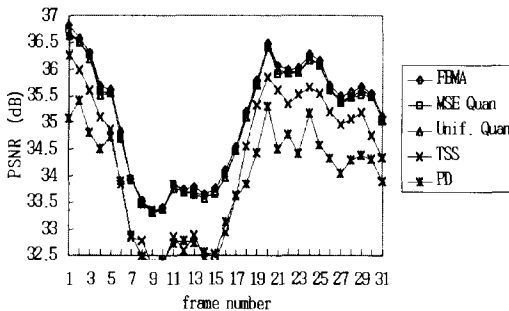


그림 6. Salesman 영상의 PSNR  
Fig. 6. PSNR of salesman.

양자화 오차 성분의 영향으로 나타난 성능저하를 개선 시키기 위해, 검출된 MV 위치와 이를 중심으로한 8개의 이웃한 탐색점에 대해 원 화소값을 사용하여 전역 탐색을 수행하여 보았다. 표 2에 그 결과를 보았다.

기존의 FBMA과 거의 대등한 성능을 보이고 있다. 이를 통해 양자화를 통한 FBMA는 정확한 MV 위치에서 크게 벗어나지 않는 검출 성능을 지니고 있음을 알 수 있었다.

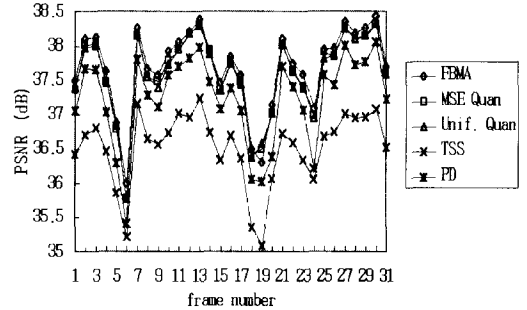


그림 7. Miss america 영상의 PSNR  
Fig. 7. PSNR of miss america.

## VI. 결 론

본 논문에서는 FBMA용 하드웨어의 구현을 용이하게 하기 위해, 양자화를 통해 화소값에 할당되는 비트 수를 줄이는 방법을 제안 하였다. 양자화 방법으로는 MSE 양자화와, 양자화 스텝 크기를 줄이기 위해 변형시킨 Uniform 양자화를 사용 하였다.

먼저, MSE 양자화를 사용할 경우 움직임 벡터의 정확한 검출이 가능함을 수학적으로 보이고, 하드웨어 구현이 용이 하도록 변형된 형태의 Uniform 양자화기를 제안 하였다. 그리고 양자화된 화소값을 Serial 비트 단위로 입력할 경우의 PE 구조와 제안된 Uniform 양자화기의 구조를 제시 하였다. 제안한 방법에 대한 시뮬레이션 결과 두가지 양자화 방법이 모두 기존의 FBMA에 근접한 성능을 지님을 알 수 있었다.

앞으로의 연구 과제로는 움직임 벡터 검출의 정확성을 더욱 높이면서 구현이 용이한 형태의 양자화기에 대한 연구와 제안된 PE와 양자화기를 사용하여 실제적인 하드웨어를 제작하는 것이다.

## 참 고 문 헌

- [1] "Generic Coding of moving pictures and associated audio," Committee Draft of Recommendation H.262, ISO/IEC 13818-2, Nov. 1993.



- [2] "Draft revision of recommendation H.261: Video codec for audio visual services at p\*64 kbits/sec," Image Commun., vol.2, no.2, pp.221-239,1990.
- [3] H.Fujiwara, M. Liou, M. Sun, K. Yang, "An all-ASIC implementation of a low bitrate video codec," IEEE Trans. Circuits Syst. Video Technol., vol.2, no.2, pp.123-133, June 1992.
- [4] J.R. Jain and A.K.Jain, "Displacement measurement and its application in interframe image coding," IEEE Trans. Commun., vol. COM-29, pp.1799-1808, Dec. 1981.
- [5] T. Koga and K. Iinuma, "Motion compensated interframe coding for video conferencing," in Proc. NTC81, pp. C9.6.1-9.6.5, New Orleans,LA, Nov./Dec. 1981.
- [6] M. Ghanbari, "The Cross-Search Algorithm for Motion Estimation," IEEE Trans. Commun., vol.38, no.7, pp.950-953, 1990.
- [7] B.Liu and A.Zaccarin, "New fast algorithms for the estimation of block motion vectors," IEEE Trans. Circuits Syst. Video Technol., vol.3, no.2, Apr.1993.
- [8] H.Yeo and Y.H.Hu, "A novel modular systolic array architecture for full search block matching motion estimation," IEEE Trans. Circuits Syst., vol.5, pp.407-416, Oct. 1995.
- [9] S.Dutta and W.Wolf, "A flexible parallel architecture adapted to block matching motion estimation algorithms," IEEE Trans. Circuits Syst., vol.6, pp.74-86, Feb. 1996.
- [10] K.M.Yang, M.T.Sun and L.Wu, "A family of VLSI designs for the motion compensation block matching algorithms," IEEE Trans Circuits Syst. Video Technol., vol.36, pp.1317-1325, Oct.1989.
- [11] L.D.Vos and M.Stegherr, "Parameterizable VLSI architectures for the full search block matching algorithm," IEEE Trans. Circuits Syst., vol.36, pp.1309-1316, oct.1989.
- [12] T.Komarek and P.Pirsch, "Array architecture for block matching algorithms," IEEE Trans. Circuits Syst., vol.36, pp.1301-1308, Oct.1989.

---

 저 자 소 개
 

---

## 李 榮(正會員)

1961년 1월 8일생. 1982년 2월 고려대학교 전기공학과 졸업. 1984년 2월 동대학원 전기공학과 졸업. 1992년 동대학원 전기공학과 박사과정 수료. 1983년~1989년 삼성전자. 1989년~현재 현대전자 정보통신 연구소 주관심분야는 컴퓨터 비전, 영상 부호화, 서보 제어기 설계 등임.

## 朴 貴 泰(正會員)

1947년 10월 25일생. 1975년 고려대학교 전기공학과 공학사. 1977년 고려대학교 대학원 전기공학과 공학석사. 1975년 1월 ~ 1978년 2월 한국 원자력 연구소 연구원. 1978년 3월 ~ 1981년 8월 광운대학 전기공학과 조교수. 1981년 고려대학교 전기공학과 조교수. 1984년 ~ 1985년 미국 일리노이 대학 객원연구원. 1981년 ~ 현재 고려대학교 전기공학과 교수, 서울대 ERC~ACI 연구위원. 주관심분야는 디지털 서보 제어기 설계, 현대 제어 이론, 퍼지 및 신경망 제어, 컴퓨터 비전 및 시스템 설계 등임.