論文97-34S-8-5

CDMA 이동국용 PN 부호 탐색기 설계 및 구현

(Design and Implementation of the PN Code Searcher for CDMA Mobile Station)

延 光 一 *, 郭 桂 達 **

(Kwang-Il Yeon and Gye-Dal Kwak)

요 약

CDMA 셀룰라 이동국 시스템의 PN 부호 획득을 위한 부호 탐색기를 구현하였다. 탐색기 구조는 하드웨어와 부호 획득 시간을 줄이기위해 직렬 탐색 구조중 가장 효율적인 방식인 이중 드웰 구조를 사용하였으며, 1/2 PN 칩 범위내에서 부호 획득이 이루어지도록 설계하였다. 설계는 Compass 사의 0.8 um CMOS 표준셀 라이브러리를 이용하였다. 사용된 게이트 수는 약 8,800 개이며 레이아웃 면적은 3.3 mm x 1.5 mm 이다. 제작된 부호 탐색기를 CDMA 셀룰라 이동단말기에 실장하여 시험한 결과, IS-95 표준에서 규정한 시간이내에 PN 부호 획득이 정상적인 이루어짐을 확인하였다.

Abstract

We implemented a code searcher which is used for the PN(pseudo noise) code acquisition in CDMA cellular mobile station. To reduce the required hardware and the code acquisition time, we used the double dwell structure which is an effective serial code acquisition method. We designed a code acquisition has acquired within 1/2 PN chip range. The code searcher is implemented using 0.8 micron CMOS cell-based technology and it contains 8,800 logic gates. A layout area is 3.3 mm x 1.5 mm. The code seacher is successfully working in CDMA cellular mobile station and it satisfies the code acquisition time specified in IS-95 standard.

I. 서 론

직접 시퀀스 코드 분할 다중접속 시스템(direct sequence/code division multiple access)은 송신 데이터를 의사 잡음(pseudo noise) 부호로 대역 확산시켜 전송하고, 수신기에서는 송신기의 PN 부호와 위상이 일치되는 PN 부호를 생성하여, 대역 확산된 수신신호를 역확산하여 송신 데이터를 복원하는 시스템이다. DS/CDMA 시스템은 외부 이용자가 신호의 존재를 검출하기 어렵고, 신호의 존재를 알더라도 송신시 이용된 PN 부호를 모르기 때문에 정확한 신호를 복원하는 것이 불가능하여 비밀 통신이 가능하다. 또한 사용자 각각이 고유 PN 부호를 사용하므로 같은 반송주파수를 이용하여 송수신하여도 원하는 신호만의 검출이 가능하여 다원접속에 용이하며, 가입자 수용용량이 큰 장점 때문에 가입자 수용능력이 포화상태에 도달한 기존의 아날로그 이동통신 방식을 대체할 디지털 이동통신 시스템으로 부각되고 있다[1]. 그러나 DS/CDMA 시스템의 단점은 송신기 PN 부호 위상과 수신기 PN 부호 위상이 일치하지 않으면 대역 확산된 신호를 정확히 복조할 수 없어 통신이 불가능하게 된다. 따라서 송신기 PN 부호 위상과 수신기 PN 부호

* 正會員, 韓國電子通信研究院 通信回路研究室
(ETRI Telecommunication Circuits Section)
** 正會員, 漢陽大學校 電子工學科
(Hanyang University Electronics Department)

接受日子: 1996年12月11日, 수정완료일: 1997年7月28日

위상을 일치시키기 위한 PN 동기(synchronization)는 DS/CDMA 수신기의 핵심 기술이다.

PN 동기는 PN 부호 획득(code acquisition)과 PN 부호 추적(code tracking)의 순차적인 두 단계로 구성되는 데, PN 부호 획득은 수신된 PN 부호를 이용하여 송신기 PN 부호와 수신기 PN 부호의 위상 차를 1 PN 칩 이내로 맞추는 과정이며, PN 부호 획득이 이루어진 후 위상 차를 더욱 줄이며 동기를 유지하기 위한 PN 부호 추적 과정이 수행된다. 이러한 PN 동기 회로는 DS/CDMA 시스템의 수신기 설계에서 가장 중요한 회로이며, 또한 회로 설계에 시간이 많이 소요되는 과정이다.

본 논문에서는 DS/CDMA 이동통신 시스템의 표준인 IS-95[2]에 근거하여 순방향 채널 중 파일럿 채널을 수신하여 이동국의 PN 부호 획득을 수행하는 PN 부호 탐색기(code searcher)를 설계 구현하였다.

본문의 구성은 II장에 기존 PN 부호 획득 방법을 설명하고 제 III장에서는 II장에서 기술한 방법 중 이동국에 적합한 구조를 이용한 PN 부호 탐색기의 설계에 관해 설명하였으며, IV장에서는 설계된 탐색기의 시뮬레이션 결과와 구현에 대해 고찰하고, V장에서 결론을 맺는다.

II. PN 부호 획득 구조

DS/CDMA 시스템의 이동국 PN 부호 획득은 이동국 PN 부호의 가능한 모든 위상을 탐색하여 기지국으로부터 수신된 PN 부호와 부호 획득 요구 범위 ($-\triangle T_c$, $\triangle T_c$) 이내로 일치되는 이동국 PN 부호를 찾아내는 과정이다. 여기서 T_c는 PN 칩 지속시간(chip duration time)이고, $\triangle$는 위상 갱신 크기(phase updating size)이다. $\triangle$의 값은 1이하의 양수로 선택하는 것이 일반적이다. 일치하는 PN 부호를 찾아내는 방법은 수신된 PN 부호를 이동국의 국부(local) PN 부호와 상관(correlation)시킨 상관기(correlator)의 출력값을 이용하여 이 값이 임계값 보다 크면 수신된 PN 부호와 이동국 PN 부호의 위상차가 설정범위 이내로 일치된 것으로 판정하고 부호 추적 과정을 수행하고, 작으면 이동국 PN 부호를 갱신하여 위의 과정을 반복한다.

이러한 PN 부호 획득 구조는 탐색 방법에 따라 병렬 탐색[3]과 직렬 탐색으로 나눌 수 있는 데, 병렬 탐색은 그림 1과 같이 수신기 PN 부호의 가능한 모든 위상을 동시에 탐색하여 각각의 상관기 출력 값을 비교하여 출력 값이 가장 큰 PN 부호의 위상을 선택하고, 이후 부호 추적을 수행한다. 이 구조는 사용하는 PN 부호의 주기가 NT_c (N 은 양의 정수)이면, 탐색하여야 할 PN 부호 위상 수 L은 $N/2\triangle$ 이므로, $N/2\triangle$ 만큼의 상관기가 필요하게 되게 된다. 이 방법은 동시에 모든 PN 위상을 검색하기 때문에 부호 획득 시간을 빠르게 할 수 있는 장점이 있으나 N 이 매우 클 경우에는 과도한 하드웨어를 요구하게 되어, 구현이 불가능하다.

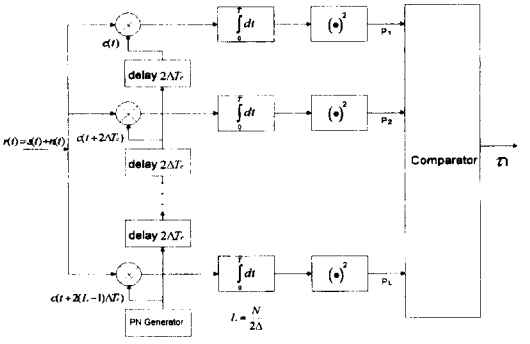

그림 1. 병렬 부호 획득 구조
Fig. 1. Structure of parallel code acquisition.

직렬 탐색은 한 번에 한 셀(cell)씩 이동국의 PN 부호 위상과 수신된 PN 부호 위상이 일치하는 지를 탐색하는 것이다. 직렬 탐색의 PN 부호 획득 구조는 부호를 검출(detection)하는 부분과 검출된 부호를 다시 검증(verification)하는 부분으로 나눌 수 있는 데, 검출부만으로 구성된 부호 획득 방법을 단일 드웰(single dwell)이라하고, 오경보(false alarm) 확률을 줄이기 위해 검출부 다음에 검증부가 수반되는 두 개 이상의 드웰로 구성된 다중 드웰(multi dwell)로 구분된다. 직렬 탐색에서 가장 간단한 구조인 단일 드웰은 수신기 국부 PN 부호를 고정 주기동안 직렬로 부호 획득이 이루어질 때까지 PN 부호 탐색을 수행하는 것이다. 단일 드웰 구조는 하드웨어가 매우 간단하여 설계 구현이 용이하고 해석이 간단하므로 이 방법의 성능분석[4][5][6]은 많이 이루어졌다.

다중 드웰 구조는 검색 구간 주기를 제한을 하지 않는 대신에 검색 구간이 짧은 드웰로 구성된 구간동안 검색한다. 이 방법은 검색되는 대부분의 위상이 일

치하지 않기 때문에 단일 드웰 방법보다 짧은 구간 내에 상관 값을 구하여 설정된 임계 에너지 값과 비교하여 현재 탐색하고 있는 PN 부호의 위상이 옳고 그름을 빨리 판단하여 잘못된 PN 부호를 버림으로써 평균 획득 시간(mean acquisition time)을 줄일 수 있다. 다중 드웰 구조는 단일 드웰보다 하드웨어가 복잡하나 검색할 부호가 많은 경우에 평균 획득 시간이 짧다는 점에서 단일 드웰보다 효율적이다. 그림 2는 다중 드웰 구조 중 이중 드웰(double dwell) 구조를 나타낸 것이다.

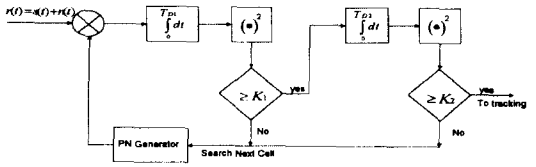

그림 2. 이중 드웰 부호 획득 구조
Fig. 2. Structure of double dwell code acquisition.

Ⅲ. PN 부호 탐색기 설계

1. 구조 설정

이동국 PN 부호 탐색기는 그림 3의 기지국의 순방향 채널 중 파일럿 채널을 수신하여 기지국의 PN 부호를 찾아내어 이동국 PN 부호를 기지국 PN 부호에 1 PN 칩 이내로 일치시키는 역할을 한다. IS-95 기지국 시스템에서는 이동국의 PN 동기를 용이하게 하기 위하여 PN 동기가 이루어질 때까지 데이터 전송을 하지 않는다. 즉, PN 동기를 위한 파일럿 채널은 데이터가 모두 0 이며 이것을 기지국 PN 부호로 확산시키므로 파일럿 채널의 출력은 기지국 PN 부호가 출력되게 된다.

이동국의 PN 부호 탐색기 설계에서 가장 중요한 것은 탐색기 구조 설정이다. 탐색기 구조는 평균획득 시간을 줄이며 설계 구현에 소요되는 회로 규모가 작은 구조를 채택하여야 한다.

II절에서 살펴본 것과 같이 가장 빠른 부호 획득을 위해서는 병렬 탐색 구조를 사용하는 것이 가장 좋다. 그러나 IS-95 시스템과 같이 2^{15} (32,768)의 긴 주기의 PN 부호를 사용하는 곳에서 병렬 탐색 구조는 많은 하드웨어를 요구함으로 구현이 불가능하며, 특히 저전력 소모가 요구되는 이동국에는 적합하지 않다. 따라서 본 설계에서는 하드웨어가 적게 소요되는 직렬 탐색 구조를 채택하였다. 직렬 탐색 구조인 다중 드웰의 성능분석[7] 결과에 따르면, 단일 드웰 구조에 비해 이중 드웰 구조인 경우에 평균 획득 시간이 매우 줄지만, 드웰이 셋인 경우에는 이중 드웰 구조에 비해 평균 획득 시간이 미세하게 감소한다. 즉, 드웰을 셋이상 사용한 경우에 소요 하드웨어의 증가에 비해 성능 개선 효과가 미미함을 보여주고 있다. 따라서 이중 드웰 구조가 직렬 탐색 방법에서 가장 효율적인 구조임을 알 수있다.

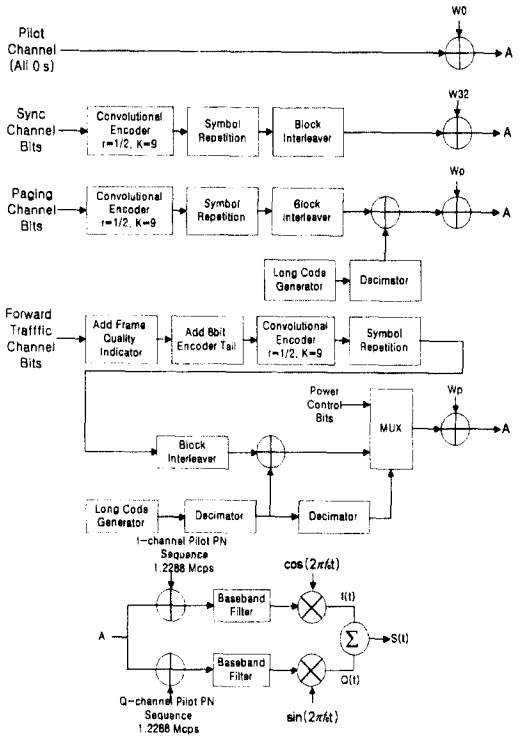

그림 3. 순방향 CDMA 채널 구조
Fig. 3. Forward CDMA channel structure.

IS-95 에서는 순방향 채널 중 파일럿 채널을 수신하여 이동국의 부호 획득을 수행하는 시간의 사양을 최대 15 초 이내로 규정하고 있다. 따라서 본 설계에서 채택한 이중 드웰 구조가 규정 시간 내에 부호 획득을 수행할 수 있는 지 살펴보기로 한다. 이중 드웰 구조의 평균획득시간은 도플러 효과가 없다는 가정 하에서 아래 식(1)과 같이 표시된다[8].

$$\overline{T}=\frac{2-P_D}{2P_D}[\,T_{D_1}+T_{D_2}P_{F_A}(1+FP_{F_A})]q,\ (q\gg 1) \qquad (1)$$

$\overline{T}$ = mean acquisition time

T_{D_1} = first dwell time
T_{D_2} = second dwell time
P_D = $P_{D_1} \cdot P_{D_2}$ product of detection probabilities of dwell one and two
P_{F_A} = false alarm probability of the first dwell
$P_{F_{A_2}}$ = false alarm probability of the second dwell
q = number of cells to be searched
F = penalty for a false alarm at the second detector (number of τ_{D_2} units of time)

CDMA 시스템에서 기지국으로부터 수신되는 순방향 링크 채널의 Eb/No (bit energy per noise power density)는 약 5.6 dB[9] 이다. 이 경우를 고려하여 2개의 Rayleigh 페이딩 경로를 갖으며 S/N (signal to noise ratio) 가 5 dB 인 경우에 P_D 와 P_{F_A}의 값[10]을 구하고 $P_{D_1} = P_{D_2}$와 $P_{F_A} = P_{F_{A_2}}$ 인 조건을 가정할 때, 식(1)에서 F = 10 , q = 32,768 (IS-95의 PN 칩 주기), PN 칩 지속 시간 = 813 ns (IS-95의 PN 부호 발생률은 1.2288 Mcps)이고, 본 설계에서 설정한 드웰의 주기 T_{D_1} = 16 PN 칩, T_{D_2} = 60 PN 칩인 경우의 오경보 확률 P_{F_A}와 검출 확률 P_D의 값에 따른 평균 획득 시간을 표 1에 나타내었다.

표 1. 이중 드웰 구조의 평균 획득 시간
Table 1. Mean acquisition time of double dwell structure.

P_{F_A}	P_D	$\overline{T}$(Sec)
0.1	0.76	1.84
0.2	0.84	2.54
0.3	0.88	3.71
0.4	0.92	4.94
0.5	0.94	6.6
0.6	0.96	8.35
0.7	0.97	10.56
0.8	0.98	12.92
0.9	0.99	15.41

표 1에서 나타낸 것과 같이 위에 설정한 조건에서 대부분의 경우 평균 획득 시간이 15초 이내이다. 이 결과는 32,768 번째의 셀에서 부호 획득이 이루어질 경우이고, 보통의 경우 32,768 번째의 셀보다 훨씬 이전에 부호 획득이 이루어지므로 대부분의 경우에 15초 이내로 만족된다. 따라서 이중 드웰 방식이 IS-95의 이동국 평균 획득 시간의 사양을 만족하는 구조임을 알 수 있다.

2. 부호 탐색기 설계

설계된 부호 탐색기 구조는 그림 4와 같이 CPU 접속부, 제어부, PN 부호 발생기, 그리고 On-time과 Late-time 의 2개 상관기로 구성된다.

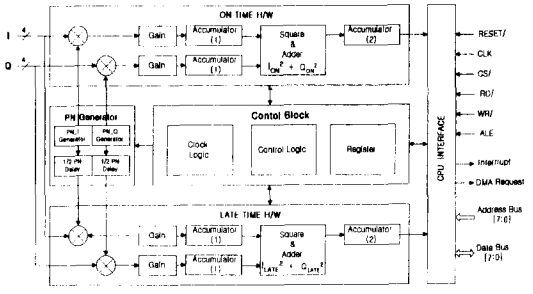

그림 4. 부호 탐색기 기능 블록도
Fig. 4. Functional block diagram of code searcher.

탐색기 동작은 CPU 접속부를 통하여 초기화되고 조정된다. PN 부호 발생기의 초기값 및 마스크값, 첫 번째 드웰의 적분 구간 및 임계 에너지값, 두 번째 드웰의 적분 구간 등이 8 비트의 데이터 버스를 통해 내부의 쓰기(write) 레지스터에 입력되고, 탐색기 내부의 동작 상태와 두 번째 드웰에서 얻은 최종에너지 값과 이때의 PN 부호의 위치 값이 읽기(read) 레지스터에 저장되었다가 CPU 접속부를 통해 CPU로 출력된다.

PN 부호 발생기는 이동국 국부 PN 부호를 발생시키는 블록으로 In-Phase 채널과 Quadrature-Phase 채널의 PN 부호를 생성하는 데, 각각의 부호 주기는 2^{15} 이다. 발생되는 PN 부호 계열의 생성 다항식은 IS-95 표준에 따라 아래와 같이 정하였다.

$$P_I(x) = x^{15} + x^{13} + x^9 + x^8 + x^7 + x^5 + 1$$
$$P_Q(x) = x^{15} + x^{12} + x^{11} + x^{10} + x^6 + x^5 + x^4 + x^3 + 1$$

제어부에서는 PN 부호 발생기의 클럭 신호, DMA(direct memory access) 요구 신호, 인터럽트 신호의 발생 및 제어 레지스터를 이용하여 탐색기 내부의 논리회로에 요구되는 모든 타이밍 정보를 발생시킨다.

부호 탐색기는 1/2 PN 칩의 동기 해상도를 갖도록 설계하였다. 1/2 PN 칩의 동기 해상도를 갖도록 설계하는 방법은 국부 PN 부호를 1 칩 단위로 이동하면서 수신 신호와 상관시킨 결과와 1/2 PN 칩 만큼

지연된 PN 부호를 1 칩 단위로 이동시키면서 수신 신호와 상관시킨 결과를 따로 계산하여 각각에 대하여 에너지를 구하여 임계 에너지와 비교하는 방법과, 국부 PN 부호를 1/2 PN 칩 단위로 이동시키면서 에너지를 구하여 임계 에너지와 비교하는 방법이 있다. 이 중 전자의 방법이 하드웨어가 많이 소요되나 부호 획득을 빠르게 할 수 있어 본 설계에서는 전자의 방법을 채택하였다. 따라서 그림 4와 같이 국부 PN 부호와 위상이 일치되는 PN 부호와 상관시키는 On-time 상관기 하드웨어와 국부 PN 부호와 위상이 1/2 PN 칩 만큼 지연된 PN 부호와 상관시키는 Late-time 상관기 하드웨어의 2개의 상관기를 두었다. 각 상관기로 입력되는 I와 Q 데이터는 오버 샘플링된 4비트 데이타이다.

3. 부호 탐색기 동작

설계된 부호 탐색기의 동작 순서도는 그림 5에 나타내었다.

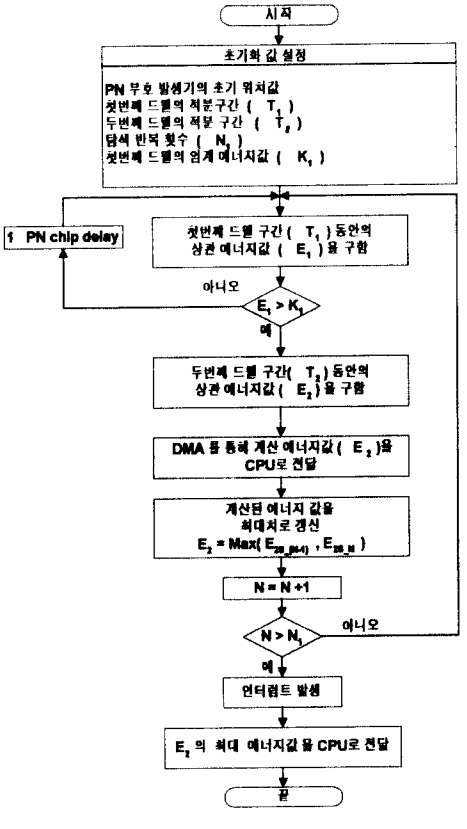

그림 5. 부호 탐색기 동작 순서도
Fig. 5. Operation diagram of code searcher.

Ⅳ. 시뮬레이션 및 결과 고찰

부호 탐색기의 설계 검증을 위한 시뮬레이션 환경은 그림 6과 같다. 탐색기로 입력되는 신호는 실제 무선 채널에서 발생되는 것과 근접하도록 모델링하였다. 탐색기 입력 신호의 모델링은 그림 3의 기지국 순방향 채널의 모델링과 무선 채널 모델링으로 구성된다. 순방향 채널의 모델링은 C 언어로 작성하였고, 순방향 채널의 신호가 통과하게 되는 무선 채널은 다경로 페이딩을 고려한 Rayleigh 페이딩 채널 모델링을 사용하였다. 이러한 입력 패턴 생성을 위해 SPW 툴을 사용하였다. 탐색기의 구동 및 제어를 위한 CPU는 인텔사의 80C186[11]과 호환되는 것으로 상위 수준 VHDL로 설계하였다. 탐색기 논리 검증을 위한 시뮬레이션 툴은 상위수준 VHDL 과 논리 회로와 혼합 시뮬레이션이 가능한 IKOS사의 voyager 툴을 사용하였다.

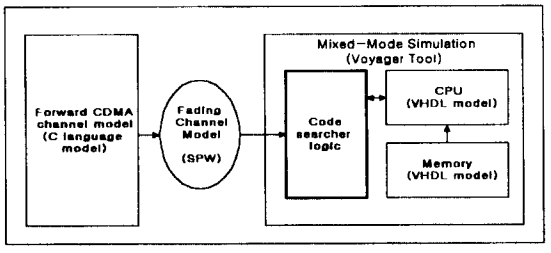

그림 6. 시뮬레이션 환경
Fig. 6. Simulation environment.

탐색기의 시뮬레이션은 그림 7의 천이상태를 가정하여 수행하였다. PN 발생기의 초기 위치값과 드웰의 적분 구간 및 임계 에너지 값은 CPU에서 설정하도록 하였다. 탐색기는 초기상태에서 CPU의 부호 획득 명령에 의해 임의의 셀을 탐색하는 획득상태 1(AQC_SS1)로 들어간다. AQC_SS1와 AQC_SS2의 동작과정은 그림 5의 과정과 같다. 시뮬레이션에 사용된 첫 번째 드웰 구간은 16 PN 칩이고, 두 번째 드웰 구간은 60 PN 칩, 그리고 부호 탐색의 반복 횟수를 48로 설정하였다. AQC_SS1에서 부호 탐색이 끝나면 탐색기는 인터럽트를 발생시키고 AQC_SS1의 최대 에너지 값과 최대에너지 값이 발생되는 PN 부호의 위치를 CPU에게 전달한다. CPU는 부호 탐색기에서 읽은 에너지 값과 ACQ_SS1에서 설정한 에너지 값을 비교하여 크면 획득상태 2(AQC_SS2)로 넘어가

고 작으면 PN 부호를 1 PN 칩만큼 지연시켜 AQC_SS1의 과정을 반복한다. AQC_SS2는 AQC_SS1에서 획득한 PN 부호를 재확인하기 위한 과정이다.

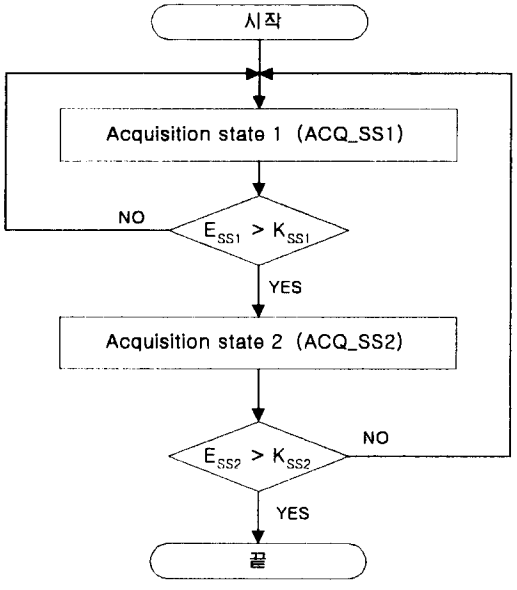

그림 7. 시뮬레이션 흐름도
Fig. 7. Simulation flow chart.

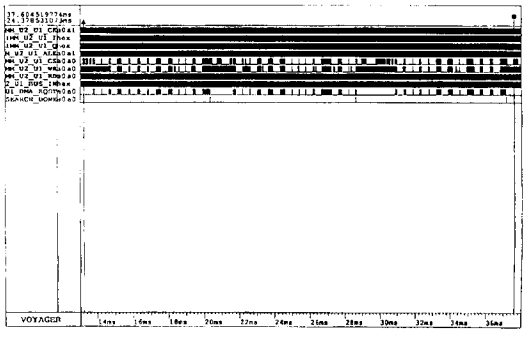

그림 8. 시뮬레이션 결과 파형
Fig. 8. Simulation result waveform.

시뮬레이션한 결과 파형을 그림 8에 나타내었고, 그림 9는 같은 시뮬레이션의 결과를 메시지로 나타낸 것이다. 그림 9의 시뮬레이션 결과에서 인터럽트가 3번 발생하는 데, 첫 번째 인터럽트는 AQC_SS1의 과정을 끝내고 발생한 인터럽트이다. 이 인터럽트가 발생한 후 CPU는 탐색기에서 계산한 에너지 값을 읽어서 설정한 임계 에너지 K_{SS1} 값과 비교한다. 비교 결과 탐색기에서 읽어온 에너지가 작으므로 다시 ACQ_SS1 과정을 수행한다. 이 과정을 수행하고 발생한 것이 두 번째 인터럽트이다. 이 인터럽트가 발생한 후 CPU는 탐색기에서 계산한 에너지 값을 읽어서 설정한 임계 에너지 값과 비교한다. 비교 결과 탐색기에서 읽은 에너지가 크므로 이후 ACQ_SS2 과정을 수행한다. ACQ_SS2 과정을 수행하고 발생한 인터럽트가 3번째 인터럽트이다. 이 인터럽트가 발생한 후 CPU는 탐색기에서 계산한 에너지 값을 읽어서 설정한 임계 에너지 값 K_{SS2} 와 비교한다. 이 결과 탐색기에서 읽은 에너지가 크므로 부호 획득이 성공적으로 이루어진 것으로 판정한다. 그림 9에서와 같이 설계된 부호 탐색기는 39 ms 이내에 부호 획득을 수행하는 것을 보여주고 있다.

```
480498 ns   Main function...
783058 ns   Init ENC driver...
1221938 ns  Load SMT table
3398498 ns  Init DMOD driver...
4055218 ns  Init INT VECT...
8161618 ns  Creating RX task
9253138 ns  Starting RX task...
11607858 ns Entering rxc subtask
12913378 ns SRCH: Entered ACQ state.
14060018 ns RX ACQ INIT.
14520818 ns CDMA PILOT ACQUISITION STATE!
20610978 ns DUMP_DONE : ACQ_SS1 Interrupt
21117538 ns Max_eng = 330
28821938 ns DUMP_DONE : ACQ_SS1 Interrupt
29404658 ns Max_eng = 1543
29580578 ns Max_Inx = 56
37446578 ns DUMP_DONE : ACQ_SS2 Interrupt
37965458 ns Max_Eng = 3634
38141378 ns Max_Inx = 56
38425778 ns Reporting Acquisition,
            strength = 3634
38947218 ns Searcher has acquired code acquisition!
```

그림 9. 시뮬레이션 결과 메시지
Fig. 9. Simulation result message.

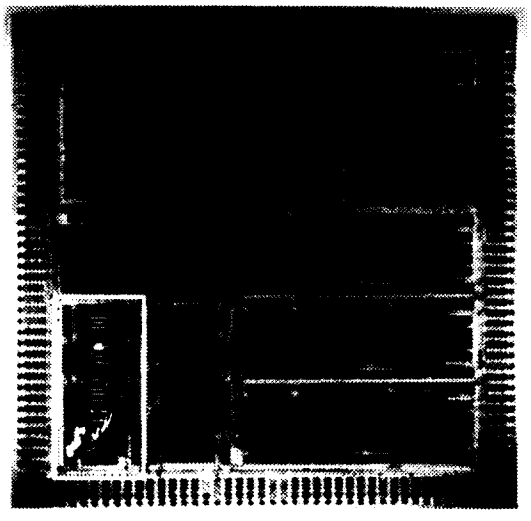

그림 10. 부호 탐색기 칩 사진
Fig. 10. Code searcher micrograph.

탐색기 구현은 Compass의 0.8 um CMOS 라이브러리를 이용하여 구현하였다. 탐색기의 게이트 수는 8,800 개이며 레이아웃 면적은 3.3 mm x 1.5 mm 이다. 설계된 부호 탐색기 제작은 CDMA 이동국 모뎀칩(내부에 변조기, 복조기, 비터비 디코더가 포함되어 있으며, 칩 면적은 10.0 mm x 10.1 mm 이고 동작 전압은 5V 임) 제작시에 기능블럭으로 넣어 제작하였다. 그림 10은 제작된 CDMA 모뎀 ASIC 내에서 부호 탐색기 블록 (회선 테두리내의 블럭)을 나타내고 있다.

제작된 CDMA 이동국 모뎀 내부의 부호 탐색기 시험은 시뮬레이션에서 사용한 테스트 벡터를 이용하여 시험하였다. 모뎀의 단말기 실장시험을 위해 그림 11과 같이 시험환경을 구축하였다. 단말기 실행 프로그램을 EPROM에 내장하였으며, 기지국 장비는 HP8924C를 사용하였다. 단말기 실장시험은 파일럿 채널 획득, 기지국으로 부터의 씽크 채널 메시지 수신, 기지국에 단말기 정보를 등록하는 과정, 기지국을 통해 단말기로 전화가 걸려오는 페이징 테스트, 그리고 트래픽 채널이 열린 상태에서의 음성 통화 시험 등의 6 가지 시험과정을 수행하였다. 이중 파일럿 채널 획득 시험에서 diagnostic monitor의 메세지를 통해 부호 탐색기 기능이 설계에서 의도한 바와 같이 IS-95에서 규정한 시간인 15초 이내에 정상적으로 PN 부호 획득이 이루어짐을 확인하였다.

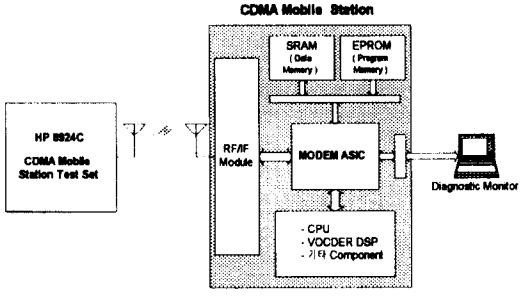

그림 11. 실장 시험 환경
Fig. 11. Test environment.

V. 결 론

IS-95 표준에 따른 DS/CDMA 이동통신 시스템의 이동국용 PN 부호 탐색기를 구현하였다. 탐색기 구조는 소요 하드웨어와 부호 획득 시간을 줄이기 위해 직렬 탐색 구조 중 가장 효율적인 방식인 이중 드웰 구조를 사용하였으며, 부호 획득 범위는 1/2 PN 칩 이내에서 일치하도록 설계하였다. 첫 번째 드웰의 적분 구간과 에너지 임계값, 두 번째 드웰의 적분 구간과 임계값은 무선 채널 환경에 따라 변화할 수 있으므로 CPU에서 부호 탐색기 내부의 레지스터에 가변적으로 설정할 수 있도록 하였다. 회로 검증은 부호 탐색기 입력으로 실제 이동통신 무선환경과 근접한 신호를 넣기 위해 기지국의 순방향 채널을 C 언어로 모델링하여 Rayleigh 페이딩 효과를 거쳐나온 신호를 설계된 이동국 PN 부호 탐색기 입력으로 사용하여 탐색기 논리 회로가 정상 동작하는 지에 대해 검증하였다. 부호 탐색기 구현에 사용된 게이트 수는 약 8,800 개이며 레이아웃 면적은 3.3 mm x 1.5 mm 이다. 제작된 부호 탐색기의 단말기 실장시험 결과에서 PN 부호 획득이 IS-95에서 규정한 시간 15초 이내에 정상 동작함을 확인하였다. 설계된 PN 부호 획득 구조는 DS/CDMA 방식의 셀룰라 이동통신 이외에도 향후 개인 휴대 통신의 이동국 수신기 동기회로에 응용 가능할 것이다.

참 고 문 헌

[1] K. S. Gilhousen, et al., "On the Capacity of a Cellular CDMA System," IEEE Trans. on vehicular Tech., VT-40, No. 2, pp.303-312, May 1991.

[2] TIA/EIA, IS-95 : Mobile Station - Base Station Compatiblity for Dual-Mode Wideband Spread Spectrum Cellular System, July. 1993.

[3] E. A Sourour and S. C, Gupta, "Direct sequence spread spectrum parallel acquisition in a fading mobile channel," IEEE trans. on com. vol. com-38 , No.7, pp 992 -998, July. 1990.

[4] D. M. Di Carlo and C. L. Weber, "Statistical Performance of Single Dwell Serial Synchronization Systems," IEEE Trans. Comm., Vol. 28 No. 8, pp. 1382-1388, August 1980.

[5] Polydoros, A. and Simon, M.K. "Generalized Serial Search Code Acqusition: The Equivalent Circular State Diagram

Approach," IEEE Trans. Commun. vol. COM-32, pp.1260-1268, December. 1984.

[6] A. Polydoros and C. L. Weber, "A unified approach to serial spread-spectrum code acquisition-part I : general theory," IEEE trans. on com. vol. com-32, No.5, pp.542 - 549, May 1984.

[7] D. M. Di Carlo and C. L. Weber, "Multiple Dwell Serial Search: Performance and Application to direct Sequence Code Acquistion," IEEE Trans. Comm., Vol. 31, No. 5, pp.650-659, May 1983.

[8] J.K Holms and C.C CHEN, "Acquisition Time Performance of PN Spead Spectrum Systems," IEEE Trans. Com., August 1977.

[9] Qualcomm, The CDMA Network Engineering Handbook Vol.I, pp.7.35-7.44 November 1992.

[10] Andrew J. Viterbi, "Principles of Spread Spectrum Multiple Access Communication," pp. 43-48, April 1994.

[11] Intel, Embedded Microcontrollers and Processors Vol.II, 1993.

저 자 소 개

延 光 一(正會員)

1958년 9월 4일생. 1981년 2월 한양대학교 전자공학과 학사. 1984년 8월 한양대학교 전자공학과 석사. 1993년 3월 한양대학교 전자공학과 박사과정중. 1982년 3월 ~ 현재 한국전자통신연구원 통신회로연구실장. 주관심분야는 VLSI design, 무선 및 이동통신용 모뎀 설계

郭 桂 達(正會員) 第 32卷 A編 第 11號 參照

현재 한양대학교 전자공학과 교수