

# 차세대 그래픽스 시스템 구조 Next Generation Graphics System Architecture

강현석\*, 문상호\*\*

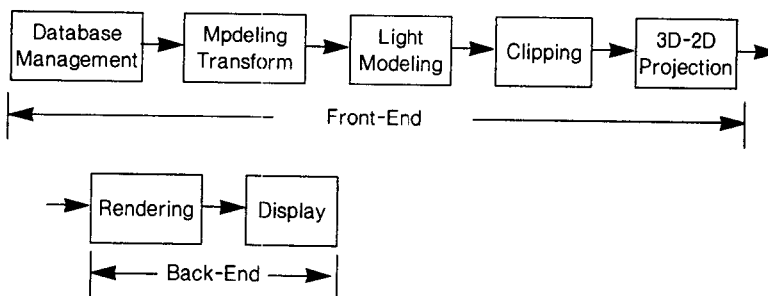
## 1. 개요

컴퓨터의 다양한 기능과 성능을 이용해서 사실적으로 표현하기 어려운 형상이나 그림을 시각적으로 형상화하는 기술인 컴퓨터 그래픽스는 1960년대부터 제너럴 일렉트릭사의 모의 비행 시뮬레이터용 NASA II와 Evans & Sutherland사의 분자 모델링용 PS-3000과 같은 시스템에 적용되어 극히 제한적으로 사용되었다<sup>[1]</sup>. 그러나 최근에는 광고, 영화, 오락, 가상현실 등의 응용 분야에서 무궁무진하게 그 쓰임새를 넓혀가고 있는 추세이다. 이를 지원하는 기술 요소는 여러 가지가 있겠으나 1980년대 초반부터 반도체 메모리와 래스터 오퍼레이션 디스플레이를 위한 CRT 가격 저하, 그리고 VLSI 설계 및 공정 기술의 급속한 발

전이 절대적인 영향을 미치고 있다.

일반적으로 컴퓨터 그래픽스 시스템은 그림 1과 같이 전반부의 기하학적 처리(geometric processing)와 후반부의 렌더링(rendering)이라는 두 가지 주된 기능을 수행하는 파이프라인(pipeline) 방식으로 구성된다. 특히, 렌더링은 다면체로 모델링된 물체들의 좌표, 관찰자와 광원의 위치, 색상 강도 등에 대한 데이터를 입력으로 받아 이미지를 만들어내는 일을 한다.

즉, 렌더링의 역할은 이미지를 구성하는 각 화소에 어느 물체의 어느 부분을 어떤 색상으로 보여줄 것인가를 결정한다. 이러한 렌더링에는 스캔라인(scanline), 광선 추적(ray tracing), 래디오시티(radiosity), 텍스처 매핑(texture mapping) 등의 다양한 기법들이 사용된다.



〈그림 1〉 컴퓨터 그래픽스 시스템의 파이프라인 구조

\* 중신회원, 경상대학교 컴퓨터 과학과/정보통신 연구센터 교수

\*\* 중신회원, 영남전문대 전자계산기과 전강

기하학적 처리를 위한 기하 변환 처리기(geometry processor)에서는 관찰자의 위치에 따라 물체들의 좌표를 바꿔 주고, 관찰자를 향하지 않는 물체의 면과 화면을 벗어난 물체는 없애거나 자른 다음, 최종적으로 그림이 그려질 화면 좌표로 각 물체의 좌표를 사상한다. 이와 더불어 셰이딩(shading) 알고리즘에 따라서 물체를 나타내는 다면체나 각 꼭지점의 색상값을 결정하는 광원 모델링을 수행한다.

렌더링을 처리하는 래스터라이저(rasterizer)는 다른 물체에 의해 가려짐으로써 관찰자의 눈에 보이지 않는 부분을 찾아 제거하는 은면 제거 기능과 관찰자의 눈에 보이는 물체의 다각형 내부 색상값을 구하는 셰이딩을 수행한다. 다각형 내부 색상값과 은면 제거를 위한 Z 버퍼링 등의 처리에서는 단순한 고정 소수점 덧셈으로 진행되는 전향 편차(forward difference)를 이용하는 선형 보간법(interpolation)을 이용한다. 한편, 래스터라이저의 경우는 하드웨어화하기에 적합한 단순한 연산이 반복적으로 수행되는 특징을 많이 갖고 있다. 따라서 이를 이용하여 래스터라이저는 일반적으로 고유의 ASIC(Application Specification Integrated Circuit)으로 개발하여 사용하고 있다.

이와 같은 컴퓨터 그래픽스를 효과적으로 처리하기 위해, 산업체에서는 주로 실리콘 그래픽스사가 선두자리를 고수하면서 상용화된 시스템을 적극적으로 개발하고 있고 대학에서는 UNC(University of North Carolina)가 Pixel-Planes라는 일관된 시스템을 개발하고 있다. 이들은 모두 컴퓨터 그래픽스 시스템의 목표인 사실적인 이미지 생성과 성능 향상을 위해 계속 발전해 왔지만 구조와 구현 기술에 상당한 차이점을 가지고 있어 이들의 발전 과정 및 특징들을 살펴보는

것이 컴퓨터 그래픽스 산업의 전반을 이해하는데 큰 도움이 된다.

컴퓨터 그래픽스 시스템은 응용 분야별로 요구되는 성능과 기능이 각기 다르다. 특히 모의 비행과 운전 시뮬레이터, CAD, Scientific Visualization 및 가상현실 등과 같은 그래픽스 응용 분야에서는 고화질의 고성능 렌더링과 고속의 프레임 생성을 요구하고 가정용 오락기와 같은 응용에서는 품질보다는 저가격이 요구된다. 본고에서는 이러한 기본적인 요구사항들을 만족시키면서 향후의 시장을 주도할 그래픽스 시스템의 구조에 대해 전망하고자 한다.

## 2. 상용화 시스템

### 2.1 제 1세대 그래픽스 시스템

1980년대 초반은 워크스테이션 태동기에 해당하는 시기로 선그리기, 다각형 채우기 등과 같은 2차원적인 기본 요소만을 하드웨어적으로 지원하였다. 그러나 고성능의 하드웨어와 메모리를 필요로 하는 부드러운 셰이딩(smooth shading)과 같은 3차원 그래픽스 기능은 지원하지 않았다. 대표적인 시스템으로는 Apollo DN570, SUN3/4, 실리콘 그래픽스사의 IRIS3000, 4DG 등이 있다.

당시 텍사스 인스트루먼트사의 TMS320C20을 비롯하여 Weiteck, NEC, 모토로라 등에서 다양한 DSP(Digital Signal Processor)들이 제공되어 그래픽스 시스템의 기하학적 변환 처리를 위한 기하 변환 처리기로 사용되었다. 이들은 고정 소수점만 지원하고 가격이 비싸 실리콘 그래픽스사에서는 독자적인 기하 변환 처리기를 개발하여 사용하기도 하였다<sup>[2]</sup>. 그러나 당시에는 미처 ASIC 기술이 보편화되지 않아 래스터라이저 설계까지에

는 본격적으로 활용되지 못하였다. 1984년 텍사스 인스트루먼트사에서 멀티포트 액세스 기능을 제공하는 Video DRAM(VRAM)을 개발하여 프레임 버퍼를 효율적으로 구현할 수 있게 되었다.

이어서 CGA(Color Graphics Adaptor), EGA(Enhanced Graphics Adaptor)와 히다찌 ACRTC 68450, 인텔 82786<sup>[3]</sup>, National의 Advanced Graphics Chip Set<sup>[4]</sup>, 텍사스 인스트루먼트사의 TMS34010 그래픽스 시스템 프로세서<sup>[5]</sup>를 이용한 고해상도 그래픽스 가속기가 개발되어 PC에서 고성능 그래픽스 기능을 지원하고 있다.

그래픽스 라이브러리 측면에서는 GKS(Graphics Kernel System)와 같은 2D 그래픽스 기본 요소만 지원하는 표준 라이브러리가 등장하여 API(Application Programming Interface)의 표준화가 태동하였다.

## 2.2 제 2세대 그래픽스 시스템

1988년에서 1992년은 메모리 가격이 하락하고 ASIC 기술을 보다 용이하게 이용할 수 있게 되어 그래픽스 시스템의 성능과 기능이 급속히 발전하는 시기였다.

이런 영향으로 다양한 색상과 기능을 지원하는 더욱 많은 용량을 필요로 하는 프레임 버퍼를 구현할 수 있게 되었고 다중 렌더링 프로세서를 이용하여 성능(50K-150K Gouraud shaded polygon/sec)이 향상된 본격적인 3차원 그래픽스 하드웨어 시스템들이 등장하기 시작하였다.

한편, 사실적인 이미지 생성을 위한 Phong 셰이딩, 안티어라이어징(antialiasing) 및 텍스처 매핑과 같은 진보된 그래픽스 기능을 제한적으로 지원하는 시스템이 소개되었지만, 이들의 기능을 수행하기 위해서는 성능저하를 감수해야만 했다.

값싼 부동소수점 프로세서를 텍사스 인스트루먼트(TMS8847, TMS320C30, TMS320C40), 모토로라(DSP96002), AMD(AMD29050) 등에서 공급하고 그래픽스 연산에 적합한 RISC 프로세서 기술과 ASIC 기술의 발달로 래스터라이저의 ASIC화가 용이하게 되어 성능과 기능이 급속히 증가하였다. 또한 메모리 가격의 하락(4M DRAM, 1M VRAM)으로 효율적인 애니메이션을 지원하기 위한 더블 버퍼(96비트/픽셀), 하드웨어 Z 버퍼 구현이 용이하게 되었다.

이때 나타난 실리콘 그래픽스사의 GT, VGX<sup>[6]</sup>, 아폴로 DN10000VX<sup>[7]</sup>, HP VRX<sup>[8]</sup>, 스텔라 GS1000<sup>[9]</sup>, 썬사의 SparcStation 10 등이 제 2세대의 대표적인 시스템에 속한다.

더불어 VGA(Video Graphics Adaptor), SVGA(Super VGA)와 인텔 80860 64비트 RISC 프로세서와 텍사스 인스트루먼트사의 TMS34020 그래픽스 시스템 프로세서, 도시바 TC8512G/YM<sup>[10]</sup>을 장착한 고성능 그래픽스 가속기가 소개되어 PC에서도 3차원 그래픽스 기능의 지원이 가능하게 되었다.

이어서 PHIGS(Programmer's Hierarchical Interactive Graphics System)와 PHIGS+<sup>[11]</sup>, PEX(PHIGS Extended X), HOOPS(Hierarchical Object-Oriented Picture System)<sup>[12]</sup>, RenderMan<sup>[13]</sup> 등과 같은 표준이 등장하였고, 또한 현재에 그래픽스 라이브러리의 표준인 OpenGL<sup>[14]</sup> 등과 같은 3차원 그래픽스를 지원하는 다양한 라이브러리가 속속 등장하였다.

## 2.3 제 3세대 그래픽스 시스템

1993년부터 상품화되기 시작하여 수십만 혹은 수백만개의 기본 요소를 Phong 셰이딩, 텍스처

매핑, 안티어리어핑과 같은 사실적 렌더링 기법으로 초당 30프레임 이상의 장면을 생성할 수 있는 시스템들이 이 범주에 속한다. 제 2세대까지의 그래픽스 시스템들은 고급 그래픽스 기능을 부분적으로만 지원하고 이를 수행할 때 상당한 성능저하를 감수해야 했는데, 제 3세대 시스템들은 고급 그래픽스 기능을 일반적인 그래픽스 처리때와 거의 동일한 성능으로 수행하는 특징을 가지고 있다. 이는 반도체 메모리의 급격한 가격 인하(16M, 64M DRAM, 4M VRAM)와 ASIC 설계 및 공정 기술의 급속한 진보에 힘입은 바 크다.

기하 변환 처리기로는 인텔 80860과 같은 일반적인 프로세서를 다중으로 사용하고 렌더링을 위한 래스터라이저는 고유의 ASIC으로 구현하는 특징을 볼 수 있다. 고성능 그래픽스 처리를 위해서는 그래픽스 시스템의 성능뿐만 아니라 호스트 컴퓨터 시스템의 성능(예를 들면, 실리콘 그래픽스사의 Onyx는 4-36개의 CPU를 탑재)과 그래픽스 시스템과의 연결을 위한 상호 연결 버스의 대역폭(수백 MBytes/sec)도 함께 증가하여야 한다.

제 3세대에 속하는 대표적인 시스템으로는 실리콘 그래픽스사의 Reality Engine2<sup>[15]</sup>, Evans & Sutherland사의 Freedom<sup>[16]</sup> 등이 있고, 최근에는 Reality Engine2를 더욱 발전시킨 InfiniteReality<sup>[17]</sup> 시스템이 소개되고 있다.

한편, PC에서도 3차원 그래픽스 기능을 강화하기 위해 3DLabs GLINT 300SX, S-MOS SPC1500 Geometry Processor, ARTIST Graphics 3GA Graphics Processor, 3Dfx Voodoo, TriTech Pyramid3D TR25201, VideoLogic Power VR 등의 다양한 그래픽스 프로세서들과 이를 장착한 그래픽스 가속기가 많이 소개되어 PC에서도 고성능의 3차원 그래픽스

처리가 가능하게 되었다<sup>[18]</sup>.

### 3. UNC 그래픽스 시스템

실리콘 그래픽스사를 주축으로 산업체에서 여러 가지 제품들이 상용화되어 컴퓨터 그래픽스 시장을 주도한 반면, 주로 대학에서는 다른 종류의 그래픽스 시스템들을 실험적으로 개발하여 왔다. 그 대표적인 시스템의 예가 UNC의 Pixel Planes 시리즈이다.

UNC이외에도 단편적으로 개발된 시스템으로는 1985년에 Demetrescu가 설계한 스캔라인별로 픽셀을 처리하는 SLAM(Scan Line Access Memory)<sup>[19]</sup>, 코넬 대학교에서 개발한 SUPER BUFFER<sup>[20]</sup>, 1988년 IBM사에서 개발한 SAGE(Systolic Array Graphics Engine)<sup>[21]</sup>와 동경대에서 개발한 이미지 합성(image composition) 구조로 처리하는 VC-1<sup>[22]</sup> 등이 있지만 여기서는 이들의 소개를 생략하고 Pixel Planes 시리즈만을 살펴보도록 한다.

#### 3.1 Pixel Planes 1, 2, 3

Pixel Planes 1(1981년)은 화면상의 모든 픽셀에 해당하는 픽셀 프로세서를 가지고 있어(x, y) 좌표에 대해  $Ax + By + C$  형태의 선형식을 모든 픽셀에 대해 동시 처리할 수 있는 시스템으로 그 당시의 태동기 상품화 그래픽스 시스템과 비교할 때 다각형의 크기와 무관하게 초당 30K의 다각형을 Gouraud 셰이딩으로 처리하는 획기적인 시스템을 구현하였다<sup>[23]</sup>.

Pixel Planes 시스템의 가장 중요한 특징은 스크린상의 각 픽셀을 담당하는 픽셀 프로세서와 픽셀 메모리를 하나의 칩에 내장한 LEM(Logic

Enhanced Memory)을 사용한 점이다. 여기서는 래스터라이징시 SIMD(Single Instruction Multiple Data) 구조로 속도를 개선할 뿐 아니라, 요구되는 프레임 버퍼 액세스 병목 현상을 근본적으로 해결해 주고 있다. Pixel Planes 1을 개선한 Pixel Planes 2와 3은 픽셀당 메모리의 비트 수를 확장시키고 칩의 동작 클럭 주파수를 올린 것 이외에 구조상의 큰 변화는 없었다.

### 3.2 Pixel Planes 4

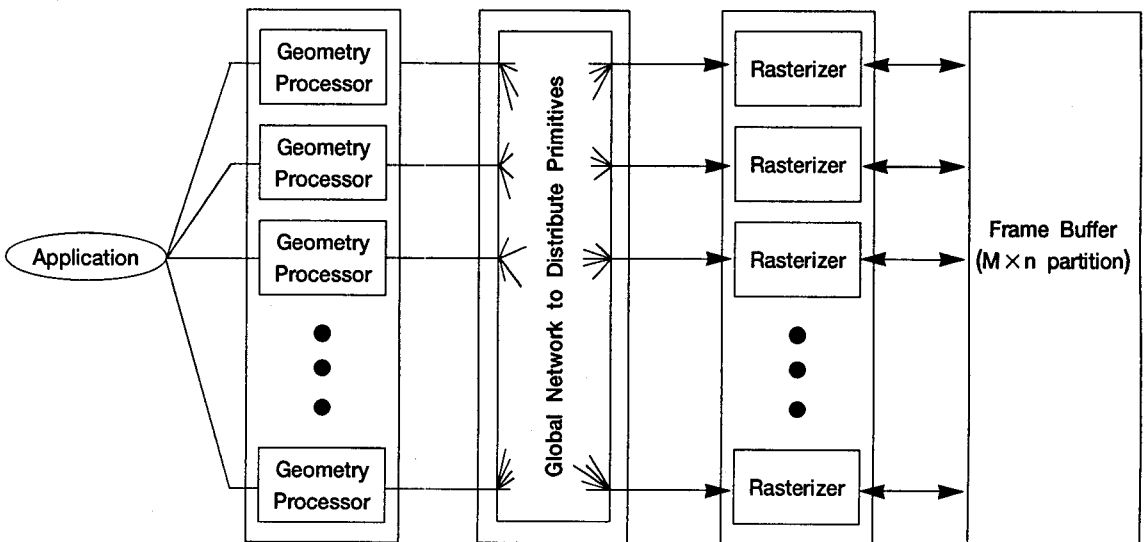
Pixel Planes 4는 Pixel Planes 3을 개선, 1986년에 개발된 시스템으로 픽셀당 메모리의 비트 수를 72비트까지 확장하여 초당 40K개의 다각형에 대해 Gourand 셰이딩 처리가 가능하게 하고 이전의 낮은 픽셀 프로세서의 효율을 개선하고 있다. 또, 전체 화면 크기에 해당하는 픽셀 프로세서를 가지지 않고 512 × 512 픽셀 이미지에 해

당하는 픽셀 프로세서만 가지고 있다.

### 3.3 Pixel Planes 5

1989년에 소개된 Pixel Planes 5는 Pixel Planes 4의 낮은 픽셀 프로세서 효율을 256 픽셀 (208 비트/픽셀)을 갖는 LEM 칩 64개(128 × 128 픽셀)로 렌더러를 구성하여 더욱 개선된 구조를 갖는다. 상용화된 범용 프로세서 32개로 그래픽스 처리의 전반부에 해당하는 기하학적 변환 처리를 하고 그래픽스 처리의 후반부인 래스터라이징은 128 × 128의 크기로 분할된 화면을 16개의 렌더러가 동적으로 할당되어 초당 100만 개의 다각형을 Phong 셰이딩으로 처리하고 하드웨어적으로 텍스처 매핑, 그림자 처리, transparency를 지원하는 시스템을 구현하였다<sup>24)</sup>.

Pixel Planes 5는 고성능의 그래픽스 처리가 가능하지만 MIMD(Multiple Instruction



<그림 2> 다중의 기하학적 처리기와 래스터라이저를 갖는 그래픽스 시스템 구조

Multiple Data) 형태로 구성된 전반부의 기하 변환 처리기에서 처리된 기하학적 변환 처리의 결과를 다중 렌더러에 적절히 분배하기 위해 5GB의 대역폭을 갖는 링 네트워크를 사용한다. 그러나 Pixel Planes 5와 같은 구조에서 성능을 증가시키기 위해서는 더욱 많은 프로세서 엘리먼트를 사용해야 한다. 그림 2와 같은 Pixel Planes 5와 실리콘 그래픽스사의 Reality Engine2 구조는 그래픽스 시스템의 전반부와 후반부를 연결하는 글로벌 네트워크를 필요로 하므로 프로세서 엘리먼트의 개수가 증가하면 글로벌 네트워크의 대기 시간이 증가하고, 구현시 하드웨어의 복잡성으로 인해 선형적인 성능 증가에는 심각한 문제를 야기시킨다.

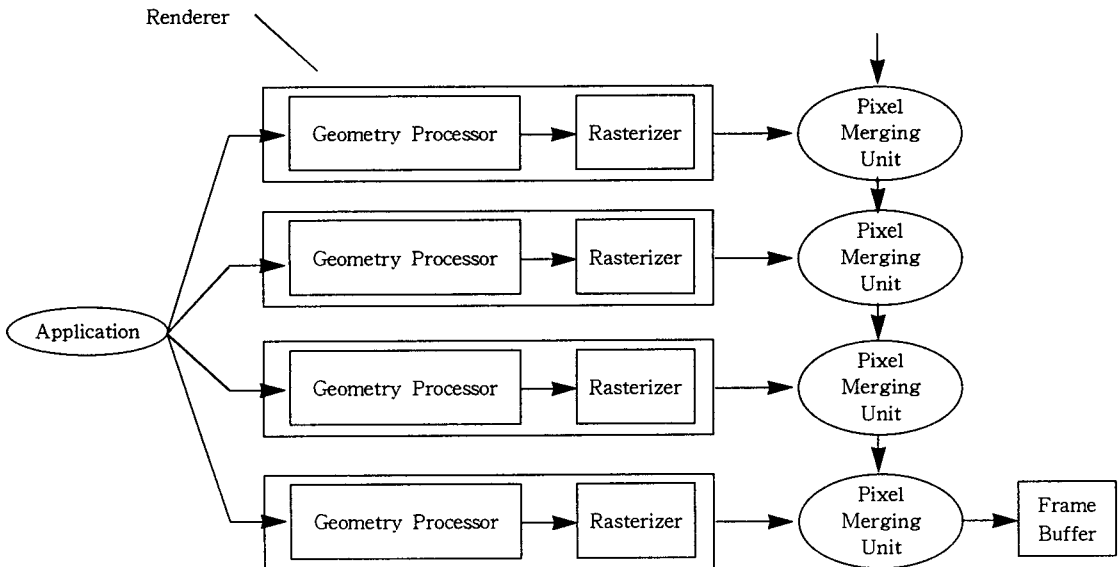
LEM은 1.6 마이크론 CMOS 기술을 사용하고 40MHz에서 동작하며 상품화는 가상현실용 시스템 개발 관련회사인 영국의 Division Group사와

UNC가 계약을 맺어 OEM으로 Pixel Planes 5의 공급을 추진하고 있다.

### 3.4 PixelFlow

가상현실과 같은 응용 분야는 초당 1,000만 개 이상의 다각형을 처리할 수 있는 성능을 요구하고 있다. Pixel Planes 5와 같은 글로벌 네트워크를 이용한 다중프로세서 기법으로는 이와 같은 성능을 만족시키는데는 구조적인 취약점을 가지고 있다. 1992년에 소개된 PixelFlow는 UNC에서 이미 확보하고 있던 래스터라이저에 해당하는 LEM을 근간으로 하여 더욱 발전시킨 EMC (Enhanced Memory Chip)를 다중처리하여, 렌더러의 개수를 증가시킴으로써 선형적인 성능 증가가 보장되는 이미지 합성 구조를 채택하였다.

이 구조의 특징은 그림 3에서 보여주는 것처럼 전체적인 시스템 측면에서는 추가되는 렌더러의



<그림 3> 이미지 합성 구조에 의한 다중의 렌더러를 갖는 그래픽스 시스템

개수에 따라 다중 프로세싱 방식으로 기본 요소들이 처리되지만 각 렌더러에서는 다른 렌더러와 무관하게 독립적으로 동작하는 것처럼 보여지므로 병렬처리의 복잡한 프로그래밍이 사라지는 장점이 있다. 각각의 렌더러에서 처리한 픽셀이 실제로 보여질지 숨겨질지는 이미지 합성을 수행하는 픽셀 결합기(Pixel Merging Unit)에서 결정되고 래스터라이징을 수행할 때 렌더러간에는 아무런 연관이 없기 때문에 렌더러 개수에 따른 선형적인 성능 증가가 보장된다. 그러나 이 구조는 최종의 목표 성능과 무관하게 1280 × 1024 해상도로 초당 30 프레임을 처리하고, 안티어라이어징 처리시 하나의 픽셀에 대해 5번을 샘플링하면 9.4기가비트라는 매우 높은 대역폭을 이미지 합성 네트워크에서 지원해야 하는 단점을 가지고 있다. 하지만 이것은 구현상의 문제이지 현재 상품화되고 개발된 다른 시스템에서 나타나는 그래픽스 프로세서나 렌더러 개수 증가에 의한 성능 증가시 발생하

는 치명적인 구조상의 문제는 아니다.

PixelFlow에서는 Pixel Planes 시리즈 고유의 특징이자 고속의 래스터라이저인 EMC를 개선했다. EMC내의 메모리를 SRAM에서 DRAM으로 대체하여 메모리 집적도를 향상시켜 픽셀당 2,048 비트로 확장함으로써, Pixel Planes 5에서 발생하는 각 렌더러간 로드 분산의 불균형으로 인한 성능 저하 문제를 해결하고 있다<sup>[25]</sup>.

EMC는 0.8 마이크론 CMOS 기술을 사용하고 66MHz의 동작 주파수를 가지며 가상현실 관련회사인 IVEX사에서 상품화를 추진하고 있다.

#### 4. 향후 시장을 주도할 그래픽스 시스템의 구조

지금까지 실험적으로 개발되거나 상품화된 모든 그래픽스 시스템의 특징을 살펴보면 다음과 같이 두 가지로 정리할 수 있고 제 3세대에 해당하는 대표적인 시스템의 비교는 표 1과 같다.

	PixelFlow	InfiniteReality	Freedom
Architecture	Object Parallelism Image Composition	Pixel Paralleism Framebuffer Partition	Object Parallelism Image Composition
Performance	1.4M Gouraud Shading Triangles/ses	7.1M Gouraud Shading Triangles/ses	1.5M Gouraud Shading
Maker	UNC	Silicon Graphics	Evans & Sutherland
Advanced algorithm -Phong Shading -Antialiasing -Texture Mapping	Support Support(Supersampling) Support	Support Support(Supersampling) Support	Not Support Support(Supersampling) Support
Geometry Processor	i860	ASIC	AMD29050
Rasteriser	EMC ASIC	PG + IE ASIC	POSE ASIC
Advantages	- Guarantee Performance Scalability(Until 10M) - Simple Multi programming	- Real 3rd Generation Graphics System Available now	- Host Independent Graphics System - Simple Multi programming
Disadvantages	- Require Very High Image Composition Bandwidth - Expensive EMC Price	- Not Extensible - Require s Lot of Memory - Complex Multi Programming	- Lower Antialiasing Performance - Increase Image Composition Latency with Scene Complexity

[ 표 1 ] 제 3세대 그래픽스 시스템들의 비교

(1) 그래픽스 시스템의 전반부 처리를 담당하는 기하학적 변환을 위한 기하 변환 처리기는 주로 상용화된 부동소수점 프로세서를 사용한다. 예를 들어, UNC의 PixelFlow에서는 인텔 80860 RISC 프로세서를 사용하여 실리콘 그래픽스사의 InfiniteReality에서는 고유의 ASIC을 사용하고 Evans & Sutherland사의 Freedom은 AMD29050 DSP를 사용한다.

(2) 그래픽스 시스템의 후반부 처리를 위한 레스터라이저는 그래픽스 알고리즘이 반복적인 연산이 많고 하드웨어화 하기에 적합한 특징을 갖고 있어 고유의 ASIC을 개발하여 사용한다. 이에 따라 고유의 레스터라이저 설계 기술이 그래픽스 시스템 구현에서 가장 핵심 요소 기술이라 할 수 있다. 왜냐하면, 사실적 렌더링을 위한 다양한 고급 그래픽스 알고리즘을 효과적으로 지원할 수 있는 유일한 방법일 뿐 아니라, 각자 원하는 고유의 그래픽스 구조로 특화할 수 있는 가장 중요한 부분이기 때문이다.

그래픽스 응용 분야에서 제 3세대의 그래픽스 시스템 구조를 필요로 하는 가상현실용 시스템의 요구사항들은 다음과 같다.

(1) 초당 수백만 이상의 다각형을 처리할 수 있는 성능을 요구한다.

(2) Phong 셰이딩, 텍스처 매핑, 안티어리어 어징과 같은 사실적 렌더링 기법을 수행할 경우 일반적인 그래픽스 알고리즘을 처리할 때와 비교해서 성능저하가 없어야 한다. 그러나 가정용 오락기와 같은 응용 분야에서는 성능도 물론 중요하지만 저렴한 가격이 절대적인 요구사항이다<sup>[26]</sup>.

다음은 가정용 오락기의 경우에 필요한 요구사

항들이다.

(1) 초당 수십만 다각형을 처리하면서 저렴한 가격이어야 한다.

(2) Sprite - 이미지 패턴을 신속히 옮기거나 다시 그리는 기능 - 을 위한 Bitblt 기능과 텍스처 매핑을 효과적으로 지원해야 한다.

가상현실용 그래픽 시스템의 요구조건들을 가장 근접하게 만족시키는 대표적인 상용화 시스템으로 실리콘 그래픽스사의 InfiniteReality를 꼽을 수 있다. 그러나 4개의 RMB(Raster Memory Board)로 사실적인 렌더링 알고리즘을 적용하여 초당 700만개 다각형을 처리할 수 있지만 더 이상의 확장성이 없는 단점을 가지고 있다. 한편 이러한 이미지 병렬 구조에서는 프레임 버퍼 액세스 대역폭을 향상시키기 위해 다중으로 픽셀을 동시에 처리하여 액세스할 수 있도록 프레임 버퍼를 잘게 쪼개어 액세스하는 인터리빙 방식을 사용하고 있다.

이에 비해 PixelFlow는 현재 이용가능한 기술로 초당 최대 1,000만 다각형까지 선형적인 성능 증가가 보장되는 이미지 합성 구조를 사용하고 1개의 렌더러내에서 레스터라이저에 해당하는 EMC의 다중 확장이 용이하여 초당 최대 100만 다각형을 처리함으로써 프레임 버퍼 액세스 병목 현상을 근본적으로 해결해 주는 구조이기 때문에 가상현실과 같은 응용 분야에 매우 적합한 시스템이다. EMC의 용이한 확장성은 비교적 낮은 성능을 필요로 하는 오락기에도 적용할 수 있다.

또한 지금까지 상용화된 모든 시스템들의 레스터라이저는 그래픽스 알고리즘을 하드웨어적으로 가속화시키기 위해 단순한 제어기 기능을 갖는 반면, PixelFlow의 EMC는 규칙적이고 반복되는 논리로 구성되어 있다. 따라서, 근본적으로 VLSI



구조에 적합하고 프로그래밍할 수 있는 기능을 가져 자체적으로 국지적 광원(local light sources), 텍스처 매핑, 환경(environment) 매핑 등의 다양한 알고리즘과 구나 2차원 곡면, 고화질 셰이딩 시 필요한 볼륨 데이터와 같은 기본 요소들을 지원할 수 있는 장점을 가진다.

그리고 고성능 그래픽스 시스템의 구현시 점차적으로 픽셀 병렬 구조로부터 객체 병렬 구조를 채택하는 추세임을 고려할 때 이미 80년대 초의 Pixel Planes 시스템에서부터 병렬 구조를 근간으로 래스터라이징을 처리하고 있는 것 등이 초당 수천만 개의 다각형 처리를 요구하는 향후의 고성능 그래픽스 시스템 구현에 주도적인 기술로써 사용될 것으로 보인다.

이러한 장점에도 불구하고 UNC의 PixelFlow는 상품화되는데 장애가 있는 것으로 보여진다. 즉, ASIC은 특정 제어기 논리를 집적하는 기능으로 출발하여 사용되고 있기 때문에 EMC에서와 같이 칩내부에 많은 메모리를 집적하면 DRAM과 비교해서 메모리의 비트당 가격이 매우 비싸게 되어, 시스템 측면에서 보면 가격이 상승하게 된다.

이는 메모리를 칩내부에 가지므로 근본적으로 메모리 액세스 병목 현상을 제거하는 EMC의 중요한 특징인 경제성이 떨어져 상품화가 잘 진행되지 못하는 원인이 되었다. 그러나 이 문제는 최근의 반도체 설계와 공정의 급속한 발전의 영향으로 해결될 것으로 예상된다.

이러한 추세를 종합해 볼 때 향후 시장을 주도할 그래픽스 시스템은 응용 분야에 따라서 원하는 성능으로 확장될 수 있도록 scalability가 보장되고, 근본적으로 메모리 액세스 병목 현상이 해결되고, 고급 그래픽스 기능이 하드웨어적으로 지원되는 구조를 가져야 한다.

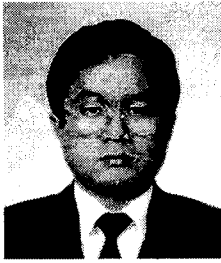
이러한 측면에서 앞서 고찰한 UNC의 Pixel

Planes 시리즈에서 사용된 이미지 구현 구조와 LEM 기술이 주목될 것으로 보인다.

## 참고문헌

- [1] J. D. Foley, A. Van Dam, S. K. Feiner, J. F. Hughes, Computer Graphics Principles and Practice, 2nd Edition, Addison-Wesley, pp. 855-922, 1990.
- [2] J. H. Clark, "The Geometry Engine: A VLSI Geometry System for Graphics," Computer Graphics, pp. 349-355, July 1982.
- [3] G. Shires, "A VLSI Graphics Coprocessor- The Intel 82786," IEEE Computer G&A, pp. 49-55, October 1986.
- [4] C. Carinalli and J. Blair, "National's Advanced Graphics Chip Set for High-Performance Graphics," IEEE Computer G&A, pp. 40-48, October 1986.
- [5] M. Asa, G. Short, T. Preston, R. Simpson, D. Roskell, and K. Guttage, "The Texas Instruments 34010 Graphics System Processor," IEEE Computer G&A, pp. 24-39, 1986.
- [6] K. Akeley and T. Jermoluk, "High-Performance Polygon Rendering," Computer Graphics, pp. 239-246, August 1988.
- [7] D. Kirt and D. Voorhies, "The Rendering Architecture of the DN10000VS," Computer Graphics, pp. 299-246, August 1990.
- [8] Hewlett Packard Co., Technical Report, 1988.
- [9] B. Apgar, B. Bersack, and A. Mammen,

- "A Display System for the Stellar Graphics Supercomputer Model GS1000," *Computer Graphics*, pp. 255-262, August 1988.
- [10] Toshiba, TC8512G/YM, Technical Adata Sheet, 1990.
- [11] T. L. Howard, W.T. Hewitt, R. J. Hubbold, and K. M. Wyrwas, *A Practical Introduction to PHIGS and PHIGS+*, Addison-Wesley, 1991.
- [12] *Powerful Portable 3-D Graphics*, Byte, pp. 193-196, July 1989.
- [13] S. Upstill, *The RenderMan Companion*, Addison-Wesley, 1990.
- [14] J. Neider, T. Davis, and M. Woo, *OpenGL Programming Guide*, Addison-Wesley, 1993.
- [15] K. Akeley, "Reality Engine Graphics," *Computer Graphics*, pp. 109-116, 1993.
- [16] Evans & Sutherland Co., Technical Report, October 1992.
- [17] J. S. Montrym, D. R. Baum, D. L. Dignam, and C. J. Migdal, "InfiniteReality: A Real-Time Graphics System," *Computer Graphics*, pp. 293-301, July 1997.
- [18] <http://www.cs.columbia.edu/~bm/3dcards/3d-cards1.html>
- [19] S. Demetrescu, "High Speed Image Rasterization Using Scan Line Access Memories," *Proceedings of the 1985 Chapel Hill Conference on VLSI*, pp. 221-243, 1985.
- [20] N. Gharachorloo and C. Pottle, "Super Buffer: A Systolic VLSI Graphics Engine for Real-Time Image Generation," *Proceedings of Chapel Hill Conference on VLSI*, pp. 285-305, 1985.
- [21] N. Gharachorloo, S. Gupta, and E. Hokenek, "Subnanosecond Pixel Rendering with Million Transistor Chip," *Computer Graphics*, pp. 41-49, August 1988.
- [22] S. Nishimura, R. Mukai, and T. L. Kunii, "A Loosely-Coupled Parallel Graphics Architecture Based on a Conflict-Free Multiport Frame Buffer," *IEEE*, pp. 411-418, 1992.
- [23] J. Poulton, H. Fuch, J. G. Eyles, J. Heinecke, C. H. Heigh, J. Goldfeather, J. P. Miltquist, and S. Spach, "Pixel-Planes: Building a VLSI-Based Graphics System," *Proceedings of the Chapel Hill Conference on VLSI*, pp. 35-61, 1985.
- [24] H. Fuch, J. Poulton, J. G. Eyles, T. Jack, J. Goldfeather, D. Ellsworth, S. Molnar, G. Turk, B. Brice, and L. Israel, "Pixel-Planes 5: A Heterogeneous Multiprocessor Graphics System Using Processor-Enhanced Memories," *Computer Graphics*, pp. 79-88, July 1989.
- [25] S. Molnar, J. Eyles, and J. Poulton, "PixelFlow: High Speed Rendering using Image Composition," *Computer Graphics*, pp. 231-240, July 1992.
- [26] M. Takano, "Games-Theater for Next High-Tech Battle," *NIKKEI ELECTRONICS ASIA*, pp. 30-37, February 1994.



강 현 석 종신회원

- 학력 1981년 동국대학교 전산학과 학사  
1983년 서울대학교 전자계산기과 이학석사  
1989년 서울대학교 전자계산기과 이학박사
- 경력 1981~1984년 한국전자통신연구소 연구원  
1984~1993년 전북대학교 전임강사, 조교수, 부교수  
1993~현재 경상대학교 교수
- 관심분야 데이터베이스, 멀티미디어, 소프트웨어 공학



문 상 호 종신회원

- 학력 1982년 경북대학교 전자공학과 공학사  
1984년 경북대학교 전자공학과 공학석사  
1998년 경상대학교 전자계산학과 공학박사
- 경력 1983~1995년 삼성종합기술원 그래픽스팀 선임연구원  
1989~1991년 미국 워싱턴 주립대학 전기 및  
전자공학과 교환연구원  
1995~현재 영남전문대학 전자계산기과 조교수
- 관심분야 멀티미디어, 컴퓨터 그래픽스, 컴퓨터 구조

• '98 정기총회 및 춘계 학술발표회 •

- 일 시 : 1998년 6월 5일 09:00~19:00
- 장 소 : 부산대학교 본관 대회의실
- 문의 및 접수처 : 한국멀티미디어학회 사무국
  - 부산시 사상구 모라 3동 75-8 (우)617-083  
Tel: (051)302-9572 Fax: (051)303-5439
  - 부경대 전자계산학과  
부산광역시 남구 대연3동 599-1 (우)608-737  
Tel: (051)620-6395 Fax: (051)628-8147