

무선 가입자 접속망 기지국용 송수신기 설계 및 구현

A Design and Implementation of a Base Station Transceiver for WLL System

정영준 · 강상기 · 이일규 · 김봉겸 · 홍헌진

Young-Jun Chong · Sang-Gee Kang · Il-Kyoo Lee · Bong-Kyum Kim · Heon-Jin Hong

요 약

본 논문에서는 광대역 코드분할 다윈 접속 방식을 이용하여 무선 가입자 접속 망(WLL: Wireless Local Loop) 서비스를 위한 기지국용 RF 송수신기를 고찰하였다. 제작된 송수신기는 크게 수신기, 송신기 및 RF 컨트롤러의 세 보드로 구성하였고, 5 MHz의 RF 채널 대역폭을 이용하여 넓은 동작 범위와 고감도가 요구되는 RF 수신기 및 우수한 스퓨리어스 방사 억제 특성을 가지는 송신기의 설계 및 구현에 관하여 기술하였다. 전체 송수신부를 상용화된 부품이나 주문 제작된 소자의 규격을 토대로 RF 시뮬레이션 소프트웨어를 이용하여 위에 언급된 수신기 및 송신기의 예상 성능을 평가하였고, 이를 토대로 송수신기를 제작하였다. 측정 결과 수신기는 2.86 dB의 잡음 지수 및 60 dB이상의 동작 영역을 가졌고, 송신기의 스퓨리어스 방사는 34.3 dBm의 출력 전력에서 -49.46 dBc의 특성을 얻어 표준 안에 제시된 성능 규격을 만족하는 좋은 결과를 얻었다.

Abstract

The implementation of a BTS(Base station Transceiver) for WLL system using W-CDMA (Wideband-Code Division Multiple Access) method is presented in this paper. It consists of three boards; receiver, transmitter and RF controller. Some RF parameters are considered and simulated by the RF simulation S/W using commercial and customized components specifications. The implemented transceiver of 5 MHz RF channel bandwidth satisfies the system requirements of a transceiver such as dynamic range, sensitivity in the receiver and spurious emission suppression in the transmitter. At the receiver, the experimental measurement showed 2.86 dB of NF and 60 dB above of dynamic range in AGC(Automatic Gain Control) locking. At the transmitter, the -49.46 dBc of spurious emission suppression is attained when the output power of the transmitter is 34.3 dBm. These results are good enough to meet to standard performance specifications.

I. 서 론

디지털 이동통신 시스템 기술의 발전에 힘입어

이동통신의 수요가 지속적으로 증가되고 있고, 통신의 휴대화 및 개인화가 가능한 개인 휴대통신 상용 서비스에 박차를 가하고 있으며 또한, 기존의 공중 전화망 사용자에게 무선 가입자 접속 망을 통한

· 한국전자통신연구원 무선기술연구실(Radio Technology Section, ETRI)
· 논문 번호 : 970730-048
· 수정완료일자 : 1997년 10월 3일

전화, 팩스, ISDN용 고속 데이터 서비스를 효율적으로 지원할 수 있는 WLL 시스템에 관심이 고조되고 있다. WLL은 무선 통신 방식으로 기간 통신사업자 망의 하부 구조를 이루며 분배 기지국(DBS: Distribution Base Station)과 무선 망 종단기(RNTs: Radio Network Termination)를 포함하여 양단 사이의 무선 인터페이스를 구현하는 기술이다. WLL 시스템의 가장 큰 장점은 기존의 이동 통신 시스템과 달리 가입자들의 고정성을 가정하므로 가입자와 기지국간의 통신 채널의 변화가 적고, 핸드-오프 기능이 요구되지 않아 시스템의 구성이 용이하다. 초기에는 음성 서비스를 목표로 구현하겠지만, 업무 분야의 가입자들을 위하여 점차 데이터 속도가 높은 서비스를 통하여 결국에는 광대역 서비스를 수용해야만 하고, 주거지 가입자들에게는 인터넷 액세스 및 멀티미디어 서비스를 제공해야 하므로 WLL 시스템은 협대역 서비스로부터 광대역 서비스로 변화되어야만 한다. 이러한 추세에 따라 국내에서도 이미 WLL 방식을 광대역 코드분할 다원 접속 방식으로 정하여 여러 분야에서 연구 개발이 활발히 진행되고 있다.

현재 ETRI가 제안(“WIRELESS LOCAL LOOP를 위한 무선 접속 규격” VER1.5)하고 있는 채널 당 사용 주파수 대역은 3.5, 5, 7, 10, 10.5, 14, 15 MHz 등을 규정하고 있으나¹⁾, 본 논문에서는 5 MHz RF 채널 대역폭을 이용하여 기지국용 RF 송수신기를 설계하고 제작하였다.

II. 송수신기 구조 및 기능

2-1 수신기 기능 및 구조

역 방향 링크의 수신기 구조도는 그림 1과 같이 두 패스로 설계되었고, 제작된 WLL 기지국용 수신기는 다음과 같은 기능을 수행하도록 구성하였다.

- RF 입력 주파수(2300~2330 MHz)을 21.4

MHz의 중간 주파수로 주파수 변환

- 수신 신호 세기의 표시(RSSI)
- 잡음 지수 조정을 통한 Noise Balancing 및 OUNS(Other Users Noise Simulation)기능

수신기는 수신 전치단 및 주파수 하향기로 구성하였으며, 안테나를 통해 수신되는 미약한 RF 신호를 수신 전치 단에서 여파하고 증폭한 후, 주파수 하향기를 통하여 21.4 MHz의 최종 중간 주파수로 변환하여 디지털 신호 처리부로 일정한 전력 레벨의 신호를 공급하여 희망 신호를 최소한의 왜곡으로 복조한다. 주파수 변환은 낮은 쪽 대역 주입(Low-side Injection)을 이용하여 2차 주파수 변환을 하였다. RF 입력 주파수 대역은 우선 159.95 MHz로 주파수 변환된 후 21.4 MHz로 최종 주파수 변환되도록 하였다. CDMA의 공간적인 다이버시티를 위하여 두개의 수신기(RX-A 및 RX-B)를 하나의 송수서부 시스템에 구현하였고, 주파수 합성기로부터 생성한 UHF 국부 발진 주파수(2140.05~2170.05 MHz) 및 138.55 MHz 국부 발진 주파수는 두개의 수신기에서 공유하도록 하였다²⁾³⁾⁴⁾.

2-2 송신기 기능 및 구조

순방향 링크의 송신기 구조도는 그림 1과 같이 설계되었고, 제작된 WLL 기지국용 송신기는 다음과 같은 기능을 수행하도록 구성하였다.

- 중간 주파수 신호를 UHF대로 주파수 변환
- 채널 중심으로부터 $> \pm 2.5$ MHz 이격된 지점에서 스푸리어스와 잡음 전력을 감소시키기 위한 신호여파 기능
- 송신기 전력 제어 루프의 이득과 순방향 링크에 대한 이득 조정

순방향 링크의 송신기는 주파수 상향기, 고출력 증폭기, 송신 전치단, 주파수 합성부로 구성하였고, 디지털 신호 처리부로부터 21.4 MHz의 입력

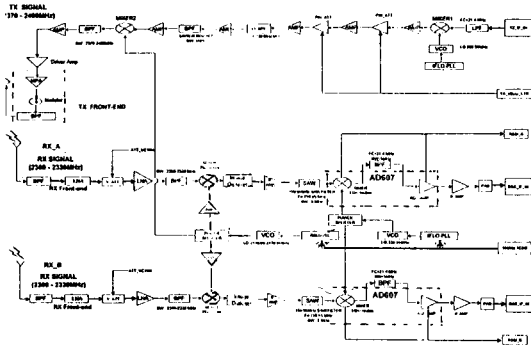


그림 1. 송수신기 구조도
Fig. 1. Block diagram of the transceiver.

신호를 공급 받아 주파수 상향기로 인가된 후, 저역 통과 여파기로 여파하여 208.55 MHz의 국부 발진 주파수를 이용하여 229.95 MHz의 중간 주파수로 변환된다. 이 신호는 증폭된 다음 혼합 시 발생하는 원치 않는 신호를 제거하기 위하여 표면 탄성과 여파기 및 대역 통과 여파기로 여파된 후 두 번째 국부 발진 주파수(2140.05~2170.05 MHz)와 주파수 혼합(2370~2400 MHz) 된다. 주파수 혼합된 신호는 다시 대역 통과 여파기로 여파된 후 구동 증폭기에 신호를 공급한다. 증폭된 신호는 고출력 증폭기를 통하여 상호 변조에 의한 위상 왜곡 신호를 줄이면서 원하는 레벨까지 증폭된 후 송신 전치단의 대역 통과 여파기로 다시 여파된 후 송신 안테나를 통하여 신호를 전송한다.

주파수 합성부는 주파수 상/하향을 위한 UHF 주파수 합성기, 중간 주파수 상향을 위한 IF 주파수 합성기, 중간 주파수 하향을 위한 IF 주파수 합성기의 세 부분으로 구성하여 RF 송수신 시스템의 주파수 상/하향 및 중간 주파수를 결정하고 일정한 간격으로 송수신 채널을 할당하도록 하였다. 펄스 스왈로 방식을 사용한 위상 동기 루프의 구조도는 그림 2와 같다. 기지국용 기준 주파수(F_{REF})는 10 MHz TCXO를 사용하였고, 위상 검출부는 채널 간격이 50 kHz가 되도록 기준 주파수 분주비(R)를 선택하였다. 위상 비교기에서는 분주된 전

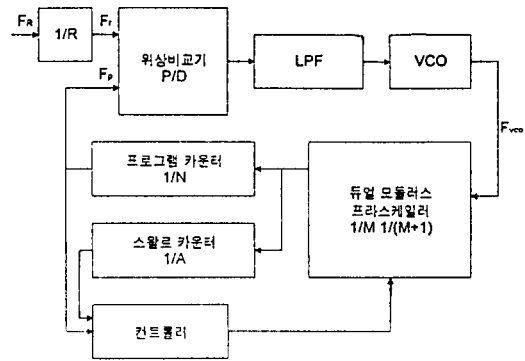


그림 2. 펄스 스왈로 방식을 이용한 주파수 합성기 구조도
Fig. 2. Block Diagram of the PLL using pulse swallow method.

압제어발진기 출력 주파수(F_{VCO})와 분주된 기준 주파수(f_r)의 상을 비교하여 출력시킨다. 식 (1)과 같이 최종 단계에서의 출력 주파수는 위상 동기 루프 칩의 특성과 채널 간격($f_c=50$ kHz)에 의해서 결정된다.

$$F_{VCO} = [M \times N + A] f_r \quad (1)$$

여기서, M : 듀얼 모듈러스 프리 스케일러 값 (128),
 N : 프로그램 카운터 값(5~2047),
 A : 스왈로 카운터 값(0~127).
 f_r : 채널 간격($F_{REF}/R=50$ kHz),
 F_{REF} : 10 MHz.

채널 변화에 따른 시스템의 안정 시간과 일반적인 2차 궤환 제어 시스템의 특성을 결정해 주는 자연 주파수(ω_n), 댐핑비(ξ), 위상 검출기 이득, 전압 제어 발진기의 감도 및 총분주비 등을 이용하여 2차 수동 필터를 구성하는 저항 값들과 커패시터 값을 결정하였다.^{5)~7)}

III. 시뮬레이션 및 설계

3-1 수신기 설계 및 시뮬레이션

제작하고자 하는 수신기의 전체 규격은 표 1과 같고, 성능 규격을 만족하는 수신기를 설계하기 위하여 EEsof Omnisys를 이용하여 수신 감도 및 동작 범위를 수신기의 가장 중요한 성능 평가 파라미터로 설정하여 시뮬레이션 하였다.

설계된 수신기의 수신 감도는 다음과 같은 과정을 통하여 예측할 수 있다. 대역 확산 스펙트럼 방식을 이용하는 시스템에서 애널로그 신호 대 잡음 비(S/N)와 디지털 신호 대잡음 비의 관계는 다음과 같이 표현된다.

표 1. 수신기 규격

Table 1. Receiver specifications.

수신기 파라미터	수신기 요구 조건
동작 범위	2300~2330 MHz
RF 채널 대역폭	5 MHz
잡음 지수	<5 dB
입력 정재파비	≤1.5:1
UHF LO 요구 :	
출력 주파수	2140.05~2170.05 MHz
주파수 스텝	50 kHz
출력 레벨	4±1 dBm
21.4 MHz IF :	
출력 전력	-10±3 dBm @ AGC lock
출력 정재파비	≤1.4 : 1

$$E_b/N_o = (W/R) \cdot (S/N) \quad (2)$$

여기서, S/N : 신호 대 잡음 비,

W : 대역 확산 대역폭(4.096 MHz),

R : 데이터 속도(32 kbps).

식 (2)에서 구한 디지털 신호 대 잡음 비를 이용한 비트오율의 식(AWGN 환경에서)은 기지국의 변복조 방식이 QPSK인 경우에 다음과 같이 표현된다.

$$P_B = Q\left(\sqrt{\frac{2E_b}{N_o}}\right) \quad (3)$$

이때 사용된 Q(x)는 다음과 같이 표현된다.

$$Q(x) \cong \frac{1}{x\sqrt{2\pi}} e^{-\frac{x^2}{2}} \quad (\text{for } x > 3)$$

음성 통신 및 데이터 통신의 적정 비트오율이 각각 10⁻³(-30 dB이하), 10⁻⁵(-50 dB이하)인 경우 위의 식 (2), (3)을 이용하여 시뮬레이션 한 수신기의 최소 입력 레벨은 각각 -116.5 dBm과 -113.5 dBm으로 계산되었으며, 결과는 그림 3에 M1과 M2로 표시하였다^[8].

중속 연결된 소자들의 잡음 지수 및 전력 이득 등의 특성을 관찰하기 위하여 입력 중심 주파수(2312.5 MHz)에서 -99 dBm의 전력을 인가하여 대신호 버짓 시뮬레이션을 하였고, 수신기의 잡음 지수(NFO) 및 출력 전력(POWER), 입력 및 출

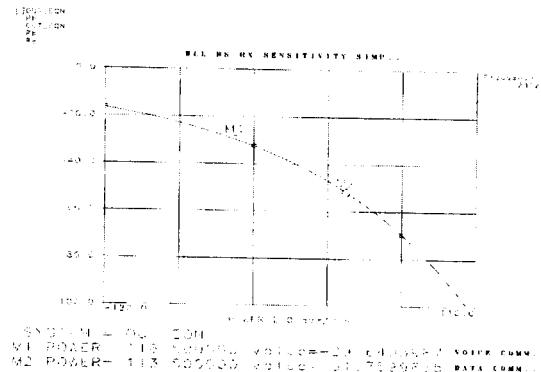


그림 3. BER과 수신감도의 상관 관계

Fig. 3. The relationship between BER and receiver sensitivity.

표 2. 수신기 대신호 버짓 시뮬레이션(Pin=-99 dBm) 결과

Table 2. Large signal budget simulation result of the receiver(Pin=-99 dBm).

Receiver Budget Analysis(Pin= -99dBm)

	C_NF(dB)	NFO(dB)	POWER(dBm)	1dBc0(dBm)	IP3I(dBm)	IP3O(dBm)	S/NBWT(dB)	SFDR(dB)
RX BPF	0.92	0.92	-101.77	1000	-76.13	1000	6.91	1000
LNA	1.5	2.47	-64.22	23.67	-77.83	34.02	5.37	69.17
ATT	2.5	2.47	-69.03	9.14	-41.17	19.6	5.37	62.77
RXCARD_LNA	2.8	2.47	-55.9	12.34	-45.7	23.33	5.37	56.55
PAD	3	2.47	-58.97	9.34	-33.01	20.33	5.37	56.55
RXCARD_BPF	3.3	2.47	-62.25	6.04	-36.01	17.03	5.37	56.53
PAD	3	2.47	-65.47	3.04	-39.31	14.03	5.37	56.68
MIXER1	7	2.48	-71.97	-1.37	-42.31	6.28	5.37	55.84
IMAGE DIPL	0.67	2.48	-72.54	-5	-48.98	5.65	5.37	55.8
IF AMP	3.5	2.48	-57.28	10.31	-49.6	20.94	5.37	55.81
PAD	3	2.49	-60.75	7.31	-34.25	17.94	5.38	56.13
159.95MHz SAW	15.01	2.5	-75.31	-7.87	-37.25	2.76	5.38	55.71
PAD	3	2.55	-78.31	-10.87	-52.44	-0.24	5.37	55.7
AD607	5	2.57	-78.32	-14	-55.44	-4.13	5.67	53.09
IF BPF	2.64	2.72	-81.02	-16.52	-55.43	-6.65	5.78	53.19
AD607	6.99	2.72	-26.07	-12.2	-57.95	-1.88	5.58	19.61
AMP	3.7	2.72	-7.05	6.02	3.2	15.87	5.57	18.76
PAD	3	2.72	-10.05	3.02	2.99	12.87	5.57	18.76

력 IP3(IP3I, IP3O), 1 dB-압축 출력 전력(1 dBc0), 5 MHz RF 대역폭에 대한 신호 대 잡음 전력비(S/NBWT), SFDR(Spurious Free Dynamic Range)이, 소자들의 잡음 지수(C-NF) 등의 특성은 표 2에 나타내었다.

자동 이득 제어(AGC)회로는 수신기 입력에 인가되는 전력 레벨에 따라 믹서 및 증폭기의 이득을 변화시켜 입력 전력 레벨의 변화에 대하여 일정한 출력을 유지해야 한다. 수신기에 -120 dBm ~ -20 dBm의 신호를 인가하였을 때 -104 dBm ~ -40 dBm의 신호에서 수신기 출력 전력이 -10 ± 3 dBm의 일정한 전력을 유지하여 60 dB 이상의 동작 영역을 가졌다.

광대역 코드 분할 다윈 접속 신호 파형을 생성하기 위하여 EEsof Omnisys에서 제공하는 Discrete Time Test Bench를 이용하여 데이터율이 32 kbps이고, 칩 율이 4.096 Mcps인 PN변조 및 QPSK 변조를 통하여 생성시킨 W-CDMA 파형을 수신기에 인가하여(Pin=-99 dBm) 수신기 최종 출력 단에서의 파형의 변화를 관찰하였다. 입력 파

형에 대해서 여파기들에 의한 대역폭의 제한 및 증폭기들에 의한 잡음 전력 레벨이 상승하였고, W-CDMA 신호의 시뮬레이션 결과는 그림 4와 같다[9, 10].

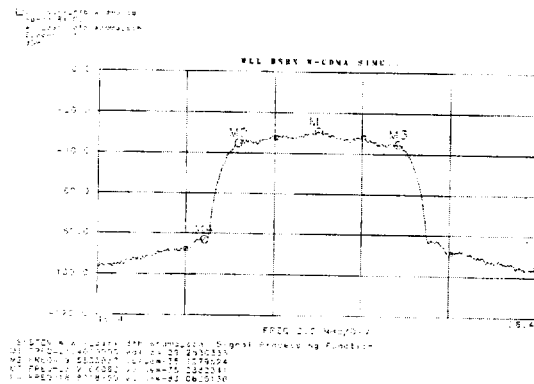


그림 4. 수신 W-CDMA 신호 시뮬레이션 결과
Fig. 4. Received W-CDMA signal simulation result.

표 3. 송신기 규격

Table 3. Transmitter specifications.

송신부 파라미터	송신부 요구 조건
동작 범위	2370~2400 MHz
전체 스퓨리어스 방사	< -45 dBc @CDMA 채널 중심에서 2.5 MHz이상 이격
입력 정재파비	≤1.4:1
재 방사	-13 dBm 최대 @RBW=30 kHz
Transmitter Output: 출력 전력 출력 정재파비	2 W Maximum ≤1.5:1
UHF LO 요구 항목: 주파수 범위 주파수 스텝 출력 레벨 위상 잡음	2140.05~2170.05 MHz 50 kHz 스텝 7±1 dBm < -55 dBc /Hz @100 Hz < -70 dBc /Hz @10 kHz < -85 dBc /Hz @100 kHz < -115 dBc /Hz @110 kHz

3-2 송신기 설계 및 시뮬레이션

제작하고자 하는 송신기의 규격은 표 3과 같고, 성능 규격을 만족하는 송신 시스템을 설계하기 위하여 EEsof Omnisys를 이용하여 스퓨리어스 방사 억제 특성을 송신기의 가장 중요한 성능 평가 파라미터로 설정하여 시뮬레이션 하였다.

입력 주파수(21.4 MHz)에서 0 dBm의 전력을 인가하여 송신기에 사용된 소자들의 잡음 지수 및 전력 이득 등의 특성을 보기 위하여 대신호 버짓 해석을 하였고, 결과는 표 4와 같다.

송신기의 가장 중요한 성능 규격인 스퓨리어스 방사 억제 특성을 시뮬레이션 하기 위하여 고풍력 증폭기의 AM-AM 및 AM-PM 특성을 HP8753C 네트워크 분석기로 측정하여 그림 5에 나타내었다.

EEsof Omnisys에서 제공하는 Discrete Time Test Bench를 이용하여 데이터율이 32kbps이고,

표 4. 송신기 대신호 버짓 시뮬레이션 (Pin=0 dBm)

Table 4. Large signal budget simulation of the transmitter (Pin=0 dBm).

Transmitter Budget Analysis(Pin= 0dBm)									
	C. NF(dB)	NF0(dB)	POWER(dBm)	1dBc0(dBm)	IP3I(dBm)	IP3O(dBm)	S/NBWT(dB)	SFDR(dB)	
PAD	3	3.0011	-3.0254	1000	11.6941	1000	104.1154	1000	
LPF	0	3.0011	-3.0254	1000	8.6941	1000	104.1154	1000	
PAD	5	8.0069	-8.2987	1000	8.698	1000	99.0226	1000	
MIXER1	6	14.0063	-13.8306	2.1078	3.698	12.7288	92.9894	79.68	
PAD	3	17.0747	-16.964	-0.8922	-1.9214	9.7288	89.9019	77.7233	
AMP	3.6	20.6306	-4.6468	10.7659	-4.9214	21.2943	86.3328	74.8496	
Flower Att..	5	20.8725	-9.8612	5.7659	7.2678	16.2943	86.0905	74.8313	
AMP	6.5	21.9064	-1.9626	12.6307	2.2678	22.8469	85.0483	73.2403	
Flower Att..	5	22.0069	-7.1225	7.6307	10.0073	17.8469	84.9476	73.2798	
AMP	3.6	22.1844	4.9081	15.9421	5.0073	26.85	84.7635	71.1245	
LARK BPF	6.9679	22.2189	-2.2378	9.01	17.1428	19.9179	84.9085	71.244	
AMP	6.5	22.363	5.2192	14.7973	10.2107	24.9696	84.7409	69.5193	
PAD	3	22.3704	2.0549	11.7973	17.8708	21.9696	84.735	69.624	
SAW Filter	16.4328	22.9564	-14.4956	-4.9274	14.8708	5.2449	84.5233	69.1171	
PAD	3	23.5077	-17.6291	-7.9274	-1.8539	2.2449	83.8949	68.8386	
AMP	3.6	24.6573	-5.2303	4.2925	-4.8539	14.4283	82.6156	67.9269	
PAD	3	24.7095	-8.4588	1.2925	7.4665	11.4283	82.5585	68.0445	
MIXER2	7	25.1016	-15.0583	-6.1658	4.4665	3.9215	82.1511	67.1682	
PAD	3	25.5232	-18.1025	-9.1658	-2.2626	0.9215	81.7217	66.9167	
BPF	3.3837	26.3346	-21.4567	-12.505	-5.2626	-2.4177	80.8667	66.3857	
PAD	3	27.5459	-24.6849	-15.505	-8.6018	-5.4177	79.5724	65.7303	
VNA-25	5.5	31.0375	-8.6485	0.1829	-11.6018	10.25	75.9506	63.1551	
PAD	5	31.0886	-13.9214	-4.8171	4.1891	5.25	75.898	65.303	
VNA-25	5.5	31.2677	2.0638	9.9943	-0.8109	19.9232	75.7104	62.2877	
PAD	5	31.2718	-3.2599	4.9943	15.2709	14.9232	75.7701	62.4971	
Power AMP	7	31.2949	36.0392	38.5409	10.2709	48.4225	75.0498	58.366	
TX BPF	2.9104	31.2949	33.1299	35.1681	3.1931	45.3497	75.0498	58.257	

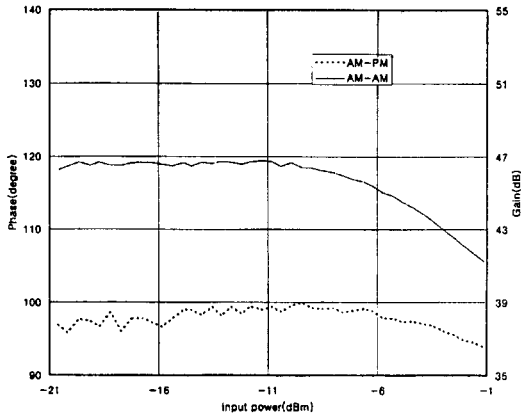


그림 5. 고출력 증폭기의 AM 및 AM-PM 측정결과
Fig. 5. Measured AM-AM and AM-PM of the HPA.

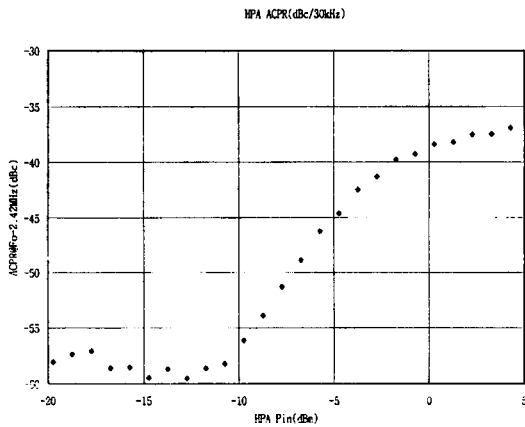


그림 6. 고출력 증폭기의 ACPR 시뮬레이션 결과
Fig. 6. ACPR simulation result of the HPA.

칩 율이 4.096 Mcps인 PN 변조 및 QPSK 변조를 통하여 W-CDMA 신호 파형을 생성하여 고출력 증폭기의 입력 전력에 따른 ACPR(Adjacent Channel Power Rejection) 특성을 시뮬레이션하여 그림 6에 나타내었다. 그림 6에서 보듯이 표 3에 제시된 스퓨리어스 방사 억제 규격을 만족하기 위해서는 최소 -6 dBm 이하의 입력 전력을 인가해야 함을 알 수 있다.

고출력 증폭기의 AM-AM 및 AM-PM 특성을

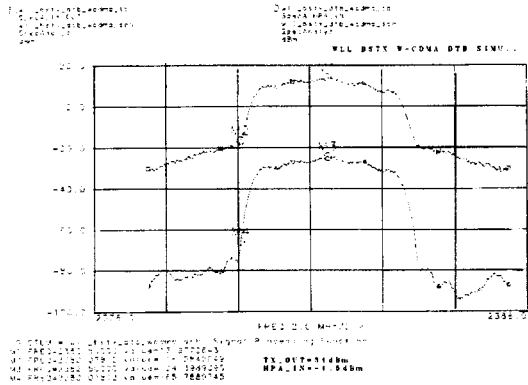


그림 7. 송신 W-CDMA 신호 시뮬레이션 결과
Fig. 7. Transmitted W-CDMA signal simulation result.

포함한 송신기 전체의 스퓨리어스 방사 억제 특성 시뮬레이션 결과는 그림 7에서 보듯이 -30.4 dBc를 얻었고, 대역폭을 가지는 CDMA 신호의 스퓨리어스 방사량은 식 (4)와 같이 표현된다.

$$\text{스푸리어스 방사량} = -P_{\text{out}}/P_{\text{SPUR}}(\text{dBc}) - 10\text{Log}(BW/\text{RBW}) \quad (4)$$

식 (4)를 이용하여 송신기 출력 전력이 34 dBm 일 때 스퓨리어스 방사 억제 특성은 -51.7 dBc를 나타내어 표 3에 제시된 전체 스퓨리어스 방사 제한 규격을 만족하였다^{[9]~[11]}

IV. 제작 및 실험 결과

실제 제작된 주파수 상/하향기 및 주파수 합성부의 PCB는 FR4 기판을 이용하여 4층으로 제작하였고, 제작된 형상은 그림 8과 같다.

4-1 수신기 실험 결과

수신기의 선택도를 향상시키기 위하여 사용된 159.95 MHz 표면 탄성과 대역 통과 여파기의 삽입

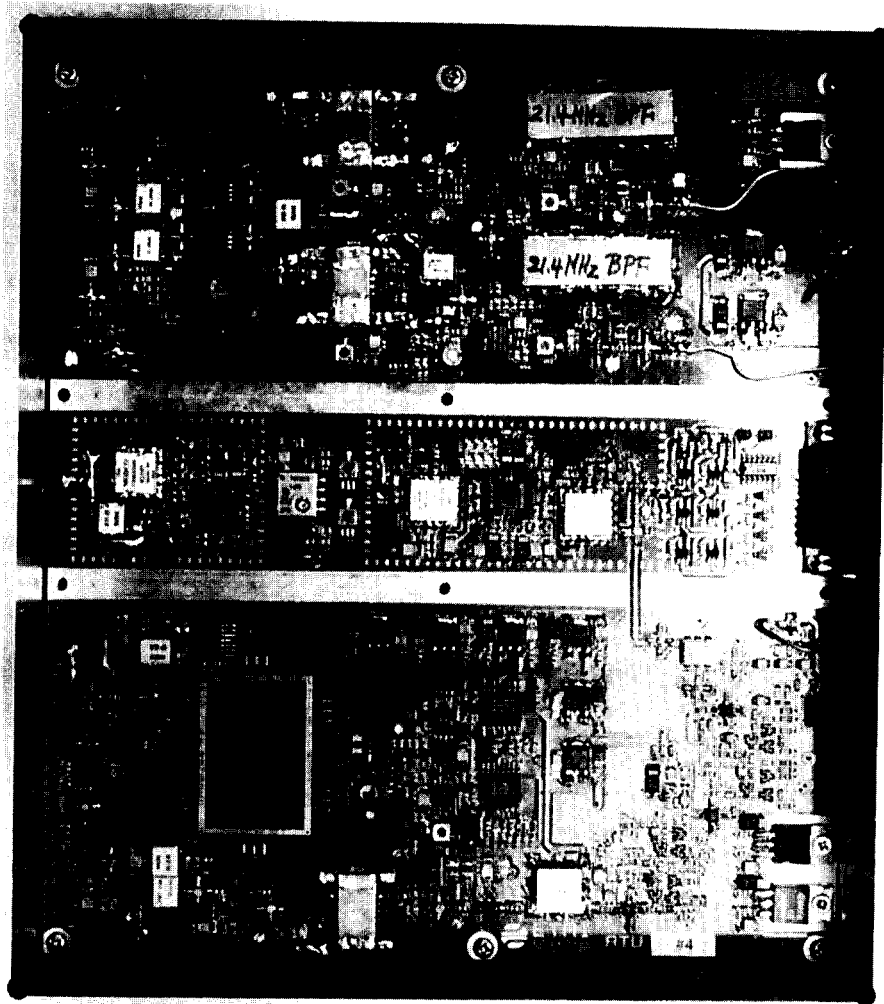


그림 8. 제작된 주파수 상 하향기 및 주파수 합성부(21×24 cm)

Fig. 8. The implemented of the up-downconverter and frequency synthesizer(21×24 cm).

손실 및 위상 특성은 통과 대역 내에서 각각 최대 1 dB 정도의 리플 및 10도의 위상 변화를 갖도록 표면 탄성파 여파기의 입력과 출력에 인덕터 및 캐패시터로 정합 회로를 구성하여 위의 규격을 만족하는 결과를 얻었고, 측정 결과는 그림 9와 같다.

수신기의 통과 대역 내에서의 진폭 및 위상 왜곡 정도를 관찰하기 위하여 수신기의 최종 출력 단자

에서의 잡음 평판도(Tilt) 특성을 측정하여 통과 대역 내에서 약 0.5 dB의 평탄도를 얻었고, 결과는 그림 10과 같다.

수신기의 잡음 지수를 구하기 위하여 -99 dBm의 RF 입력 신호를 인가하여 최종 출력 단에서의 CNR(Carrier-to-Noise Ratio)을 측정하여 -22.14 dBc를 얻었고, 결과는 그림 11과 같다. CNR을

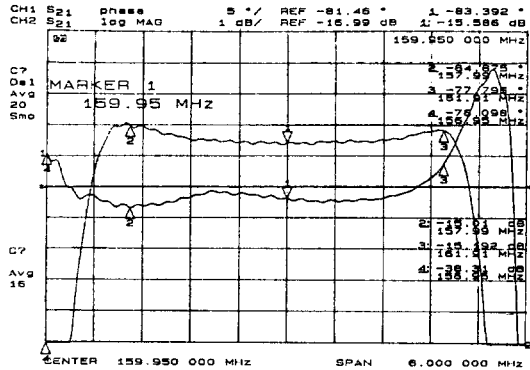


그림 9. 표면 탄성과 여파기의 특성(159.95 MHz)
 Fig. 9. The characteristic of the SAW filter(159.95 MHz).

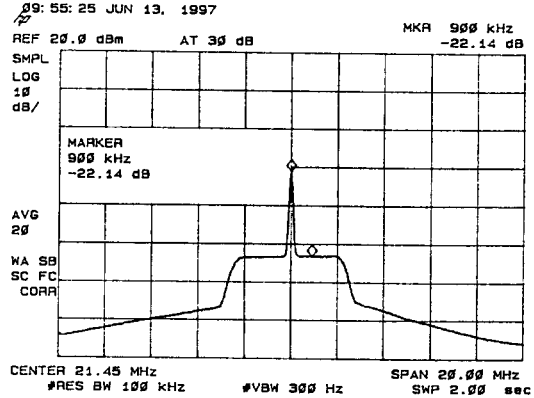


그림 11. 수신기 출력 단의 CNR
 Fig. 11. The CNR of the receiver at the output port.

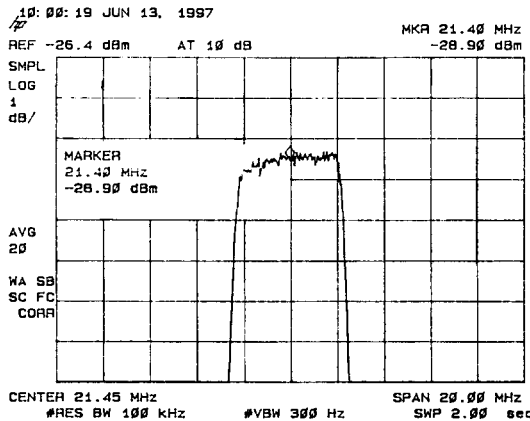


그림 10. 수신기 통과 대역의 잡음 평탄도
 Fig. 10. The noise flatness of the receiver's passband.

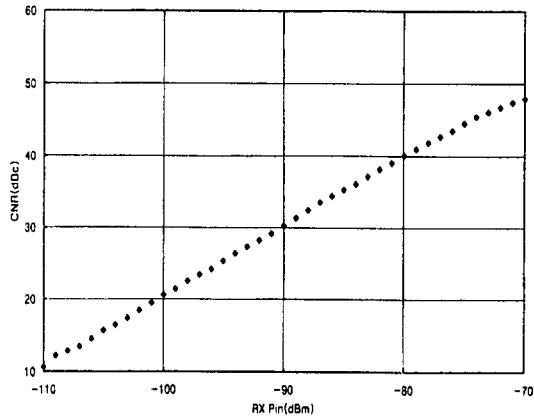


그림 12. 수신 입력 전력에 따른 CNR의 변화
 Fig. 12. The CNR variation according to receiver's input power.

이용한 수신기의 근사화된 잡음 지수의 식은 다음과 같다.

$$\text{잡음지수} \cong \text{RF 입력 전력} - (-174 \text{ dBm/Hz}) - 10 \log(\text{RBW/Hz}) + \text{CNR} \quad (5)$$

위의 식 (5)를 이용하여 구한 수신기 잡음 지수는 2.86 dB을 얻었다.

RF 입력 전력에 따른 CNR은 일정한 출력 전력

이 유지되는 영역(@AGC locking range)에서는 선형적으로 변하다가 그 영역을 벗어나면 잡음 전력은 거의 고정되나 출력 캐리어 전력이 감소되거나 증가됨을 알 수 있고, 결과는 그림 12에 나타내었다.

수신기 입력 전력의 변화에 따른 수신 신호 세기 표시 측정 결과는 그림 13에서 보듯이 1.384~2.72 V의 변화폭을 나타내었고, -102 dBm의 입력 전력까지 일정한 출력 전력을 유지하여 60 dB 이상의

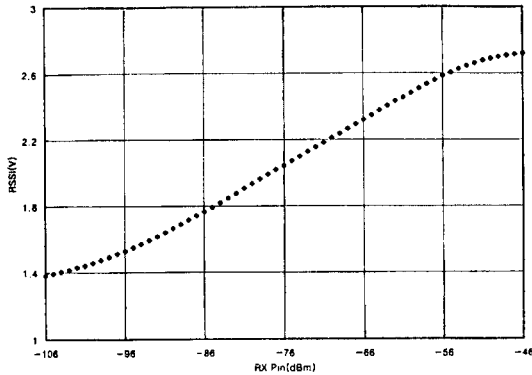


그림 13. 수신기 RSSI 측정 결과
Fig. 13. Measured RSSI of the receiver.

동작 범위를 가졌다.

둔감도(Desensitization 혹은 DC blocking)는 인접 주파수의 강한 간섭 신호에 의하여 원하는 신호의 전력이 억압되는 양으로 정의되는데 1 dB가 억압되는 둔감도 측정은 두 가지 경우에 대하여 측정하였고, 결과는 표 5 및 6에 나타내었다.

가. Pin = -90 dBm, Fin = 2312.5 MHz

- 1) Fin, Fin ± 25 MHz,
- 2) Fin, Fin ± 2.7 MHz,
- 3) Fin, Fin ± 5 MHz.

표 5. 수신기 1 dB-desensitization 측정 결과
(Pin = -90 dBm)

Table 5. The measured 1 dB-desensitization of the receiver (Pin = -90 dBm).

Offset Freq.	-2.5(+2.5) MHz	-2.7(+2.7) MHz	-5(+5) MHz
Rx path	-71.5(-66.5) dBm	-6.8(-55) dBm	-25(-23) dBm

나. Pin = -80 dBm, Fin = 2312.5 MHz

- 1) Fin, Fin ± 25 MHz,
- 2) Fin, Fin ± 2.7 MHz,
- 3) Fin, Fin ± 5 MHz.

표 6. 1 dB-desensitization 측정 결과
(Pin = -80 dBm)

Table 6. The measured 1 dB-desensitization of the receiver (Pin = -80 dBm).

Offset Freq.	-2.5(+2.5) MHz	-2.7(+2.7) MHz	-5(+5) MHz
Rx path	-61.5(-55.5) dBm	-58(-44.5) dBm	-16(-14.5) dBm

W-CDMA IF 신호를 단말기 송신기에 인가하여 기지국에서 수신하였을 때 W-CDMA 신호가 단말기 송신기와 기지국 수신기를 통과하면서 파형의 왜곡되는 정도를 고찰하기 위하여, 듀플렉서 및 감쇠기로 전체 시스템의 순방향 및 역방향 신호들의 전송을 동시에 할 수 있도록 구성하였다. 역방향 연동의 경우 단말기 송신 전력을 듀플렉서 및 감쇠기를 통하여 기지국 수신기의 안테나 단자에서 -70 dBm 정도의 신호가 되도록 할 때 기지국 수신기의 21.4 MHz 출력 단에서 측정한 결과 그림 14와 같은 특성을 얻었다.

4-2 송신기 실험 결과

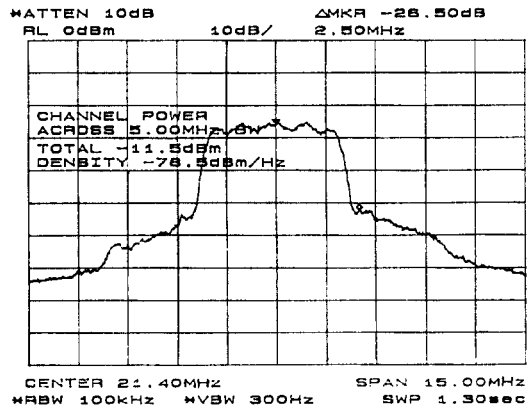


그림 14. 역방향 연동 실험결과(기지국 수신 출력)
Fig. 14. The measured result of the reverse link (BTS receiver output).

인접 채널에 의한 송신기의 스푸리어스 성분을 억제하기 위하여 사용된 229.95 MHz 표면 탄성과 대역 통과 여파기의 삽입 손실 및 위상 특성은 통과 대역 내에서 각각 최대 1 dB 정도의 리플 및 10도의 위상 변화를 갖도록 표면 탄성과 여파기의 입력과 출력에 인덕터 및 캐패시터로 정합 회로를 구성하여 위의 규격을 만족하는 결과를 얻었고, 측정 결

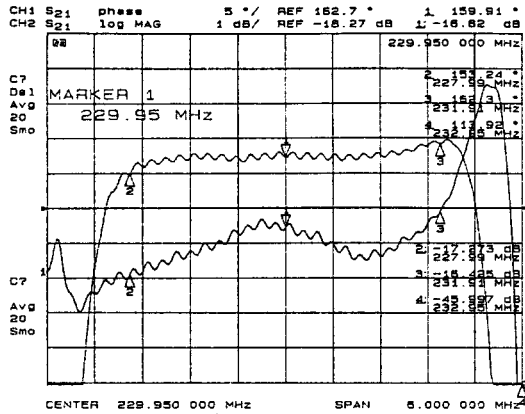


그림 15. 표면 탄성과 여파기의 특성(229.95 MHz)
Fig. 15. The characteristic of the SAW filter(229.95 MHz).

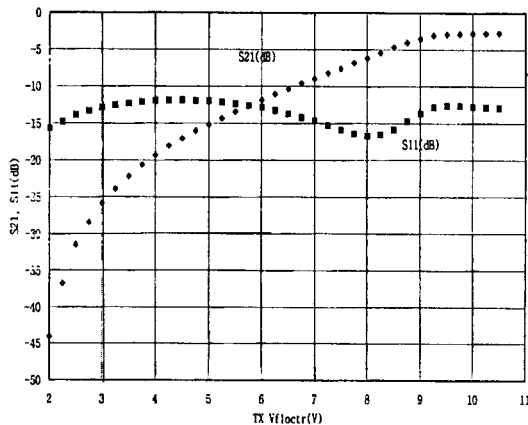


그림 16. 전력 제어를 위한 감쇠기 측정 결과
Fig. 16. Measured attenuator for the power control.

과는 그림 15와 같다.

순방향 전력 제어를 위한 주파수 상향기의 플라우어 감쇠기의 조정 전압에 따른 삽입 손실 및 반사 계수의 측정 결과는 그림 16과 같고, 약 80 dB 정도의 가변 이득을 제어한다.

기지국 IF부로부터 W-CDMA 신호(입력 전력 = -11.1 dBm, F=21.4 MHz)를 인가하여 주파수 상향기 및 송신기 최종 출력 단에서 측정한 ACPR 특성은 -38.33 dBc 및 -33.34 dBc를 얻었고, 식 (4)을 이용한 스푸리어스 방사 억제는 각각 -54.45 dBc 및 -49.46 dBc를 얻어 표 3에 제시된 스푸리어스 방사 규격을 만족하였다. 송신기에 인가되는 W-CDMA 신호 및 주파수 상향기 출력 특성은 그림 17 및 그림 18에 나타내었고, 고출력 증폭기를 포함한 송신기 출력 단에 35dB의 감쇠기를 붙여 측정한 출력 전력 및 ACPR 특성은 그림 19에 나타내었다.

주파수 합성부의 제작에 이용한 위상동기루프의 칩은 모두 5 V에서 동작하며, 세 부분으로 구성하였다. 첫번째 부분은 주파수 상/하향을 위한 UHF 주파수 합성기로서 주파수 상향기 및 주파수 하향

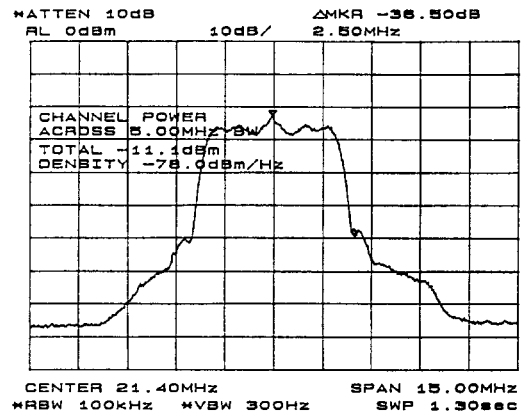


그림 17. 측정된 송신기 입력 W-CDMA 파형(입력 전력 = -11.1 dBm, F=21.4 MHz)
Fig. 17. The measured W-CDMA signal of the transmitter at the input port(Pin=-11.1 dBm, Fin=21.4 MHz).

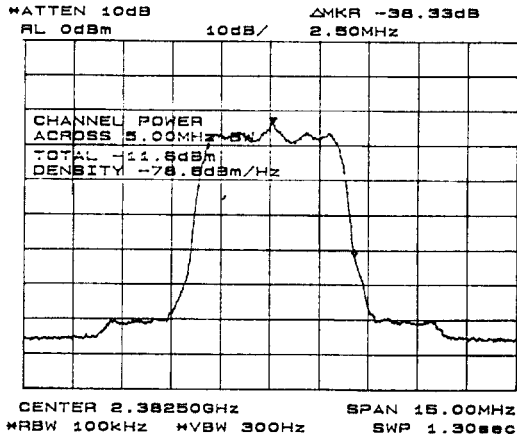


그림 18. 주파수 상향기의 ACPR 특성(출력 전력 = -11.6 dBm, ACPR = -38.33 dBc)

Fig. 18. The ACPR characteristic of the upconverter ($P_{out} = -11.6$ dBm, $ACPR = -38.33$ dBc).

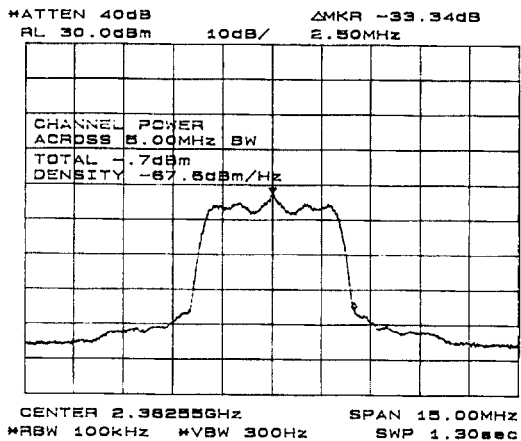


그림 19. 전체 송신기 ACPR 특성(출력 전력 = 34.3 dBm, ACPR = -33.34 dBc)

Fig. 19. The ACPR characteristic of the transmitter ($P_{out} = 34.3$ dBm, $ACPR = -33.34$ dBc).

기에 2152.55 MHz의 주파수 성분을 제공한다. 이

표 7. 주파수 합성부의 위상 잡음 특성

Table 7. Measured phase noise characteristic of the frequency synthesizer.

오프셋 주파수	UHF 주파수 합성기	주파수 상향 IF PLL	주파수 하향 IF PLL
1 kHz	< -60 dBc/Hz	< -75 dBc	< -75 dBc
10 kHz	< -75 dBc/Hz	< -95 dBc	< -95 dBc
100 kHz	< -95 dBc/Hz	< -115 dBc	< -115 dBc

주파수 합성기는 수신 경로에서 수신 RF 입력 주파수를 159.95 MHz의 중간 주파수로 변환시켜 주고, 송신 경로에서 229.95 MHz의 중간 주파수를 송신 주파수로 변환시켜 주는 공통 부분이다. 2152.55 MHz의 주파수에서 국부 전력은 주파수 상향기의 믹서 구동 레벨로 맞추었고, 중심 주파수 (2152.55 MHz)로부터 50 kHz 떨어진 곳에서의 스퓨리어스 성분의 크기는 -65 dBc를 얻었다. 위상 잡음의 특성은 표 7에 나타내었다. 두 번째 부분은 주파수 상향을 위한 중간 주파수 합성기로서 208.55 MHz의 주파수에서 7 dBm의 출력 전력을 얻었고, 일정한 오프셋 주파수에서 위상 잡음의 크기를 측정하여 표 7에 나타내었다. 세 번째 부분은 주파수 하향을 위한 중간 주파수 합성기로서 138.55 MHz의 주파수에서 -16 dBm의 출력 전력을 얻었고, 일정한 오프셋 주파수에서 위상 잡음의 크기를 측정하여 표 7에 나타내었다.

V. 결 론

CDMA WLL 기지국용 5 MHz RF 채널 대역폭을 이용하여 넓은 동작 영역과 고감도 특성을 가지는 수신기 및 우수한 스퓨리어스 방사 억제 특성을 나타내는 송신기의 구현에 대하여 기술하였다. 수신부는 수신 감도 및 선택도를, 송신부는 스퓨리어스 방사 억제(인접 채널에 의한 전력 억압, ACP-R)를 시스템의 주요 성능 평가 파라미터로 설정해 시뮬레이션 한 후, 송수신기를 제작하여 성능 규격

을 만족하는 좋은 결과를 얻었다.

-99 dBm을 인가한 수신기의 잡음 지수 시뮬레이션 결과는 2.72 dB를 얻었으나(표 2), C/N비를 이용한 수신기의 근사화 된 잡음 지수는 2.86 dB로 측정(그림 11)되어 표 1에 제시된 5.0 dB이내의 규격을 만족하였다. 수신기의 통과 대역내에서의 진폭 및 위상 왜곡량의 정도를 평가하기 위하여 RF 입력 전력을 인가하지 않은 상태에서 수신기 출력 단에서의 잡음 전력 평탄도(Tilt)는 통과 대역 내에서 0.5 dB의 우수한 특성을 얻었다. 자동 이득 제어 회로는 인가되어지는 입력 전력 레벨에 따라 믹서 및 증폭기의 이득을 변화시켜 일정한 출력 레벨이 유지되는데 측정 결과 수신기의 입력 전력이 -102 dBm까지 일정한 출력 레벨이 유지되어 60 dB이상의 동작 영역을 가졌다. 전체 시스템의 역방향 연동을 통한 기지국 수신기에서의 W-CDMA 신호의 특성을 고찰한 결과 입력 신호의 파형 및 특성을 그대로 유지하면서 일정한 전력 레벨을 유지하였다.

순방향 전력 제어를 위한 감쇠기의 측정 결과 약 80 dB 정도의 가변 이득의 제어가 가능하고, 송신기 입력에 5 MHz의 RF 채널 대역폭을 가지는 W-CDMA 신호를 인가하여 주파수 상향기 및 송신기 최종 출력 단에서 측정된 스퓨리어스 방사 억제 특성은 -54.45 dBc(그림 18) 및 -49.46 dBc(그림 19)를 얻어 광대역 코드분할 다원접속 WLL 기지국 송신 대역내 타 채널에서의 규격(표 3)을 잘 만족하였다. 주파수 상/하향용 UHF 주파수 합성기를 시스템 설계 요구 사항에 따라서 설계 및 제작한 결과 주파수 및 전력 레벨, 스퓨리어스 특성은 시스템 요구사항을 만족하였지만 중심 주파수로부터 110 kHz 이상 떨어진 곳에서 위상 잡음특성은 미세 조정 과정을 통해 안정된 스퓨리어스 특성을 얻었다. 주파수 상향 및 하향을 위한 중간 주파수 합성기는 주파수 및 전력 레벨, 스퓨리어스 특성 모두가 설계치에 잘 일치하였다.

앞으로 연구가 더욱 필요한 부분은 송수신기 전체의 위상 변화 및 위상 잡음의 정확한 측정이나 모

델링이 이루어져 수신 감도 및 방사되는 스퓨리어스 성분의 크기에 어떠한 영향을 미치는지를 정확히 해석해야 할 것이다.

참 고 문 헌

- [1] ETRI, *WIRELESS LOCAL LOOP*을 위한 무선 접속 규격(안) *VERI. 5*, 1997 3.
- [2] P. Vizmuller, *RF Design Guide*, Artech House, Chap. 1, 1995.
- [3] S. J. Erst, *Receiving System Design*, Artech House, Chap. 4, 1984.
- [4] 정영준, "WLL 기지국용 수신기 설계 및 구현", *통신학회 하계종합학술발표회*, pp.120-123, 1997. 7. 4.
- [5] 정영준 외3, "Wideband CDMA PCS 기지국용 송수신기 설계 및 구현", *한국전자과학회 논문지*, 제8권 제1호, pp.61-72, 1997. 2.
- [6] Yu. Suzuki, "PLL 신시사이저의 기초와 응용 설계," *월간전자기술*, vol. 6, no. 4, pp. 60-66, 1993.
- [7] V. Manassewitsch, *Frequency Synthesizers Theory and Design 3rd*, John Wiley & Sons, Chap. 5, 1987.
- [8] Lawrence E. Larson, *RF and Microwave Circuit Design For Wireless Communications*, Artech House, Chap. 2, 1996.
- [9] *HP-EEsof Microwave & RF System Design*, Hewlett Packard Co., 1995.
- [10] P. Washkewicz, "Standardized IS-95 CDMA system simulation aids advanced designs," *RF Design*, pp.47-54, Oct. 1996.
- [11] S. W. Chen, et al, "Effects of nonlinear distortion on CDMA communication systems," *IEEE MTT-S Digest*, pp.775-778, 1996.

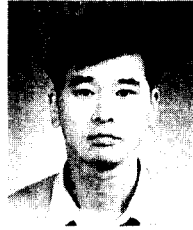
정 영 준



1963년 6월 7일생
1992년 2월 : 제주대학교 전자공학
(공학사)
1994년 2월 : 서강대학교 대학원 전
자공학과(공학석사)
1994년 3월~현재 : 한국전자통신연

구원 이동통신단 무선기술실 연구원
[주 관심분야] 이동통신 RF 회로 설계 및 시스템 시뮬레이
션, 비선형 회로 설계, MMIC

강 상 기



1966년 5월 6일생
1988년 2월 : 단국대학교 전자공학
과(공학사)
1994년 2월 : 단국대학교 대학원
전자공학과(공학석사)
1994년 2월~현재 : 한국전자통신

연구원 이동통신단 무선기술실 연구원
[주 관심분야] 소자 모델링, 대전력 증폭기, 이동통신 RF
부품

이 일 규



1967년 12월 11일생
1992년 2월 : 충남대학교 전자공학과
(공학사)
1994년 2월 : 충남대학교 대학원 전
자공학과(공학석사)
1994년 2월~현재 : 한국전자통신

연구원 이동통신단 무선기술실 연구원
[주 관심분야] 이동통신 RF 회로 설계 비선형 회로 설계

김 봉 검



1960년 4월 21일생
1982년 2월 : 건국대학교 전자공학
과(공학사)
1984년 8월 : 건국대학교 대학원
전자공학과(공학석사)
1984년 10월~1991년 8월 : 현대

전자산업(주)
1991년 11월~현재 : 한국전자통신연구원 이동통신단 무
선기술실 선임연구원
[주 관심분야] 이동통신 RF 회로 및 시스템 설계, 비선형
회로 설계

홍 헌 진



1963년 10월 28일생
1986년 2월 : 충남대학교 전자공학과
(공학사)
1990년 2월 : 충남대학교 대학원 전
자공학과(공학석사)
1990년 2월~현재 : 한국전자통신연

구원 이동통신단 무선기술실 연구원
[주 관심분야] 이동통신 RF 부품 및 필터 설계