

위성 B-ISDN/ATM 망에서 ATM 셀 전송성능 개선을 위한 채널코딩 알고리즘

正會員 金 信 才*, 金 炳 均**, 崔 炯 辰**

The Channel Coding Algorithm for the ATM Cell QoS Improvement in Satellite B-ISDN/ATM Network

Shin Jae Kim*, Byung Kyun Kim**, Hyung Jin Choi** *Regular Members*

요 약

위성 B-ISDN/ATM 망을 구축하기 위해서는 위성채널의 열악한 BER 환경에서도 신뢰성 있는 전송이 보장되어야 한다. 따라서 BER 성능개선을 위한 채널부호화의 사용이 필수적이며 또한 연립성 에러로 인한 전송성능 저하의 단점을 보완하는 알고리즘 개발이 필요하다. 채널부호화로서 콘볼루션 코딩과 결합코딩(Concatenated coding)을 고려할 수 있으며, 각 코딩의 특성에 따라서 보상 알고리즘이 달라져야 한다.

본 논문에서는 결합코딩을 사용하였을 때의 지상망과의 연동을 고려한 위성 시스템 구조를 제시하고 전송성능 개선을 위한 채널코딩 알고리즘을 제안하며, 모의수행을 통하여서 시스템의 성능을 평가한다. 세부적으로, ATM 셀을 RS 블록코딩에 적용하는 4가지의 형태를 제안하며, ATM 셀 손실률을 개선시키기 위한 방법으로 BCH 코딩을 사용하여 ATM 셀 헤더를 강화시킨 새로운 형태의 55 바이트 ATM 셀 구조를 제안한다. 그리고 이 코딩효과를 충분히 발휘할 수 있도록 Outer 인터리빙 및 셀 단위 인터리빙 구조를 제안한다.

ABSTRACT

To implement satellite B-ISDN/ATM network, it needs to guarantee reliable transport via satellite in the poor BER environment. So, it requires to use channel coding(FEC: Forward Error Correction) schemes for improvement of BER performances, but these coding effects evoke burst errors and degradation of the QoS. Therefore we have to investigate new algorithm that compensates these weaknesses. We consider convolutional coding and concatenated coding among FEC schemes as FEC for satellite transmission and choose different compensational algorithm by

*서울이동통신 중앙연구소
**성균관대학교 전자공학과
論文番號: 96354-1118
接受日字: 1996年 11月 18日

the error characteristics of the using type of FEC.

In using concatenated coding, this paper proposes the satellite system structure for interconnection to the terrestrial network and proposes the channel coding algorithm for improvement of transmission performances. We execute performance evaluation of the proposed algorithm by computer simulation. In detail, we propose 4 types of application ATM cell to the block coding(Reed-Solomon) and propose the new 55 byte ATM cell that enforces the error correction capability of cell header by the BCH coding. Then we propose the outer interleaver and the cell unit interleaver that evoke maximum coding effect of BCH code.

I. 서 론

위성 B-ISDN/ATM 망을 통한 ATM 서비스를 하기 위한 기초 연구는 ITU-R Working Party 4B를 중심으로 위성 ATM 인터페이스, 위성 중계기, 위성 OBP(On-Board Processing), 위성 전송지연으로 인한 영향, 망 관리, 위성채널에서의 에러 특성에 의한 영향 등에 관한 포괄적인 연구가 진행 중에 있다[01]. 이 중에서 위성 B-ISDN/ATM 망을 구축하기 위해서 지상망에 비해 가장 큰 문제점으로 제시되는 것은 위성에서의 전송지연 측면과 위성채널의 열악한 환경에 따른 에러 특성 등을 들 수 있다. 전자는 혼합망의 초기 단계에서 정지위성을 통한 초고속 정보통신망의 구축에 따른 피할 수 없는 결과로서, 이를 보완하기 위해 지상망에서 고속 데이터 전송을 위한 SSCOP의 응용 방법에 대한 연구가 진행중이다[03]. 후자는 위성채널에서 발생하는 에러가 ATM 셀 전송에 미치는 영향으로 유럽의 EUTELSAT[02][03], 혹은 미국의 COMSAT[04][05][06] 등에서 열악한 환경하에서도 효율적인 전송방안에 대한 연구가 진행중이다. 본 논문에서는 후자에 초점을 맞추어 ATM 셀 전송성능의 향상 방안을 제시한다.

위성채널의 열악한 BER 환경하에서 신뢰성 있는 전송을 하기 위한 방안으로 채널부호화 기법의 사용이 필수적이다. 이 채널부호화로 인해 안정적인 BER 성능을 유지할 수 있으나 에러 특성이 랜덤에러에서 연집에러로의 변화로 인해 셀 전송성능(QoS)의 성능저하를 초래하게 된다. 따라서 연집성에러에 의한 단점을 보상할 수 있는 알고리즘 개발이 필요하다.

채널부호화의 기법으로서 콘볼루션 코딩만을 사용하는 방법과 콘볼루션 코딩과 블록코딩이 결합된 결합코딩(Concatenated coding)을 사용하는 방법을

고려할 수 있다. 두 방법에 있어 최종출력단에서 전자인 경우 비트단위의 출력이 되지만 후자인 경우에는 심볼단위의 출력으로 에러특성이 차이가 있다. 즉 전자는 연집성 비트에러가 발생되나 후자는 블록코딩 단위별로 에러가 발생되므로 연집성 심볼에러로 볼 수 있다. 이 연집성 심볼에러 각각은 다시 연집성 비트에러로 변환이 되어 셀 전송성능에 영향을 주게 된다. 따라서 채널부호화 기법에 따라 셀 전송성능을 개선하기 위한 알고리즘은 각 채널부호화의 에러특성에 맞게 설계되어야 된다. 콘볼루션 코딩만을 사용한 채널부호화 기법에 대한 보상 알고리즘은 참고문헌[07]에 제시하였으며, 본 논문을 통해서도 결합코딩을 사용할 때의 지상망과 위성망의 인터페이스 구조를 및 성능개선을 위한 알고리즘을 제시한다. 본 논문에서 사용될 결합코딩으로 Inner 코딩으로 구축장이 7, 코드율이 1/2, 다항방정식(Polynomial equation)이 (133, 171)인 콘볼루션 코딩을 사용하였고, Outer 코딩으로는 RS(Reed-Solomon) (255, k) 코딩을 기본 코딩으로 Shortened RS 코딩을 사용하였다.

본 논문에서는 블록코딩에 ATM 셀을 적용하는 방법으로서 4가지의 형태를 제안하며, 셀 전송능력을 향상시키기 위한 방안으로 셀 헤더 HEC의 에러정정능력을 BCH 코딩으로 강화시킨 55 바이트로 구성된 새로운 셀 형태를 제안한다. 그리고 RS 디코더에서 발생하는 연집성 심볼에러를 랜덤성 에러로 변환하기 위한 Outer 인터리버를 제안하고 또한 심볼에러가 연집비트에러로 전환되면서 발생하는 전송성능 열화를 방지하기 위한 셀 단위 인터리버 구조를 제안한다. 본 논문에서 제시되는 알고리즘의 성능평가는 주로 모의수행을 통해서 수행되며, 이 모의수행의 결과는 셀 전송성능에 대해서 수식적으로 구한 상한 한계를 통해 검증할 것이다.

II. 결합코드(Concatenated coding) 성능 분석

결합코드는 기본적으로 Inner 코드로 콘볼루션 코딩을 Outer 코드로는 RS 코딩을 사용한다.

2.1 콘볼루션 코드

Inner 코드로서 송신기에서는 콘볼루션 코딩을 사용하며, 수신기에서는 연판정(Soft-Decision) Viterbi 디코더를 통하여 복호함을 가정한다[08][09]. 본 논문에서 모의수행을 위해 쓰여진 엔코더는 구속장이 7, 코드율이 1/2, 다항방정식이 (133, 171)인 콘볼루션 코딩으로, 다항방정식을 식으로 나타내면 다음과 같다.

$$\begin{aligned} Up(x) &= 1 + x + x^3 + x^4 + x^6 \\ Down(x) &= 1 + x^3 + x^4 + x^5 + x^6 \end{aligned} \quad (1)$$

연판정 Viterbi 디코더의 출력 BER 값은 구속장이 4 이상이 되면 이론적인 접근이 난이하여, 본 논문에서는 참고문헌[10]의 BER 근사식을 이용한다.

$$p \sim C \cdot n_e \exp(-d_f E_s/N_0) = C \cdot n_e \exp(-d_f R E_s/N_0) \quad (2)$$

위 수식에서 d_f 는 자유거리(free distance)를 나타내며, R 은 코딩 속도(coding rate), 그리고 n_e 는 자유거리 d_f 에서 코드워드에 의해 발생된 에러비트수, C 는 수정 성분으로서 본 논문에서는 $(e^{2.512 - E_b/N_0})^2$ 값을 사용한다. 이 근사수식은 낮은 E_b/N_0 에서는 약간의 오차가 있으나 높은 E_b/N_0 에서는 거의 정확하게 근사화 된다.

수신기에서 발생하는 에러 특성은 연판정 Viterbi 디코더의 영향으로 연집에러가 발생하며, 평균 연집에러 길이는 약 6비트 정도가 되며 연집에러의 분포는 30 비트 이상 분포된다[07][11][12].

2.2 Reed-Solomon 코드

결합코드의 Outer 코드로서 RS 코드는 심볼단위의 코딩을 행하며, 기본적으로 GF(Galious Field)를 사용하여 코딩을 하게 된다[08].

Outer 코드로 사용되는 블록 코드인 RS코드의 BER에 대한 근사화 식은 다음과 같다[13].

$$P(e) \leq \sum_{i=t+1}^n \frac{i}{2(n-1)} \binom{n}{i} p_s^i (1-p_s)^{n-i} \quad (3)$$

여기서 n 은 RS코딩 단위블럭 심볼수이며, t 는 에러정정 가능한 심볼수이며, p_s 는 RS 디코더 입력 심볼 에러율로서 식(4)와 같이 나타낼 수 있다.

$$p_s = 1 - (1-p)^n \quad (4)$$

p 는 Viterbi 디코더 출력단에서의 BER을 나타내며, π 는 에러 발생 특성에 따라서 변하는 팩터로서 RS 코더 앞단에서의 에러 특성에 따라서 값이 달라지게 된다. 만일 BPSK 전송과 환경을 AWGN 만으로 가정할때 RS(255, k)를 기본구조로 하는 블록 코딩적용시 팩터 $\pi = m(8)$ 이 된다. 그러나 결합코딩을 사용할 때 이 팩터는 Viterbi 디코더의 특성에 따라 달라지며 본 논문에서 사용되는 Viterbi 디코더의 특성에 의해 $\pi = 3$ [14]이 된다.

III. ATM 셀 전송성능 향상을 위한 방안

본 장에서는 Outer 코드인 RS 코딩에 ATM 셀을 적용하는 4가지의 방법을 제안한다. BCH 코드를 사용 셀 헤더의 에러정정능력을 강화시키는 방안 및 이 BCH 코드가 연집성 에러 환경하에서 성능저하없이 동작하기 위한 인터리버구조를 제안한다.

3.1 ATM 셀을 RS 코딩에 적용 방안

바이트 단위로 정렬된 ATM 셀을 RS 코드에 적용하기 위해서는 8 비트를 하나의 심볼로 구성하는 RS(255, k) 코드가 제일 적당한 기본 코드가 된다. Shortened RS 코드에 ATM 셀을 적용하는 방법을 (그림 1)에 제시한다.

(그림 1)을 각 코딩 단위로 다시 한 번 표현하면 다음과 같이 나타낼 수 있다.

- 1개의 ATM 셀 보호용 RS:(53 + 2t, 53)
- 2개의 ATM 셀 보호용 RS:(106 + 2t, 106)
- 3개의 ATM 셀 보호용 RS:(159 + 2t, 159)
- 4개의 ATM 셀 보호용 RS:(212 + 2t, 212)

위 RS 코딩 단위 들은 코딩 Redundancy 비트까지 포함해서 255 심볼이 넘어서지 않도록 해야한다. 따라서 최대 4개의 ATM 셀까지 포함할 수 있으며 이때 에러 정정심볼은 최대 21개 까지 가능하지만 본 논문

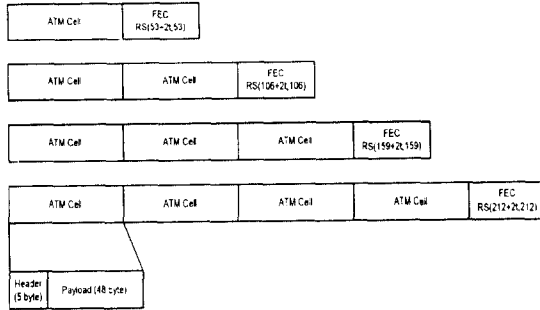


그림 1. Reed-Solomon 코딩에서의 ATM 셀을 적용하는 방법
Fig. 1 Application methods of ATM cell to Reed-Solomon (255, k)

에서는 채널 효율을 고려 정정가능한 심볼수로 {2, 4, 6, 8, 10} 심볼을 가정한다. 코딩에 의한 정정능력을 많이 두면 Redundancy 심볼이 늘어나서 채널 효율이 나빠지며, Redundancy 심볼이 적으면 RS 코딩효과가 저하되어 둘 사이의 절충이 필요하다. 본 논문에서는 이러한 관계에 대해 특정하게 나타내지 않고 다만 행해질 수 있는 다수개의 경우에 대해 각 채널조건에 맞게 수식적인 접근을 통한 성능분석을 V장에서 행하며, 위 4가지의 방안 중에서 실제 사용에 있어 가장 유력한 형태로서 4개의 ATM셀을 블록단위로 하는 RS(212 + 2t, 212)에 대한 모의수행 결과를 VI장에서 제시한다.

3.2 ATM 셀 헤더의 에러정정능력 강화 방안

1비트 에러 정정가능한 기존 ATM 셀 헤더의 에러 정정능력을 강화시켜 안정적인 전송을 보장하기 위한 방안으로서 BCH 블록코딩을 사용하는 방안을 제시한다. 이 방식은 기본 BCH(63, k) 코드를 사용하여 헤더 32 비트를 보호하는 방안으로 다음과 같이 세가지의 Shortened BCH 코딩을 사용할 수 있다.

- 2비트 정정: 12 비트 ⇒ (44, 32)
- 3비트 정정: 18 비트 ⇒ (50, 32)
- 4비트 정정: 24 비트 ⇒ (56, 32)

위 방식을 사용할 때 기존의 셀 헤더에 있던 8 비트의 CRC 비트를 제거한후에 실제 필요한 정보인 32 비트의 헤더 정보에 대해서만 BCH 코딩을 통해서 셀 헤더의 에러 정정능력을 강화시킴으로서 에러가 열악한 조건하에서도 안정적인 전송이 가능하도록 한다.

본 논문에서 제시하는 Outer 코드는 한 심볼이 8개의 비트로 구성되므로, 각 코딩된 ATM 셀은 바이트 단위로 정렬이 되어 효율적으로 결합코딩에 의해 전송될 수 있다. 따라서 위에서 제시된 세 가지의 방법 중에서 본 논문에서는 바이트 단위로 정렬이 가능한 BCH(56, 32) 코드를 사용하여 셀 헤더를 강화 시키는 방안을 제안한다. Redundancy 비트로 인해 셀 헤더는 기존의 5바이트에서 7바이트로 2바이트가 증가하게 되어 전체 셀은 55 바이트 단위로 구성이 된다. 셀 헤더의 증가로 인한 새로운 55 바이트의 ATM 셀의 구조를 (그림 2)에 제시한다.

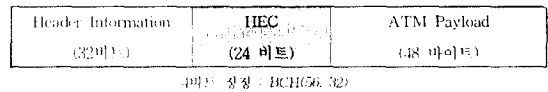


그림 2. BCH 코딩을 적용한 새로운 ATM 셀 형태
Fig. 2 New ATM cell format using BCH(56, 32) code

BCH 코딩을 통하여 ATM 셀 헤더에 대한 에러 정정능력을 강화할 때의 RS 코드에 적용 방법은 앞에서 제시한 방식과 같이 4가지로 구분할 수 있다.

- 1개의 ATM 셀 보호용 RS (55 + 2t, 55)
- 2개의 ATM 셀 보호용 RS (110 + 2t, 110)
- 3개의 ATM 셀 보호용 RS (165 + 2t, 165)
- 4개의 ATM 셀 보호용 RS (220 + 2t, 220)

본 논문에서는 55 바이트의 ATM 셀에 대해서 위 3.1절과 같이 {2, 4, 6, 8, 10}개의 에러정정심볼에 대해 근사수식을 사용하여 상한 한계를 IV장을 통해 고찰할 것이며, 실제 모의수행은 가장 사용이 유력시되는 RS(220 + 2t, 220)에 대한 결과를 VI장에 제시할 것이다.

3.3 연집에러 환경하에서 인터리버를 통한 셀 전송 성능 강화방안

결합코딩에서 주로 연집성 에러를 발생시키는 부분은 Inner 코드이지만, 이부분에서의 에러는 Inner 인터리버에 의해서 충분히 보상해 줄 수가 있다. 다음으로 고려되어야 할 부분은 Outer 코드로서 단위길 이당 에러 정정능력을 초과할 때 이 단위 블록안에서는 연집 심볼에러가 발생한다. 또한 각각의 심볼이

비트단위로 치환될 때 한 개의 에러 심볼은 수개의 에러 비트를 만들어 낼 수가 있다. 따라서 이러한 에러 심볼이 ATM 셀 헤더의 일부분이 기존의 HEC에서는 셀 손실 혹은 셀 오삽입이 발생하며, BCH를 이용한 4비트 에러 정정가능한 셀헤더에서도 같은 영향이 나타난다. 따라서 Outer 코드에서 발생하는 연접 심볼로 인한 전송성능의 저하를 방지하기 위하여 본 절에서는 두가지의 인터리버 구조를 제안한다.

먼저, 연접성 심볼에러를 방지하기 위한 방법으로 RS 디코더 뒷단에 심볼 인터리빙 구조를 제시한다. 이 구조에 대해서 편의상 Outer 인터리버 구조로 정의하여 사용한다. 인터리버의 열과 행의 길이는 각각 1개의 ATM 셀을 구성하는 바이트의 개수로서 정하였다. 그 이유는 각 RS코딩 단위 블록에서 발생한 연접 심볼에러를 여러개(53 개 혹은 55개)의 ATM 셀에 균일하게 분포시켜 랜덤성 에러심볼로 만들어 주기 위한 것이다.

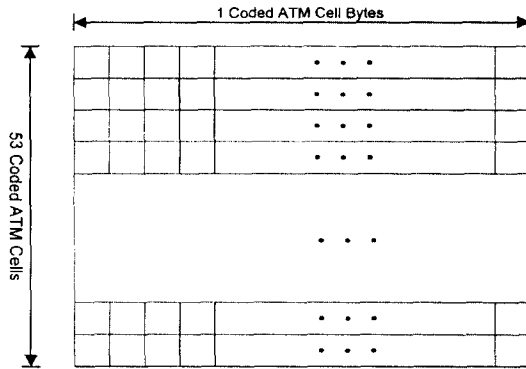


그림 3. Outer Interleaver 구조
Fig. 3 Outer Interleaver structure

위 구조에서 각 행과 열의 요소는 1 심볼(RS(255, K)에서는 1바이트) 단위로 되어 있다. 인코더에서의 인터리버는 각 열마다 1개의 ATM 셀을 포함하며 전체 인터리버 구조로서는 53(혹은 55)개의 ATM 셀을 포함하게 된다. 인터리버의 출력은 행단위로 차례로 출력시킨다. 디코더에서의 Outer 디인터리버 입력은 인코더의 출력 차례와 같이 행 차례로 RS 코딩 단위 블록중에서 실제 정보 영역만을 입력시켜 최종적으로

한 개의 열이 1개의 ATM셀이 되도록 한다. 예를 들어 RS(212 + 16, 212) 코드를 사용할 때 출력은 4개의 행이 최종 출력이 된 후에 한 개의 RS코딩 블록을 형성하고 이 전송된 RS 코딩 블록은 디코더에 의해 디코더의 Outer 디인터리버의 4개의 행에 차례로 입력된다.

다음으로 랜덤화된 심볼에러에 의한 셀 손실을 저하를 방지하기 위한 방법으로서 한 개의 ATM 셀 내부에서 셀 헤더 비트를 분산시키는 인터리빙 방법을 제안하며, 편의상 셀 단위 인터리버로 정의한다. 이 제시 방법은 한 개의 ATM 셀 안에서 셀 단위 인터리빙을 하는 것으로서 각 바이트의 MSB(Most Significant Bit)에 셀 헤더비트를 위치시키고 나머지 7 비트는 유효부하 비트들로 구성한다. 55 바이트의 ATM 셀 형태에서는 54 바이트까지는 1바이트마다 1비트의 헤더 비트를 위치시키고 마지막 55 바이트에는 MSB와 LSB(Least significant Bit)에 헤더비트를 두어서 헤더의 56 비트를 55 바이트의 ATM 셀 전체에 분포시킨다.

IV. ATM 셀 전송성능 분석

위성전송에서의 QoS 파라미터는 셀 손실률(CLR), 셀 오삽입률(CIR), 셀 에러율(CER) 등으로 분류하여 분석할 수 있다[04][15]. 본 논문에서는 이러한 파라미터 중에서 에러에 의해 가장 민감하게 작용하는 셀 손실률에 대해 분석한다.

일정 블록 길이 안에서 다수의 에러가 동시에 발생할 확률은 다음과 같이 정의할 수 있다.

$$P_r(n) = \binom{L}{n} p^n (1-p)^{L-n} \quad (5)$$

$$P_b(n) = \frac{\bar{B}^n}{n!} e^{-\frac{Lp}{\bar{B}}} \sum_{j=0}^{\infty} \left(\frac{Lp}{\bar{B}} e^{-\bar{B}} \right)^j \frac{j^n}{j!} \quad (6)$$

여기서, p 는 최종단 출력 BER, L 은 설정된 블록의 수 (셀 헤더:40 혹은 56, 셀 유효부하:384), n 은 에러비트의 수를 의미한다. \bar{B} 는 최종단 출력 평균 연접에러 길이로서 겹합코딩의 모의수행을 통한 분석결과 4 정도가 된다. 최종단 출력이 랜덤한 단일 비트 에러 환경에서의 확률은 식(5)와 같이 Binomial 분포로 나타낼

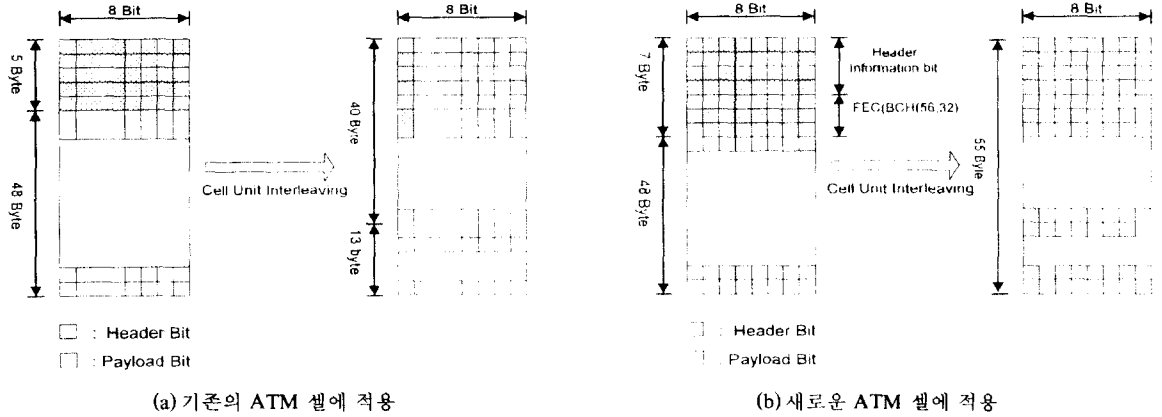


그림 4. CLR 성능향상을 위한 Cell Unit Interleaving 방법
 Fig. 4 Cell unit interleaving method for improvement of CLR performance

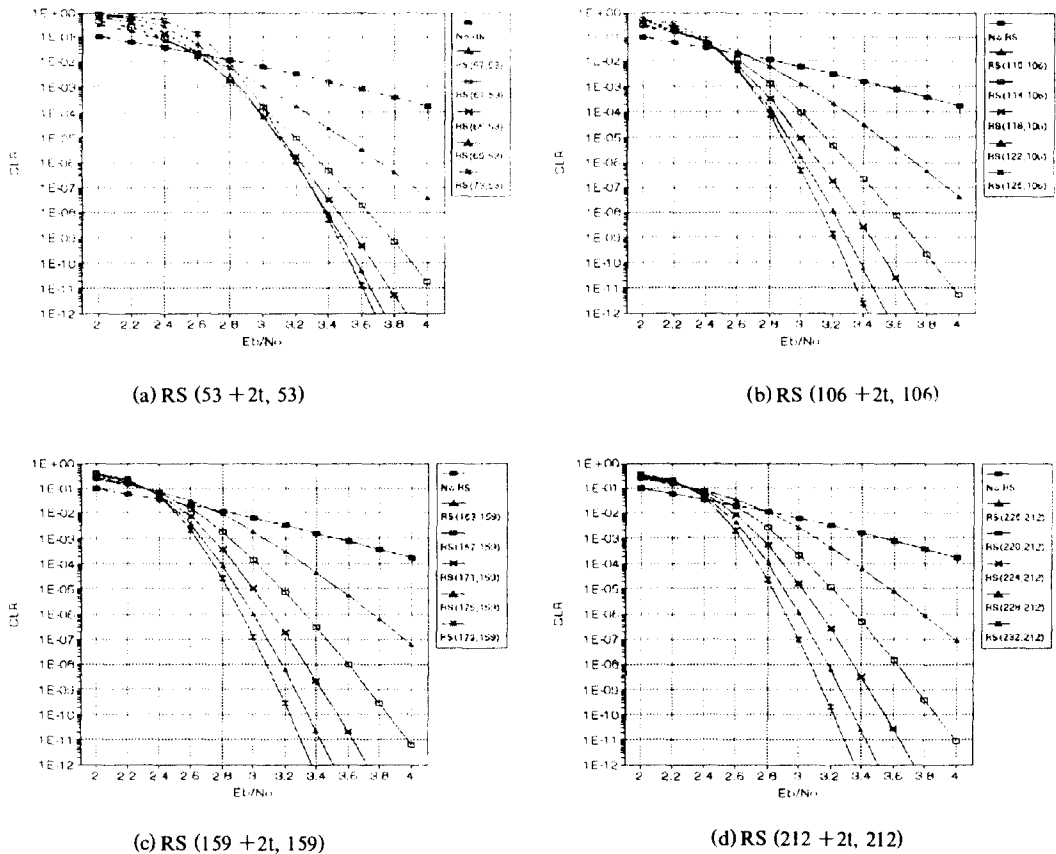


그림 5. 연집에러 환경에서의 기존 53 바이트 ATM 셀의 셀 손실률
 Fig. 5 CLR performances of conventional 53 byte ATM cell in burst error environment

수 있으며, 연집성 에러인 경우 식(6)와 같이 Neyman-A contagious model을 사용하여 나타낼 수 있다.

40 비트로 구성된 기존의 셀 헤더는 CRC-8의 HEC에 의해서 1비트 에러 정정 및 다수비트의 에러 검출을 할 수 있다. HEC가 이중모드 동작(검출모드와 정정모드)을 한다고 가정할 때 셀 손실률(CLR)은 다음과 같다.

$$CLR = 1 - P(0) - P(0) \cdot P(1) \quad (7)$$

BCH 코딩을 통하여 셀 헤더의 에러정정능력을 강화시킬 때의 셀 손실률은 BCH 디코더에서의 정정능력을 넘어서지 않으며, 이때 HEC의 운용은 단지 에러의 존재유무에 의해서만 결정함을 가정한다.

$$CLR = 1 - \sum_{i=0}^{l=4} P(i) \quad (8)$$

위 식은 BCH(56, 32)로 4비트 에러 정정이 가능할 때의 셀 손실률을 나타낸다. 식(7)과 식(8)은 최종단 에러 특성에 따라서 현격한 성능차이가 생긴다. 최종단 출력에러가 랜덤한 단일 비트 상황에서는 식(7)과 식(8)에 식(5)를 사용하여 셀 손실률을 구하나 연집 에러 비트에서는 식(6)을 이용하여 셀 손실률을 구하게 된다.

(그림 5)는 1 비트 정정가능한 기존의 HEC의 이중모드동작에 의한 연집에러환경에서의 셀손실률에 나타낸다. 이 결과는 가장 이상적인 결합코딩을 가정한 것으로서 결합코딩을 사용할 때 최종 RS 디코더의 출력단에서 예측할 수 있는 셀 전송성능의 상한한계를 보여준다. 즉 실제 모의수행 결과에서는 Inner 인터리버의 Depth를 5로 정함에 따라 이 이상적인 값보다는 셀 손실률이 다소 저하됨을 고찰할 수 있다.

(그림 5)에서 No RS로 되어 있는 선은 Outer 코드(콘볼루션 코딩)만을 했을 때의 연집에러비트 환경에서의 결과로서 E_b/N_0 가 열악한 약 2.8 dB 이하에서는 결합코드에 의한 것보다 오히려 좋은 성능이 되나, 그 이상에서는 결합코드에 의한 성능이 우월함을 볼 수 있다. 연집성 에러 환경에서는 HEC의 1 비트 정정능력의 범위를 초과하여 에러가 발생된 부분은 셀 손실로 간주하므로 위 결과에서 보는 바와 같이 E_b/N_0 에 선형적으로 비례한 값이 된다.

기존의 1 비트 정정가능한 53 바이트의 셀 전송에

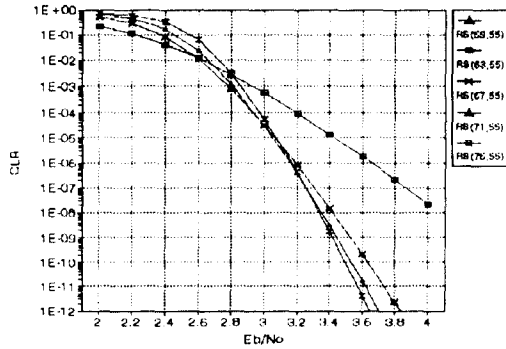
있어 본 논문이 제안하는 Outer 인터리버의 사용은 성능면에서 큰 개선을 가져오지는 못한다. 그 이유는 RS 코딩 블록단위가 2개의 ATM셀 이상을 포함할 경우 한 블록에서 에러가 발생하게 되면 Outer 디인터리버에 의해 행단위로 배열되면서 심볼에러들이 다소 분산이 될 수 있으나, 동일한 열에 2개 이상의 심볼에러를 분산하거나 혹은 인접열에 1 심볼 이상의 에러가 분산될 확률이 있기 때문이다. 이 경우, HEC 이중동작 알고리즘에 의해 셀 손실률이 발생된다. 이에 대한 결과는 V장의 모의수행 결과를 통해 한 번 더 고찰하기로 한다.

본 논문에서 새로운 ATM 셀 형태로서 헤더의 에러 정정능력을 강화시킨 55 바이트 ATM 셀에 대해서 최종단 출력이 연집성에러를 가질 때의 셀 손실률에 대한 분석을 (그림 6)에 나타내었다. (그림 5)와 마찬가지로 완벽한 Inner 인터리버를 가정하였을 때에 결합코딩만에 의한 셀 전송성능의 상한 한계를 나타내고 있다.

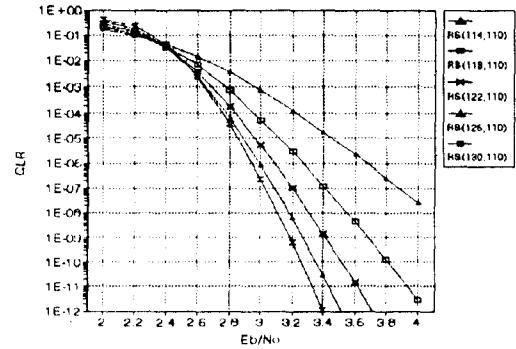
위 결과로부터 연집성에러 환경하에서는 앞에서 예측한대로 4비트의 에러 정정능력을 갖고 있는 새로운 HEC에 의해서도 기존의 CRC-8의 HEC에 의한 성능에 비해 차이가 없음을 (그림 5)의 결과와 비교함으로써 고찰할 수 있다. 즉 두 결과는 약간의 차이는 있으나, E_b/N_0 에 선형적으로 성능이 변함을 볼 수 있다. 이는 RS 디코더의 최종단 출력에서의 연집성 에러가 발생하게 되면 4비트 이상의 에러가 연속적으로 발생되기 때문에 4비트 정정가능한 HEC 로도 연집 에러에 대한 성능열화를 막아낼 수 없음을 시사하고 있다. 따라서 55바이트의 새로운 ATM 셀 형태를 사용할 때에는 연집성심볼에러 및 연집비트에러를 랜덤하게 만들어 주기 위한 Outer 인터리버 및 셀 단위 인터리버의 사용이 필수적임을 고찰할 수 있다.

(그림 7)에 55 바이트의 새로운 ATM셀에 대해서 최종단 출력에러가 완벽하게 랜덤단일비트에러 특성으로 변할 때의 셀 손실률에 대한 결과를 제시한다. 이 결과는 본 논문이 제시하는 구조의 가장 이상적인 결과로서 셀 손실률의 상한 한계를 제시해 주고 있다.

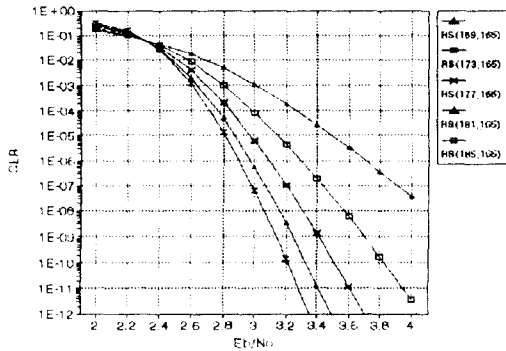
(그림 7)은 본 논문에서 제안하는 55 바이트의 ATM 셀 형태에 있어서 가장 이상적인 셀 손실률을 나타내는 것으로서 E_b/N_0 적인 측면만을 고려할 때 3 dB 정도에서도 광 케이블에 의한 셀 전송과 같은 성능을



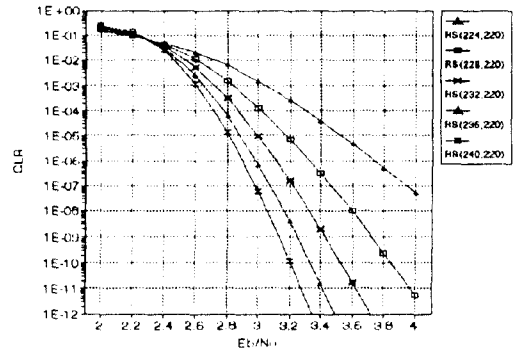
(a) RS (55 + 2t, 55)



(b) RS (110 + 2t, 110)



(c) RS (165 + 2t, 165)



(d) RS (220 + 2t, 220)

그림 6. 연집에러 환경에서의 새로운 55 바이트 ATM 셀의 셀 손실률
Fig. 6 CLR performances of new 55 byte ATM cell in burst error environment

발휘하고 있음을 보여주고 있다. (그림 7(a))에서 여러 정정 심볼이 많음에도 성능이 더 열화된 이유는 성능평가의 기준을 E_b/N_0 측면만을 고려할 경우 여러 정정을 위한 심볼은 모두 Redundancy로 간주되므로 3 dB 이하의 저 전력에서는 정정력이 많을수록 성능저하가 생기나 그 이상의 전력에서는 여러 정정력에 비례하여 성능개선이 됨을 결과 곡선의 기울기를 고찰함으로써 예상할 수 있다. (그림 7(b), (c), (d))에서는 3 dB 이하에서도 RS 디코더의 심볼 정정능력이 강화될수록 성능이 좋아짐을 볼 수 있다.

이상의 결과를 비교 분석할 때 결합코드에서의 연집성어러는 Viterbi 디코더에서의 연집심볼어러, RS 디코더에서의 코딩 단위블럭안에서의 연집심볼어러,

그리고 연집심볼에 의한 연집비트어러 세 가지를 고려 할 수 있다. 이들에 대한 보상으로는 충분한 Inner 인터리버의 Depth와 본 논문에서 제시하는 Outer 인터리버 및 셀 단위 인터리버의 사용이 필수적임을 고찰할 수 있다.

V. 전체 시스템 모델링

일반적으로 고려되어지는 결합코딩 부분과 본 논문에서 제시된 Outer 인터리버, Cell Unit 인터리버, 그리고 셀 헤더에 대한 BCH 코딩부를 포괄적으로 포함한 지상망과 위성망의 인터페이스 모델을 제시한다.

지상망을 경유하여 위성 지구국에 도달된 ATM 셀

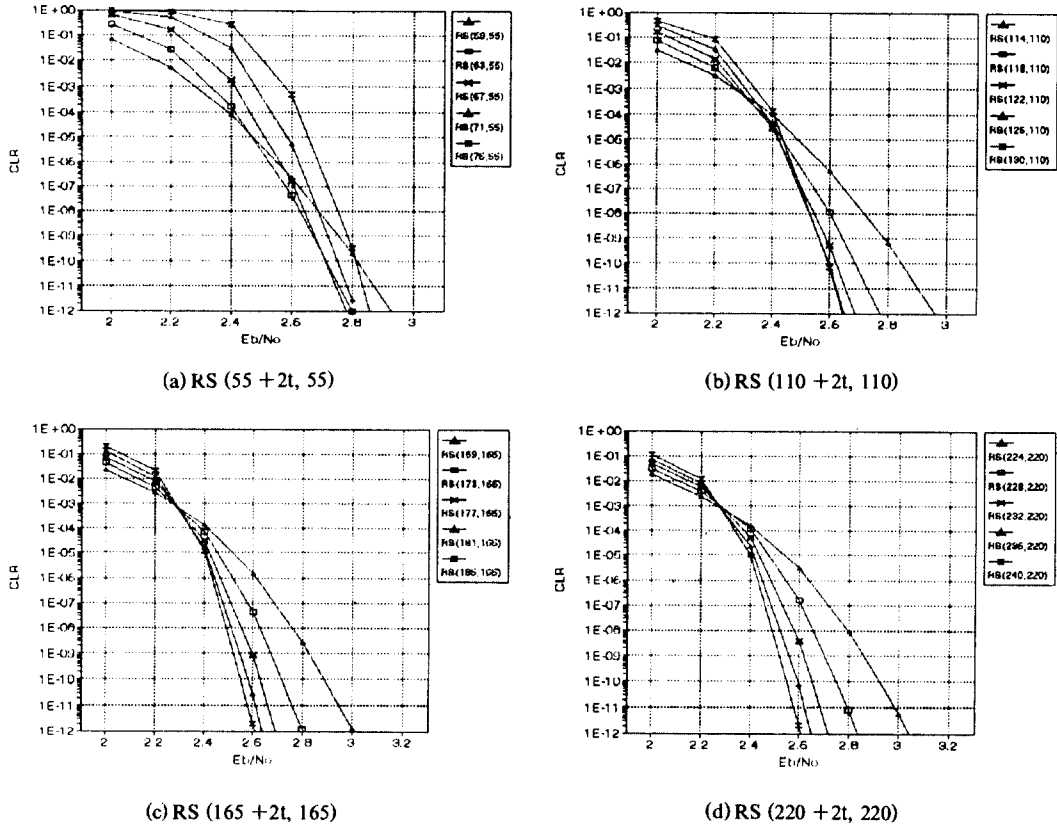


그림 7. 랜덤에러 환경에서의 새로운 55 바이트 ATM 셀의 셀 손실률
 Fig. 7 CLR performances of new 55 byte ATM cell in random error environment

은 지상망 ATM-IF에 의해서 헤더부분과 유효부하부분을 따로 처리한다. 이때 BCH 코딩을 통해서 셀 헤더의 에러정정능력이 강화시킨후 다시 1개의 ATM 셀 단위로 조합하며 필요에 따라서 셀 단위 인터리빙을 수행한다. 이 조합된 셀은 RS 디코더에 의한 연결성 심볼에러를 방지하기 위하여 Outer 인터리빙을 통한 인터리빙을 수행한다. Outer 인터리빙의 출력은 결합코딩에 입력이 되고, Inner 인터리빙의 Depth만큼의 RS 코딩 단위 블록의 지연이 생긴 후에 전송이 되게 된다. 따라서 본 논문이 제시한 채널모델을 사용하여 셀 전송을 할 경우 Outer 인터리빙에 의한 ATM 바이트 수만큼의 지연과 Inner 인터리빙의 Depth 만큼의 RS 코딩 단위 블록의 지연이 발생한다.

수신단에서는 송신단의 역으로 결합코딩의 복호된

출력을 Outer 인터리빙에 행차제로 입력을 시켜서 열 단위로 완전한 ATM셀 정보가 형성된 후에, 한열씩 출력하여 셀 단위 디인터리빙을 통하여 본래의 ATM 셀을 재구성한다. 그리고 헤더강화 여부에 따라서 재구성된 ATM 셀을 헤더부분과 셀 유효부하 영역을 따로 처리하여 본래 지상망을 통하여 전송할 수 있는 구조인 53 바이트로 구성된 ATM 셀을 형성한다. 마지막으로 다른 지상망을 통해서 전송하거나 혹은 사용자망과의 연동을 위해 지상망 ATM-IF를 통하여 지상 송수신 프로토콜을 갖추도록 한다.

VI. 모의수행 결과

본 논문에서는 E_b/N_0 을 기준으로한 결합코딩의

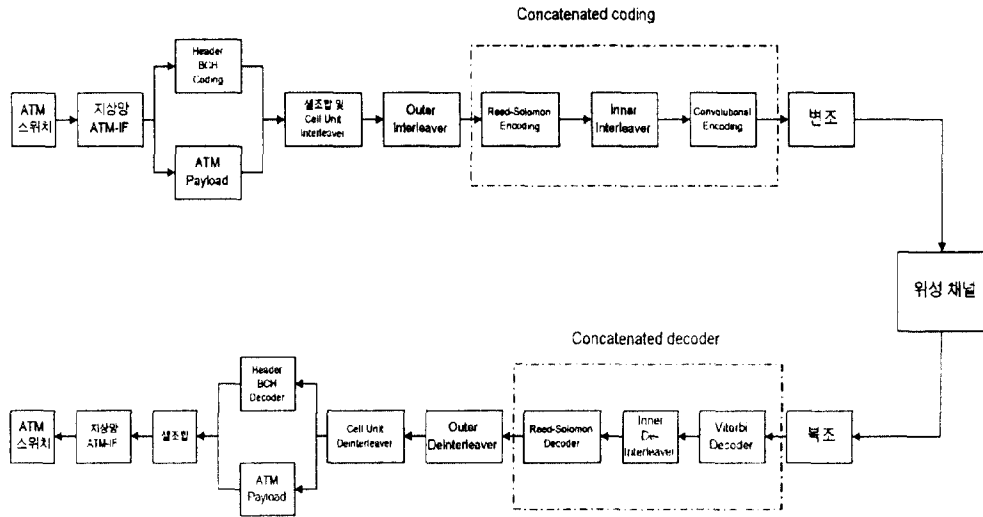


그림 8. ATM 셀 전송을 위한 채널 모델링
Fig. 8 Channel model for ATM cell transmission

BER 성능과 ATM 셀 전송에 있어서 가장 중요한 파라미터인 셀 손실률(CLR)을 성능평가의 대상으로 한다. (그림 8)의 채널모델에서 BER의 측정은 RS 디코더 뒷단에서 행하며, 셀 손실률의 측정은 결합코딩만을 사용하였을 때는 RS 디코더의 뒷단이며, 본 논문에서 제안한 Outer 인터리버 및 셀 단위 인터리버를 사용할 때는 셀조합 전단에서 측정하였다.

본 논문에서 RS 블록코딩에 ATM 셀을 적용하는 방안을 제안하였으며, 이 방식을 기준으로 셀 손실률의 상한치(그림 5, 그림 6, 그림 7)를 이론적으로 고찰하였다. 본 논문의 모의수행에서는 제안된 방식들 중에서 가장 채널효율이 좋은 4개의 ATM 셀을 수용할 수 있는 RS(212 + 2t, 212) 코딩과, RS(220 + 2t, 220) 코딩을 사용함에 따른 결과를 제시함으로써 논문에서 제안하는 시스템에 대한 성능평가를 수행할 것이다. 시스템에서 성능변화의 요인으로는 Inner 인터리버 Depth, RS 코딩의 심볼에러 정정능력, 그리고 Outer 인터리버의 유무등으로 가정하여 이에 대한 분석을 행하였다.

먼저 Inner 인터리버의 Depth에 따른 성능평가로서 8심볼정정이 가능한 RS(238, 220)코드를 사용하여 {5, 10, 15}의 Depth 길이를 변화시켜가면서 구한

BER 결과와 수식적으로 구한 결과를 (그림 9)에 제시한다.

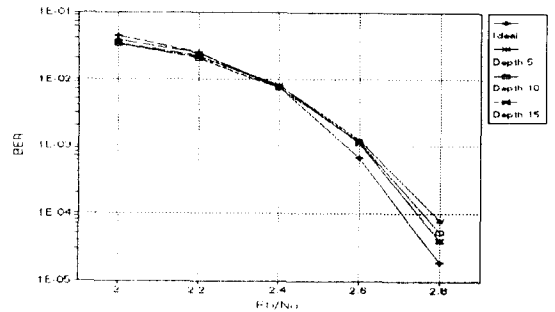


그림 9. Inner 인터리버의 Depth에 따른 BER성능평가
Fig. 9 BER performances according to Inner Interleaver depth

위 결과로부터 Depth의 길이에 비례하여 BER이 개선되어 이상적인 값에 근접하고 있음을 숙지할 수 있다. 그러나 Depth가 커지게 되면 인터리버에 의한 ATM 셀 전송지연이 비례하여 증가하기 때문에 성능이 다소 열화 되지만 적절한 Depth의 길이를 정하여 시스템을 설계해야 한다. 따라서 본 논문에서는 위

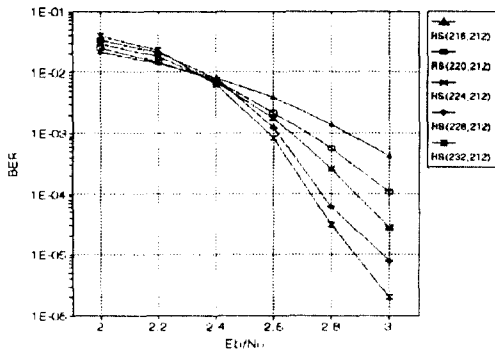
결과를 고려하여 Depth의 길이를 5로 정하여 이후의 모의수행을 수행하였다.

기존 53 바이트의 ATM 셀을 결합코드에 적용시킨 성능분석의 일환으로 RS(212 + 2t, 212) 코딩에 대한 모의수행 결과를 제시한다. Inner 인터리버의 Depth는 5이며 심볼에러 정정수는 {2, 4, 6, 8, 10} 심볼이다.

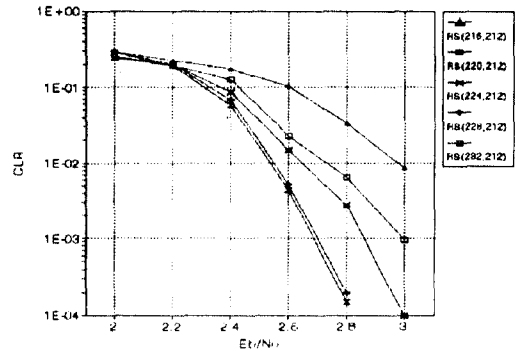
위 모의수행 결과에서는 3 dB 이하의 값에 대한 측정치로서 BER 면에서 2.4 dB를 기준으로 에러 정정 능력에 비례하여 성능이 좋아지고 있다. (그림 10.(b))의 결과는 Outer 인터리버가 없는 결과로서 심볼에러가 비트단위로 변하면서 발생한 연집비트에러에 의해 영향을 받은 셀 손실양이다. (그림 10.(c))는 Outer 인터리버 및 셀 단위 인터리버를 사용하였을 때의 결과로서 (b)에 비해 약간의 성능개선은 볼수 있으나 뚜렷한 성능차이는 볼수가 없다. 그 이유는 앞에서 간단

히 언급한 바와 같이 인터리버의 구조에서 RS 블록단위에 에러가 발생할 경우, 이 블록이 Outer 디인터리버의 4개의 열에 차례로 입력이 되면서 동일한 열에 심볼에러가 위치할 확률이 발생된다. 이 경우 셀단위 인터리빙에 의해 분산된 셀 헤더가 재 조합되면서 2개 이상의 에러가 발생되어 셀 손실이 발생되기 때문이다. 따라서 기존의 ATM 셀을 전송할 경우 Outer 인터리버의 역할은 ATM 셀 전송지연을 고려할 때 적절한 방법은 될 수 없다. 그러나 본 논문에서 제시한 새로운 형태의 55 바이트 ATM 셀인 경우 Outer 인터리버의 사용에 따라서 셀 전송성능에서 뚜렷한 차이가 발생함을 다음의 결과를 통해서 알수 있다.

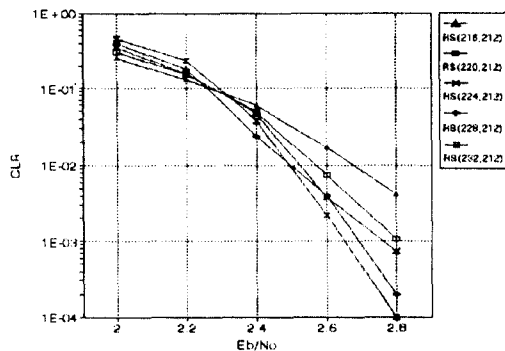
본 논문에서 제시하는 셀 헤더의 에러정정능력을 강화시킨 55 바이트의 ATM 셀에 대한 전송성능 평가를 위와 같이 두가지의 면에서 분석하였다. 즉 RS



(a) BER



(b) Outer 인터리버가 없을 때의 CLR



(c) Outer 인터리버 존재시의 CLR

그림 10. 기존의 53 바이트 ATM 셀의 CLR 성능평가

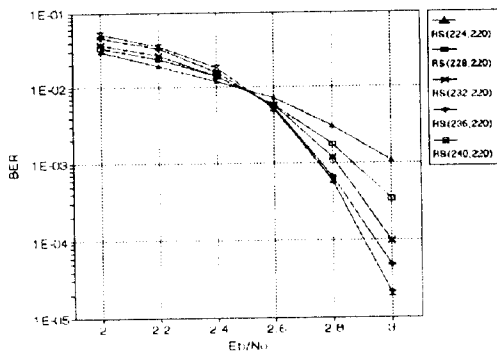
Fig. 10 CLR performances evaluation of conventional 53 byte ATM cell

(220 + 2t, 220) 코딩을 사용한 ATM 셀 전송에서 Outer 인터리버 및 셀 단위 인터리버의 유무에 대한 셀 손실률을 구하였다. Inner 인터리버의 Depth는 5이며 심볼에러 정정수는 {2, 4, 6, 8, 10} 심볼이다.

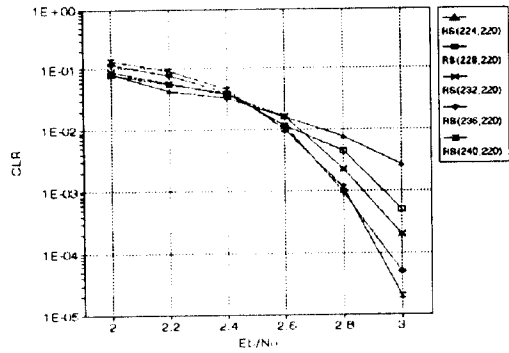
(그림 11.(a))는 RS(220 + 2t, 220)코딩을 사용한 결합코드에서의 BER 결과로서 약 2.5 dB 정도에서부터 에러 정정능력에 따른 성능이 향상됨을 숙지할 수 있다. 먼저 (그림 11.(b))는 결합코딩만을 사용하였을 때의 3 dB 이하에서의 결과로서 BER에 선형적으로 비례하는 것을 볼 수 있다. 앞에서 언급된 바와 같이 4 비트 정정가능한 BCH 코딩으로 셀 헤더를 보호하더라도 연접성 심볼에러 및 연접성 비트 에러에 의해 코딩 이득을 제대로 얻지 못한 결과이며, (그림 10.(b))의 기존의 1 비트 정정가능한 HEC의 성능에 비해 많은 차이가 없음을 볼 수 있다. 그러나 (그림 11.(c))

의 결과를 보면 본 논문에서 제시된 Outer 인터리버 및 셀 단위 인터리버의 사용으로 인해 BCH(56, 32)에 의한 코딩이득을 얻을 수 있다. 즉 모의수행 결과상에서 약 0.4 dB 정도의 이득이 발생한다. 이 값은 코딩이득면에서만 고려하였을 때에는 그리 큰 이득은 되지 않지만 AWGN 이외에도 다른 많은 잡음원들을 고려하게 되면 중요한 결과가 된다.

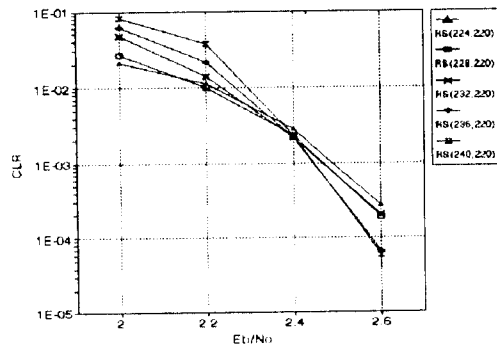
(그림 12)는 FEC 코딩 방법에 따른 셀 손실률을 제시한다. 결과에서 AWGN은 채널부호화 없이 전송을 하였을 때의 셀 손실률을 나타내며, FEC(Conv. + Int.)는 채널부호화로서 콘볼루션코딩만을 사용하였을 때의 셀 손실률이다. FEC(Conv. + RS)는 본 논문에서 제안하는 RS(236, 220) 코딩을 사용 55 바이트의 크기를 가지는 4개의 ATM 셀 전송시에 Outer 인터리버 구조를 사용하지 않은 구조이며, 마지막으로



(a) BER



(b) Outer 인터리버가 없을 때의 CLR



(c) Outer 인터리버 및 셀단위 인터리버 존재시의 CLR

그림 11. 55 바이트 ATM 셀의 CLR 성능평가

Fig. 11 CLR performances evaluation of new 55 byte ATM cell

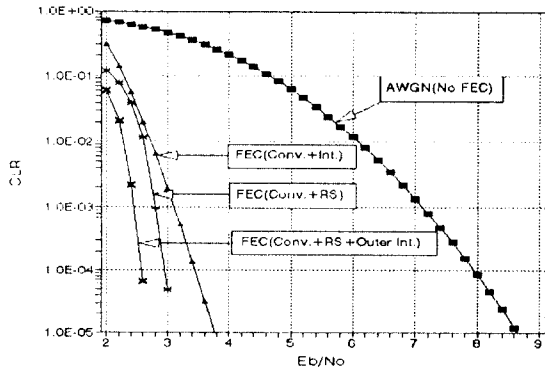


그림 12. 채널부호화에 따른 셀손실률 성능비교
 Fig. 12 Comparison of CLR performances according to the FEC type

FEC(Conv. +RS +Outer Int.)는 위와 같은 조건에서 본 논문이 제안한 Outer 인터리버 및 셀 단위 인터리버를 사용하였을 때의 모의수행 결과이다.

채널부호화가 없는 AWGN의 결과를 기준으로 셀 손실률이 1e-4인 점에서의 각 코딩에 따른 손실률을 분석하면, 콘볼루션 코딩과 블록인터리버구조[07]을 사용하였을 때의 코딩 이득은 약 4.5 dB정도를 얻을 수 있으며, RS 코딩 사용시 Outer 인터리버가 없는 구조에서의 코딩 이득은 약 5 dB, Outer 인터리버가 존재하는 구조에서는 5.5 dB정도의 코딩 이득을 얻을 수 있음을 모의수행을 통해서 알 수 있다. 위 결과에서 볼 수 있듯이 결합코딩의 결과는 E_b/N_0 에 매우 민감하게 작용하며, 위성채널을 AWGN 채널로 간주할 때 결합코딩을 사용함으로써 3 dB 미만의 미약한 신호 전력하에서도 안정적인 셀 전송이 가능함을 고찰할 수 있다.

Ⅶ. 결 론

ATM 기술을 기반으로한 광대역 종합정보통신망의 구현에 대한 연구가 전세계적으로 수행되고 있으며 또한 차세대 정보통신망으로서 유·무선망의 통합망을 위한 기초단계의 연구가 이루어지고 있다. 본 논문에서는 이러한 통합망의 구현을 위해 위성 B-ISDN/ATM 망을 구축하기 위한 초기 연구단계로 지상 ATM 기술을 위성시스템에 응용하기 위한 물리 계층면에서의 전송 기술에 대해 고찰하였다.

위성의 저전력 특성으로 인한 어려움이 지상 ATM

전송 채널에 비해 매우 열악한 상황에 있는 것을 보상하기 위한 방법으로 채널부호화 기법으로서 본 논문에서는 결합코딩을 사용하였으며, 이에 대한 BER 성능을 분석하였다. 블록 코딩으로 사용되는 RS 코딩에 ATM 셀을 적용하기 위한 방식으로 4가지의 형태를 제시하였으며, ATM 셀 헤더의 에러정정능력을 강화시킨 55바이트의 새로운 셀 형태, Outer 인터리버 및 셀 단위 인터리버 구조등을 제시하였다. 본 논문에서의 성능 분석은 위성 채널을 AWGN 채널로 가정하여 기존의 53 바이트의 ATM 셀 및 새로 제안한 55바이트의 ATM 셀에 대한 셀 손실률의 상한 한계에 대한 분석을 수행하였으며, 모의수행에 있어서는 4가지의 ATM 셀 적용방식중 가장 유력시되는 4개의 ATM셀을 단위블록으로 하는 RS(212 +2t, 212)와 RS(220 +2t, 220)에 대한 모의수행 결과를 보였다. 셀 손실률 10^{-4} 을 기준으로 평가할 때, 본 논문에서 제안하는 55 바이트의 ATM셀인 경우 Outer 인터리버가 없는 경우 채널부호화가 없을 때에 비해 약 5 dB 정도의 이득이 생겼으며, Outer 인터리버 및 셀단위 인터리버가 있는 경우에 5.5 dB정도의 성능이 개선되어 송신전력 3 dB 정도에서도 광섬유와 같은 안정적인 셀 전송을 수행할 수 있음을 고찰하였다. 즉 결합코딩을 통하여 지상망과 같은 안정적인 전송이 가능함을 볼 수 있었다. 그러나 이러한 결합코딩을 사용하기 위해서는 전송속도에서의 문제점을 해결해나가야 할 것이다. 즉 고속모뎀을 만들기 위한 지속적인 연구가 있어야 할 것이다.

본 논문에서 성능의 평가는 AWGN 환경하에서 이루어졌다. 따라서 AWGN 이외에 실제 위성채널에서의 잡음원들인 상·하향 링크 잡음(AWGN으로 근사), 인접채널들에 의해서 생기는 인접채널 간섭(ACI: Adjacent Channel Interference)과 주파수 재사용에 따른 CCI(Co Channel Interference) 및 위성에서의 비선형 위성 증세기(TWTA)에 의한 신호의 비선형 왜곡, 강우효과 등에 대한 위성 채널 모델링을 하여 실제 위성 채널과 비슷한 상황하에서 ATM 전송 성능 평가가 이루어져야 할 것이다.

참 고 문 헌

1. ITU-R\SG04\WP4B\048E1.WW2

2. S. Agnelli, V. Dewhurst, "LAN Interconnection via ATM Satellite Links for CAD Applications: The UNOM Experiment," Proc. of ICC'96, pp. 931-935, 1996.
3. L. Mola, P. J. Lizcano, P. Meuret, H. Wannman, S. Agnelli, "An Initiative for Conformance ATM-networks Relying on Satellite-links," Proc. of ICDSC, Vol. 10, pp. 518-523, 1995.
4. S. Ramseier, T. Kaltenschnee, "Impact of Burst Errors on ATM over Satellite-Analysis and Experimental Results," Proc. of ICDSC, Vol. 10, pp. 236-243, 1995.
5. J. Lunsford, S. Narayanaswamy, D Chitre, and M. Neibert, "Link Enhancement for ATM over Satellite Links," Proc. of ICDSC, Vol. 10, pp. 129-136, 1995.
6. S. P. Miller, C. B. Cotner, "The Quality Challenge. Now and for The Future.," Proc. of ICDSC, Vol. 10, pp. 551-558, 1995.
7. 김신재, 김동규, 김병균, 최형진, "위성망에서 ATM 셀 전송에 관한 연구," 한국통신학회논문지, 21권 10호, 1996.
8. Stephen B. Wicker, *Error Control Systems for Digital Communication and Storage*, Prentice Hall, 1995.
9. G. D. Forney, "The Viterbi Algorithm," IEEE Proceedings, Vol. 61, No. 3, pp. 268-278, March 1973.
10. J. A. Heller, I. M. Jacobs, "Viterbi Decoding for Satellite and Space Communication," IEEE Trans. Commun. Technol., Vol. COM-19, No. 5, pp. 835-848, October 1971.
11. D. J. Kennedy, M. B. Nakhla, "Burst Error Characterizations of FEC Coded Digital Channels," Proc. of ICDSC, Vol. 10, pp. 243-250, 1995.
12. A. Franchi, R. A. Harris, "On the Error Burst Properties of Viterbi Decoding," Proc. of ICC'93, pp. 1086-91, June 1993.
13. R. E. Ziemer, R. L. Peterson, *Introduction to Digital Communication*, Macmillan, 1992.
14. R. L. Miller, L. J. Deutsch, S. A. Butman, "On the Error Statistics of Viterbi Decoding and the Performance of Concatenated Codes," JPL PUBLICATION 81-9, Sept. 1981.

15. S. Ramseier, T. Kaltenschnee, "ATM over Satellite: Analysis of ATM QoS Parameters," Proc. of ICC'95, Vol. 3, pp. 1562-1566, 1995.
16. D. E. McDyasan, D. L. Spohn, *ATM: Theory and Application*, McGraw-Hill, 1994.
17. D. M. Chitre, D. S. Gokhale, T. Henderson, J. L. Lunsford, and N. Mathews, "Asynchronous Transfer Mode(ATM) Operation via Satellite: Issues, Challenges and Resolutions," Int. Journal of Satellite Comm., Vol. 12, pp. 211-222, May-June 1994.



김 신 재(Shin Jae Kim) 정회원
 1995년: 성균관대학교 전자공학과 졸업
 1995년~1997: 성균관대학교 대학원 석사과정
 1997년~현재: 서울이동통신 중앙연구소
 ※주관심분야: 위성통신, 이동통신, 디지털통신 기술 등임



김 병 균(Byung Kyun Kim) 정회원
 1992년: 성균관대학교 전자공학과 졸업
 1994년: 성균관대학교 대학원 전자공학과 졸업
 1994년~현재: 성균관대학교 대학원 박사과정
 ※주관심분야: 위성통신, 이동통신, 위성이동통신, 디지털통신 기술 등임



최 형 진(Hyung Jin Choi) 정회원
 1974년: 서울대학교 전자공학과 졸업
 1976년: 한국과학기술원 전기전자공학과 졸업
 1976년~1979년: 주식회사 금성사 중앙연구소
 1979년~1982년: University of Southern California 전기공학과 박사(Ph.D)
 1982년~1989년: LinCom Corp. 연구원
 1989년~현재: 성균관대학교 전자공학과(부교수).
 ※주관심분야: 디지털통신, 무선통신, 이동통신, 위성통신 및 동기화 기술을 포함한 Modem 기술 등임