

ATM교환기의 프로세서간 통신을 위한 바이패싱 기능을 갖는 고속 셀 집속/분배 장치의 설계 및 성능평가

正會員 이 민 석*, 송 광 석**, 박 동 선***

The Design and Performance Evaluation of a High-Speed Cell Concentrator/Distributor with a Bypassing Capability for Interprocessor Communication in ATM Switching Systems

Min-Sok Lee*, Kwangsuk Song**, Dong-Sun Park*** *Regular Members*

요 약

본 논문에서는 ATM(Asynchronous Transfer Mode) 교환기에서 프로세서간 통신을 위한 고속 셀 집속 및 분배 장치(HCCD)의 효율적인 구조를 제시하고 성능평가를 하였다. HCCD는 스위치로부터 로컬프로세서로 셀을 분배하고, 역으로 프로세서로부터 전달된 셀을 스위치로 집속시킨다. 제안된 구조는 분산구조의 ATM 교환기에서 고성능의 프로세서간 통신을 제공하며 확장성과 유연성을 위하여 모듈화된구조로 설계되었다. HCCD의 주요 특징은 1)시스템의 유연성을 개선시키기 위하여 HCCD내에 로컬 CPU의 채용, 2)셀기반의 통계적 다중화 기능, 3) VPI(Virtual Path Identifier)를 근거로한 셀 분배기능, 4)동일 HCCD내에 접속된 프로세서간 통신을 위한 바이패싱 기능, 5)점대 다중점 통신을 위한 multi-casting 기능, 6)링크의 효율적 관리를 위한 VPI table 관리기능, 7)시스템의 자체 진단을 위한 self-testing 기능 이다.

ABSTRACT

In this Paper, we propose an efficient architecture for a high-speed cell concentrator/distributor(HCCD) in an ATM(Asynchronous Transfer Mode) switch and by analyzing the simulation results evaluate the performance of the proposed architecture. The proposed HCCD distributes cells from a switch link to local processors, or

* 국방과학연구소

** 한국 전자통신 연구소

*** 전북대학교 정보통신공학과

論文番號:96219-0723

接受日字:1996年 7月 23日

concentrates cells from local processors to a switch link. This design is to guarantee a high throughput for the IPC (inter-processor communication) link in a distributed ATM switching system. The HCCD is designed in a modular architecture to provide the extensibility and the flexibility. The main characteristics of the HCCD are 1)Adaption of a local CPU in HCCD for improving flexibility of the system, 2)A cell-based statistical multiplexing function for efficient multiplexing, 3)A cell distribution function based on VPI(Virtual Path Identifier), 4)A bypassing capability for IPC between processor attached to the same HCCD, 5)A multicasting capability for point-to-multipoint communication, 6)A VPI table updating function for the efficient management of links, 7)A self-testing function for detecting system fault

I. 서 론

정보통신 서비스에 대한 사용자의 요구가 점차 고도화, 다양화, 개인화 되어 감에 따라 초고속 정보 통신망에 수용될 멀티미디어 응용 소프트웨어의 종류도 점점 다양해지고 고급화되고 있다. 이는 미래 광대역 통신망에서의 가입자 수와 트래픽의 급격한 증가를 예고하는 것이며, 교환기의 성능이 구조적인 측면에서 지능화, 대형화, 고속화의 요구를 수용할 수 있어야만 이러한 새로운 추세를 극복할 것으로 판단된다[15, 16].

광대역 통신망의 핵심 기술인 ATM 교환시스템에서 호처리 프로세서나 신호처리 프로세서와 같은 프로세서는 가입자의 서비스 요구를 수용하기 위해 호 연결 및 호 제어에 관련된 신호 정보 및 내부 제어 신호를 처리하는 역할을 수행하며 이들의 처리 능력은 교환기 성능의 중요한 지표가 된다[12, 13].

소형 ATM 교환기에서는 신호 및 내부 정보에 대한 트래픽이 적어서 한개의 SCP(Subscriber Call Processor)로도 요구되는 성능을 만족시킬 수 있을 것으로 예상된다. 그러나 가입자가 크게 증가하고 다양한 멀티미디어 서비스를 수용해야 하는 중형 ATM 교환기급 이상으로 발전하면 ALS(ATM Local Switch)의 스위치 링크도 많아지고 호 연결 및 호 제어에 관련된 신호 정보 및 내부 제어신호에 대한 트래픽 규모가 대폭 증가하게 되어 이를 처리할 수 있는 고성능, 고기능의 프로세서가 요구된다. 이러한 프로세서에 대한 요구를 충족시키기 위해서는 프로세서 자체의 성능을 높이는 것뿐만 아니라 다수의 프로세서를 사용하여 프로세서별로 기능 및 부하를 분담하는 분산 구조의 도입이 필요하다.[12]

분산 구조를 갖는 교환 시스템이 정확한 교환 동작을 하기 위해서는 각각의 기능을 분담하고 있는 프로세서간 통신이 필수적이다. 프로세서간의 통신 효율은 분산 시스템에서 시스템의 성능을 크게 좌우하는 요소 중의 하나이다. 따라서 분산 구조를 갖는 교환기의 성능 역시 프로세서간의 통신 효율에 의해 많은 영향을 받는다[5, 6]. 분산 제어 방식을 취하고 있는 ATM 교환기에서 프로세서간 통신은 일반적으로 다음과 같은 두 가지의 방식중의 하나를 택하고 있다.

- 1) 별도의 IPC 망을 이용한 프로세서간 통신
- 2) 고속 스위치 망을 이용한 프로세서간 통신

이 두 방식 중에서 교환기 자체의 고속 스위치 망에 반영구적 가상 채널(virtual channel)을 할당하여 그것을 프로세서간 통신에 이용하는 방식은 H/W의 양을 줄일 수 있고, 고속의 스위칭으로 인한 빠른 통신 속도를 얻을 수 있으며, ATM교환기의 전달망에서 적용되는 셀 처리 회로나 정합기능을 그대로 사용할 수 있어 시스템 차원에서 구성이 단순해진다. 따라서 분산 구조를 지향하는 교환 시스템에서 프로세서간 통신은 별도의 IPC(Inter-Processor Communication) 망을 이용하는 것보다 자체의 고속 스위치 망을 IPC 망으로 사용함으로써 여러 가지의 장점을 얻을 수 있다[12, 13].

일반적으로 ATM 스위치 망을 이용한 IPC 망의 구성에서는 프로세서간의 연결을 위해서 프로세서마다 한개씩의 스위치 링크가 할당되어야만 했다. 그러나 시스템이 대형화 되고 프로세서의 수가 늘어남에 따라, 각각의 프로세서마다 값비싼 스위치 링크를 하나씩 할당하는 것은 비효율적인 방안이다. 이러한 문제의 해결을 위해 본 논문에서는 고속 스위치로부터 제공된 링크를 여러 개의 프로세서가 공유할 수 있는

모듈화된 구조를 갖도록 함으로써 스위치 링크의 이용률과 시스템의 확장성 및 융통성을 향상시킬 수 있는 ATM 교환기의 프로세서간 통신을 위한 셀 집중/분배 장치(HCCD)[17]의 효율적인 구조를 제안하고 이의 성능평가를 하였다.

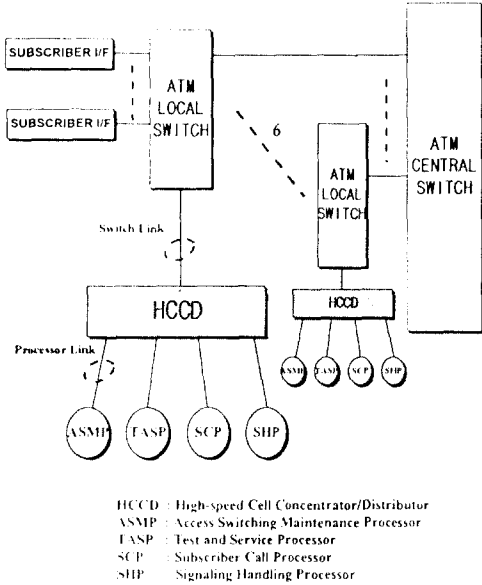


그림 1. 분산구조의 ATM교환기에서 HCCD의 위치
Fig. 1. An example of distributed ATM switching system

그림 1은 분산구조를 갖는 ATM 교환시스템에서 HCCD의 위치 및 역할을 보여주고 있다. HCCD는 155Mbps속도의 고속 스위치링크를 통하여 전달된 IPC 셀을 VPI를 근거로 각각의 프로세서에게 분배해 주고, 역으로 프로세서들로부터의 셀을 스위치 링크로 집중시켜준다.

II장에서는 제안된 HCCD의 기능 및 구조 그리고 동작을 설명하였고, III장에서는 시뮬레이션과 B-ISDN에서 음성전화 서비스를 위한 호처리 시나리오의 분석을 통해 HCCD의 성능평가를 하였다.

II. 고속 셀 분배 및 집중장치(HCCD)의 구조 및 기능

2.1 HCCD의 기본구조

HCCD는 크게 나누어 셀분배장치와 셀집속장치로 구성되며 그림 2는 HCCD의 기본구조를 보이고 있다. 그림에서 셀분배장치는 스위치 링크로부터 전달된 다중화된 셀을 셀수신부에 저장하고, 저장된 셀을 멀티캐스팅제어부와 데이터/컴맨드 수신제어부의 제어에 따라 여러 개의 프로세서 링크로 분배해 주는 역할을 한다. 역으로 셀집속장치는 프로세서 링크로부터 셀수신부로 전달된 셀을 데이터/컴맨드 수신제어부의 제어신호에 따라 스위치 링크로 다중화시켜주는 역할을 한다. 프로세서간 통신이 셀 기반의 ATM 프로토콜을 바탕으로 이루지므로 HCCD는 ATM 계층의 기본 기능을 수행한다고 할 수 있다. 이들의 세부적인 구조와 기능에 대해서는 2.2절부터 논의된다. 본 논문에서는 제안된 HCCD를 설계하기 위하여 다음과 같은 사항을 고려하였다.

- HCCD내에 로컬 CPU를 채용하고, 모듈화된 설계를 통하여 시스템의 확장성 및 융통성을 향상시킬 수 있도록 한다.
- 셀 기반의 통계적 다중화를 함으로써 다중화 효율을 높일 수 있도록 한다.
- VPI를 근거로한 셀 분배 기능을 제공한다.
- 동일 HCCD에 접속된 동일 레벨의 프로세서간 통신의 경우 ACS(ATM Central Switch)를 거치지 않고 HCCD내에서 직접 분배해 줄 수 있는 바이패싱 기능을 제공한다.

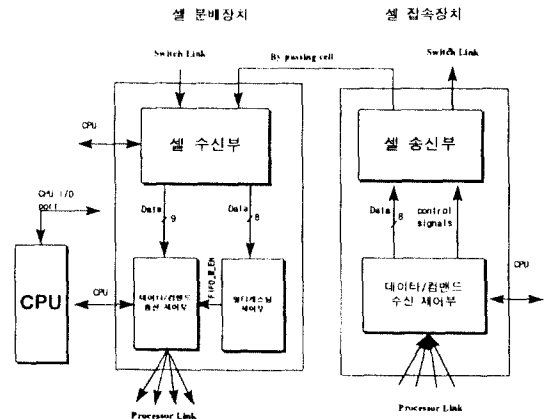


그림 2. HCCD의 기본 블럭도
Fig. 2. The main block diagram of the HCCD

- 점대 다중점 통신을 위한 멀티캐스팅 기능을 제공한다.
- 링크의 효율적 관리를 위하여 VPI 테이블 갱신 기능을 제공한다.
- 시스템의 신뢰성 향상을 위하여 로컬 CPU에 시스템 자체진단 기능을 부여한다.

2.2 셀수신부(Cell Rx Section)

셀수신부의 블럭도는 그림 3에서 보이고 있으며 다음과 같은 동작을 수행한다.

• SWITCH LINK I/F BLOCK은 스위치 링크로부터 전달된 직렬데이터를 8비트의 병렬데이터로 변환한다.

• VALID CELL DETECTOR는 스위치 링크로부터 입력된 셀이 유효셀인지를 판단하여 유효셀인 경우 S/W LINK CELL 수신 FIFO에 저장하고, 무효셀인 경우에는 폐기한다. 유효셀임이 판명되었을 경우, 셀의 시작과 끝을 표시하기 위하여 S/W LINK CELL 수신 FIFO에 셀의 경계를 표시할 수 있는 부가 정보 비트를 두어 셀 경계식별이 용이하도록 하였다. 전달된 8비트의 IPC 데이터와 셀 경계 식별을 위한 1비트의 부가정보 저장을 위하여 S/W LINK CELL 수신 FIFO는 9비트의 폭을 가진 것을 사용하였다. VALID CELL DETECTOR는 셀이 유효셀로 판명되었을 시에 전달된 셀을 저장함과 동시에 1비트의 셀 경계 식별용 부가정보 영역을 high로 설정하는 역할을 한다.

• 셀송신부로부터 바이패싱된 셀이 입력될 경우 셀을 수신부의 BYPASSING CELL FIFO에 저장한다.

• ARBITER는 중재 알고리즘에 따라 S/W LINK CELL 수신 FIFO와 BYPASSING CELL FIFO중 하나를 선택한 후, 선택된 FIFO에 저장되었던 데이터를 셀 단위로 멀티캐스팅제어부의 DISTRIBUTION FIFO에 입력한다.

시스템 전체에서 각 FIFO의 read/write 동작은 모두 한 셀 단위로 이루어진다. ARBITER의 중재 알고리즘은 응용에 따라서 다양하게 적용될 수 있다. 예를 들면 S/W LINK CELL 수신 FIFO가 비어 있지 않은 한 연속해서 셀을 출력할 수 있도록 하는, 즉 스위치 링크로부터 들어오는 셀에게 높은 우선 순위를 부여하는 알고리즘을 만들 수 있다. 또한 한번에 연속해서 보낼 수 있는 셀의 수를 쿼타(quota)라고 했을

경우, S/W LINK CELL 수신 FIFO에 BYPASSING CELL FIFO보다 많은 쿼타를 할당하여 스위치 링크로부터 들어오는 셀의 우선 순위를 높여 주는 방법도 있다.

본 논문에서는 셀 수신부와 2.3절의 셀 송신부의 ARBITER에 round-robin방식의 중재알고리즘을 사용하였다.

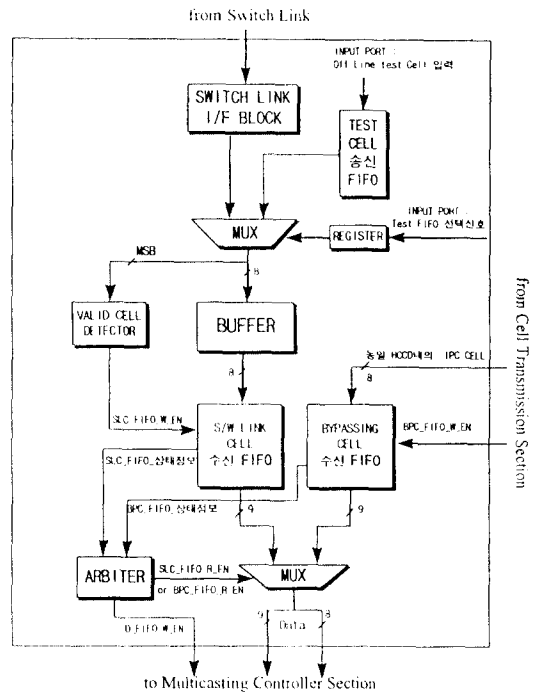


그림 3. 셀 수신부
Fig. 3. Cell Rx Section

2.3 셀송신부(Cell Transmission Section)

셀송신부의 블럭도는 그림 4와 같고 다음과 같은 기능을 수행한다.

• S/W LINK CELL 송신 FIFO는 프로세서와 일대일로 접속되어 있는 그림 7의 데이터/컴맨드 수신 제어부로부터 셀을 전달받는다.

• ARBITER는 중재 알고리즘에 따라 S/W LINK CELL 송신 FIFO를 선택한 후 FIFO의 내용을 BUFFER로 전송한다.

• 데이터가 BUFFER의 출력으로 나오기 전에 OUTPUT SELECTOR에서는 그 데이터가 스위치 링크로

갈 셀인지 아니면 바이패싱용 셀인지를 판단하여 데이터 라우팅해준다.

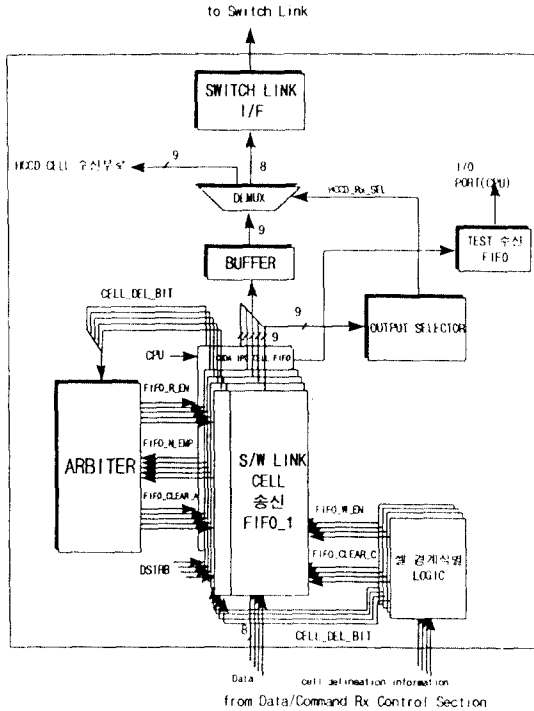


그림 4. 셀 송신부
Fig. 4. Cell Tx Section

HCCD에 접속된 프로세서들의 용도는 각기 다르기 때문에 이들이 처리하는 트래픽 역시 서로 다른 특성을 가지고 있다. 이러한 특성을 이용하여 프로세서에서 처리해야 하는 트래픽의 많고 적음에 따라 FIFO의 길이를 다르게 구성할 수 있다. 또한 ARBITER에 우선 순위가 있는 중재 알고리즘을 사용하여 전달 지연에 민감한 트래픽을 저장하고 있는 FIFO에게 높은 우선 순위를 부여해 지연을 줄일 수 있다. 이와 같은 방안은 각각의 프로세서에게 전달되는 트래픽 특성이 정확히 분석될수록 최적의 결과를 얻을 수 있게 된다. 또한 트래픽의 정확한 예측은 HCCD의 성능 분석을 비롯하여 교환기 전체에 대한 정확한 성능 분석치를 얻을 수 있는 근거를 제공한다[11]. 이렇듯 트래픽 특성을 어떠한 방법으로 정확히 분석할 것인가 하는 문제는 중요한 연구 대상이 된다.

2.4 바이패싱(Bypassing) 기능

그림 1에서 한 개의 HCCD에 여러 개의 프로세서가 접속되어 있는 것을 볼 수 있다. 교환기는 가입자의 호를 처리하고자 할 때 정해진 호처리 과정(call scenario)에 의해서 망과 교환기 그리고 가입자의 상황에 따라 프로세서간에 셀 단위로 메시지를 주고받는다. 일반적으로 그림 1과 같은 분산 구조를 가진 교환기에서 프로세서간의 통신은 다수의 로컬 스위치를 연결하고 있는 ACS까지 가서 교환되어야만 이루어질 수 있다. 이 경우 3바이트의 바이패싱 바이트를 라우팅 정보로 사용한다. 이는 서로 다른 HCCD에 접속되어 있는 프로세서간의 통신의 경우에는 적합한 방법이 되지만 동일한 HCCD에 접속된 프로세서간의 통신의 경우에는 ACS에 불필요한 부하를 주게 되며, 과부하 시에는 교환기의 처리능력을 저하시키는 요인이 된다. 따라서 동일한 HCCD에 접속된 프로세서간 통신을 할 경우에는 ACS를 거치지 않고 HCCD가 직접 라우팅해줄 수 있는 기능을 갖게 되면 좀더 처리능력을 향상시킬 수 있을 것이다. 이러한 필요성에 따라 본 연구에서는 바이패싱 기능을 다음과 같이 구현하였다.

- 동일 HCCD내의 프로세서와 통신을 할 경우 IPC 셀의 특정 비트에 바이패싱 셀임을 표시할 수 있도록 라우팅 테이블을 구성한다.
- 셀집속장치에서는 라우팅 테이블에 의해 만들어진 IPC 셀 헤더의 특정비트를 비교하여 바이패싱 셀일 경우에만 셀 수신부의 BYPASSING CELL FIFO에 저장한다.
- 셀분배장치에서는 스위치 링크로부터 전달된 셀과 셀송신부로부터 우회된 셀을 트래픽의 특성에 맞는 중재 알고리즘을 사용하여 선택한 후 DISTRIBUTION FIFO에 전달한다. 나머지는 일반적인 셀의 처리동작과 동일하다.

2.5 HCCD의 로컬 CPU의 기능

HCCD는 내부에 로컬 CPU를 가지고 있으며 이것은 다음과 같은 역할을 한다.

- 상위 프로세서로부터 오는 한 셀 크기의 IPC 셀을 수신하여 VPI 테이블의 갱신과 같은 기 설정된 작업을 수행한다.
- 한 셀 크기의 IPC 셀을 송신할 수 있다.

• CPU를 통해서 HCCD의 모든 기능을 단독으로 시험할 수 있다.

• 스위치 정합부를 통하여 Off-line local loop-back 시험을 할 수 있다.

위와 같은 시스템 관리(management)기능은 시스템의 신뢰성 향상의 중요한 요소이다. 만약 HCCD내의 로컬 CPU를 이용하지 않고 호스트가 시스템의 유지 관리 기능을 전담하게 된다면, 이는 전체적인 시스템의 입장에서 볼 때 시스템의 효율을 떨어뜨리는 요인이 된다.[3] 본 논문에서는 이러한 기능을 HCCD내의 로컬 CPU가 수행하도록 함으로써 시스템의 전체적인 성능과 신뢰성 그리고 융통성 향상에 기여할 수 있도록 했다.

2.6 Multicasting 기능

분산 구조의 교환 시스템에서 프로세서간 통신에는 점대점(point to point) 통신뿐만 아니라, 점 대 다중점(point to multipoint) 통신이 요구된다. HCCD는 VPI 라우팅 테이블과 셀의 VPI값을 가지고 이러한 멀티캐스팅 기능을 제공한다.

HCCD는 VPI 테이블을 가지고 있으며 이것은 프로세서 링크의 비트맵(bit map)값을 저장하고 있다. VPI 테이블은 RAM으로 구성되었으며 IPC 셀의 VPI값이 RAM의 어드레스로 사용된다. RAM의 출

력으로 나온 비트맵 정보는 Tx FIFO SELECTOR에 의해서 변환되어, 각각의 프로세서 링크와 연결되어 있는 데이터/컴맨드송신 제어부내의 TX_FIFO의 write enable 신호로 제공된다. 그러면 비트맵 정보에 따라 enable된 FIFO들만이 DISTRIBUTION BUFFER로부터 데이터를 읽어 들일 수 있게 된다. 예를들면 어떤 IPC 셀의 비트맵이 1011의 값을 가지고 있다면 그 셀은 최상위 비트를 기준으로 두 번째 프로세서를 제외한 나머지 프로세서들에게 다중 전송된다. 그림 5는 이러한 기능을 수행하는 멀티캐스팅제어부의 구조를 보여주고 있다.

2.7 HCCD용 IPC 셀의 송수신

HCCD용 IPC 셀이란 외부 프로세서로부터 전달된 HCCD를 제어하기 위한 정보를 가진 메시지를 말한다. 이것의 처리는 로컬 CPU가 하며 일반적인 IPC 셀과 구별하기 위하여 HCCD용 IPC Cell의 VPI를 255로 할당하였다. 이 셀은 8비트의 IPC Command ID를 가지고 있어서 256개의 다양한 용도의 IPC 메시지를 정의할 수 있다.

IPC 셀의 주요 기능 중의 하나는 기본 초기값에 의해 설정되었던 VPI 테이블을 갱신하는 것이다. 이러한 HCCD용 IPC셀 메시지에 의한 특정 동작은 HCCD내의 CPU에 의해 수행되며, CPU는 수행결과 및 HCCD의 상태를 프로세서에게 전송하는 IPC 1셀 전송기능을 갖는다.

2.8 데이터/컴맨드 모드

HCCD는 두 가지 모드(mode)로 프로세서 링크와 통신을 한다. 하나는 프로세서 링크로 일반 IPC 데이터를 전송하는 Data전송모드이고, 다른 하나는 셀 경계 식별이나 HCCD의 유지 관리를 위한 Command 전송모드이다.

HCCD는 프로세서 링크로 셀을 보낼 때 셀 경계 식별을 위해 셀 전송의 시작점과 끝점에서 4비트의 셀 경계 식별용 Command를 전송한다. 이 정보는 셀 경계 식별뿐만 아니라 HCCD 내의 FIFO나 버퍼(buffer)에서 발생할 수 있는 데이터 read/write 에러를 검출하는 데에도 사용된다.

Command는 HCCD의 유지 관리, 예를 들면, 프로세서 링크의 단선 유무 검출이나, 루프 백 시험

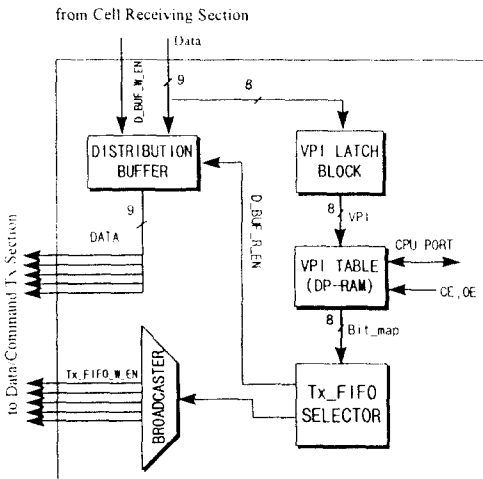


그림 5. 멀티캐스팅 제어부
Fig. 5. Multicasting Control Section

(loop-back test)에 의한 스위치 링크의 상태 점검, 고장 감내(fault tolerant)를 위한 이중화 등을 위해 사용된다.

2.9 데이터/컴맨드 송수신 제어부의 구조

HCCD의 데이터/컴맨드 송신 제어부는 그림 6에서 볼 수 있는 바와 같이 4개의 동일한 TAXI_n_Tx_LOGIC과 1개의 IPC CELL 송신 LOGIC으로 구성되어 있다. 이것은 시스템의 성능 향상에 따라 프로세서 링크의 수를 늘리기에 용이한 구조로 되어 있다.

멀티캐스팅제어부는 스위치링크로 전달될 셀의 VPI에 따라 Tx_FIFO_W_EN(Tx_FIFO write enable) 신호를 발생시켜 해당하는 데이터/컴맨드 송신 제어부가 DISTRIBUTION BUFFER의 데이터를 프로세서 링크로 전달할 수 있도록 한다. 그리고 셀의 VPI가 HCCD용 IPC 셀임을 나타낼 경우에는 셀을 IPC CELL 수신 LOGIC에 저장한 후 로컬 CPU로 전달하여 처리되도록 한다.

그림 7에서는 데이터/컴맨드수신제어부의 구조를 보였다. 역시 그림 6과 마찬가지로 각각의 TAXI_n_Rx_LOGIC은 프로세서 링크로부터 전달되는 데이터를

독립적으로 처리할 수 있는 확장성이 용이한 구조를 갖는다.

데이터/컴맨드수신제어부뿐만 아니라 전체적인 시스템 차원에서 향후 스위치 링크와 프로세서 링크의 용량이 증가되어야 할 경우 구조의 변경 없이 단지 HCCD를 이루고 있는 요소들을 더 좋은 성능의 것으로 교체해 줌으로써 링크의 확장이 가능하다.

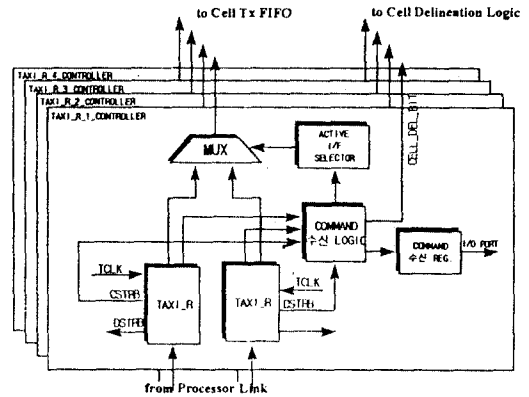


그림 7 데이터/컴맨드 수신 제어부
Fig. 7. Data/Command Rx Control Section

Ⅲ. 시뮬레이션 및 성능분석

제안된 HCCD의 성능평가를 위하여 SLAMII의 네트워크 모델을 사용하여 시뮬레이션 하였다. 교환기에 접속된 가입자의 수가 충분히 많다고 가정하면 호원(가입자)으로부터 중첩된 형태로 발생하는 트래픽은 Poisson 분포로 근사모델화 할 수 있으므로 HCCD의 입력 트래픽은 Poisson 분포를 갖는다고 가정하였다[10]. 셀의 길이는 56bytes, 스위치 링크의 속도는 155Mbps로 가정하였고, 시뮬레이션은 70,000 cell time 동안 수행하였다. HCCD의 성능을 평가하기 위한 평가 항목으로서는 셀이 HCCD에 도착한 순간부터 프로세서 링크로 송신될 때까지의 시간을 나타내는 셀 지연, FIFO 오버플로우에 의한 셀 손실을 막기 위해 구해야 할 값인 FIFO 길이, FIFO에서의 평균대기시간 등을 사용하였다. 이러한 항목을 가지고 부하율의 변화와 트래픽 편중도의 변화, 멀티캐스팅 비율의 변화에 따라 HCCD의 처리능력을 모의실험 후 분석하였다.

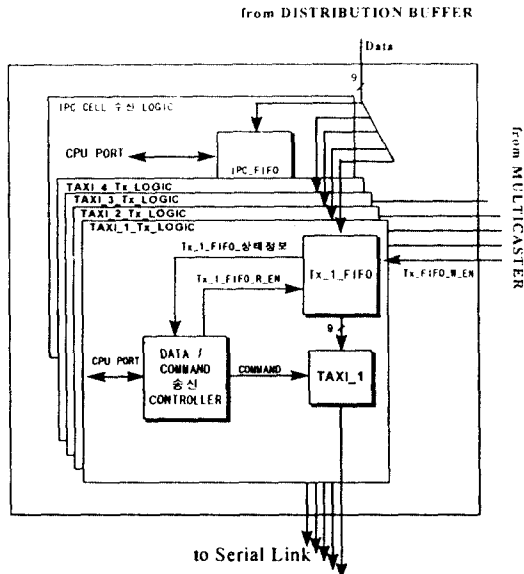


그림 6. 데이터/컴맨드 송신 제어부
Fig. 6. Data/Command Tx Control Section

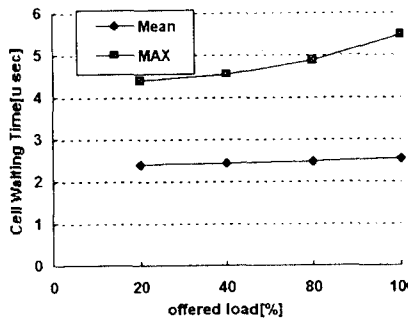


그림 8. 부하율의 변화에 따른 셀지연
Fig. 8. Effect of offered load on cell waiting time

3.1 HCCD의 특성 분석

그림 8은 셀(부하)이 스위치 링크로부터 그림 6의 4개의 TX_FIFO로 균등하게 분배되도록 하면서 부하를 20%에서부터 100%까지 증가시키며 70,000 cell time 동안 시뮬레이션을 수행했을 때, HCCD내에서의 셀지연을 나타낸다. 평균 셀지연 값과 최대 셀지연 값이 부하율에 그리 큰 영향을 받지 않고 있고, 90%의 부하율에서 평균 2.5us 셀지연의 성능을 보이고 있다. 이는 교환기 스위치의 자체 전달 지연값이 100us 정도임을 감안할 때 우수한 지연 특성을 보이고 있음을 추정할 수 있다.

그림 9는 셀이 각각의 TX_FIFO로 균등하게 분배되는 것이 아니라 그중 한 개의 TX_FIFO로 편중되어 분배되는 경우 90%의 부하율에서 70,000 cell time

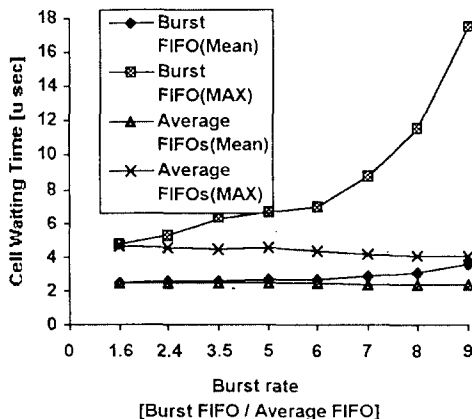


그림 9. 90%의 부하율에서 트래픽의 편중도에 따른 셀지연
Fig. 9. Effect of burst rate on cell waiting time

동안 편중된 FIFO에서 셀지연 시간의 변화를 나타낸 그림이다. x축은 Burst rate(편중도)의 변화를 나타내며 다음과 같은 식으로 표현된다.

$$\text{Burst rate} = \frac{\text{Burst traffic}}{\text{Average traffic}}$$

; Average traffic is not including Burst traffic

이는 트래픽이 한 TX_FIFO로 얼마나 편중되었는가를 그 외의 TX_FIFO들에게로 입력되는 트래픽의 평균에 대한 비율로서 나타낸 것이다. 그림 9에서 Burst FIFO의 최대 셀지연을 나타내는 곡선을 관찰하면, Burst rate이 증가할 수록 셀지연시간이 지수곡선을 그리고 있음을 볼 수 있다.

이것은 스위치 링크로부터의 트래픽이 어느 한 TX_FIFO로만 편중되어 입력되는 상태가 지속되게 되면 결국 시스템은 폭주 상태로 돌입되게 됨을 의미하고 있다. 시스템의 이러한 불안정성은 그림 6에서 TAXI_TX_LOGIC의 TAXI로부터 기인한다. 스위치 링크로부터 TAXI까지의 데이터의 전송은 그사이의 FIFO와 같은 상용 칩들이 155Mbps 이상의 충분한 속도를 제공하기 때문에 155Mbps의 속도로 입력되는 셀을 지연없이 처리하도록 설계할 수 있다. 그러나 그곳까지 들어온 9bits의 병렬데이터를 프로세서 링크를 통해 프로세서까지 전송하는 역할을 하는 serial to parallel chip(TAXI Am 7968)의 최대 100Mbps라는 전송속도 한계때문에 스위치 링크로부터 155Mbps의 속도로 트래픽이 연속해서 들어오게 된다면 HCCD는 폭주 상태로 들어가게 되는 문제가 발생한다. 이러한 폭주 상태를 방지하기 위해서는 155Mbps 이상의 처리능력을 가진 serial to parallel chip을 사용하여 하나 이것은 비용 대 성능의 문제를 야기시킨다. 또한 HCCD로 입력되는 트래픽의 특성 분석에 의하면 오버플로우가 예상되는 조건은 발생하지 않으며, 현재의 100Mbps의 처리속도로도 충분히 안정된 동작을 할것으로 판단된다. 이러한 판단의 근거를 마련하기 위해 3.2절에서는 HCCD에 부과되는 트래픽 양을 산출하였다.

3.2 HCCD에 부과되는 트래픽 특성의 분석

HCCD에 부과되는 트래픽 양을 추정하기 위해서는 프로세서간 전달되는 메시지의 양이 계산되어야

한다. IPC 메시지는 크게 호처리 관련 메시지와 M&A (Maintenance and Administration) 관련 메시지로 구분할 수 있다. 호처리 관련 메시지의 양은 시도된 호의 수에 비례하고, 특정 서비스에 대한 호처리 시나리오가 정의될 수 있기 때문에 해석적 방법에 의해서 구할 수 있다. 그러나 M&A 기능과 관련하여 각 프로세서에서 처리하는 메시지의 수는 분석적 방법에 의해서 유추하기가 어렵기 때문에 호당 일정한 비율로 발생한다고 가정하였다. 호처리 시나리오로는 B-ISDN에서 음성전화 서비스의 자국호처리 시나리오[14]를 사용하였으며, 교환기는 그림 1에서 보여진 바와 같이 ACS에 8개의 ALS가 접속되고 각 ALS에는 한 개의 HCCD를 통해 4개의 프로세서가 접속되어 있는 구조로 가정하였다. 이러한 경우 어느 특정 프로세서에 입력되는 평균 메시지수 N_{Pi} 는 다음과 같은 식에 의해서 구할 수 있다.

$$N_{Pi} = (1 + \alpha) \times n_{Pi} \times \Delta / N_ALS \quad (1)$$

α = 호처리 메시지 수에 대한 M&A 메시지 수의 비율
 n_{Pi} = 한 호당 프로세서로 전달되는 메시지의 수
 Δ = 시스템에 시도된 호의 수(BHCA)
 N_ALS = ALS의 수

채택된 음성전화 호처리 시나리오를 근거로 계산된 n_{Pi} 는 호처리 프로세서인 SCP(Subscriber Call Processor)와 SHP (Signaling Handling Processor) 각각 7.7과 6.9이었다. 그리고 α 를 0.1, 시스템에 시도된 호의 수 Δ 를 200만BHCA(Busy Hour Call Attempts), N_ALS 를 8로 가정하면, 식 1에 의해 SCP와 SHP에 각각 초당 589개와 528개의 메시지가 입력된다. 메시지의 길이를 평균 두 셀길이로 가정하면 SCP와 SHP에는 각각 0.528Mbps와 0.473Mbps의 속도로 데이터가 입력된다. ASMP와 TASP에는 SCP의 10%의 메시지가 입력된다고 가정하면, 결국 HCCD에 입력되는 총 부하는 약 1.2Mbps에 이를 것으로 추정된다. 이는 155Mbps 스위칭링크 용량의 0.8%에 해당한다. 그리고 위의 SCP와 SHP로 유입되는 트래픽의 분석에 의하면 편중도 역시 2 이상이 되지 않을 것으로 판단된다. 따라서 그림 9에서 최대 셀지연 값은 5us 이하일 것으로 예상된다.

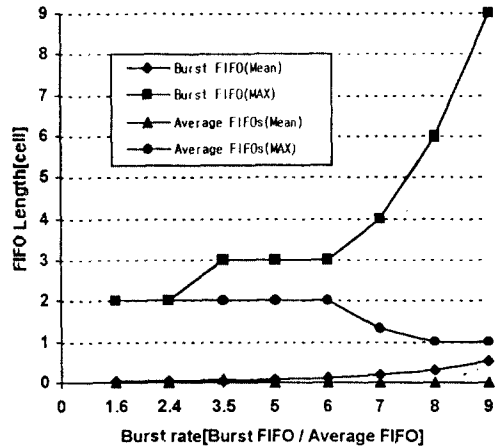


그림 10. 90%의 부하율에서 트래픽의 편중도에 따른 FIFO 길이

Fig. 10. Effect of burst rate on FIFO length

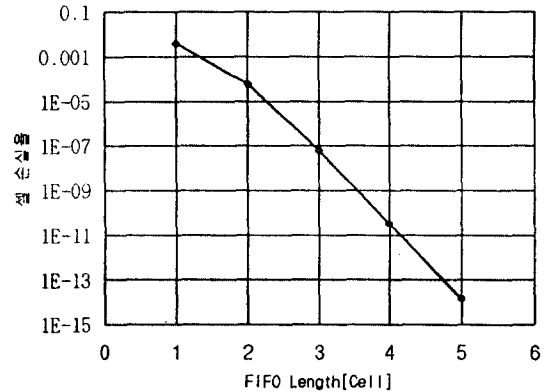


그림 11. 편중도 3, 부하율 90%에서 FIFO 길이에 따른 셀 손실율

Fig. 11. Effect of cell loss rate on FIFO length

그림 10은 그림 9와 같은 조건 하에서 TX_FIFO의 길이를 보여준다. 트래픽분석의 결과에 따라 Burst rate이 2이하라 가정하면, FIFO 오버플로우에 의한 셀 손실을 막기 위해 요구되는 FIFO의 길이는 2셀 크기면 족함을 알 수 있다. 그림 10에서 FIFO 길이는 편중도가 6 이상일 때 급격히 증가함을 볼 수 있는데, 이는 위의 트래픽 특성 분석 결과에 의하면 편중도가 6이상일 상황은 발생하지 않을 것으로 예상된다.

오버플로우에 의한 셀 손실을 막기 위해 요구되는

좀더 정확한 FIFO의 길이를 추정하기 위하여 이번에는 FIFO의 길이 변화에 대한 셀 손실율을 구하였다. 그림 11은 90%의 부하율에서 한쪽 TX_FIFO로만 편중도(burst rate) 3으로 셀이 분배되는 경우 그 편중된 TX_FIFO에서 FIFO의 길이에 대한 셀손실율의 변화를 보이고 있다. 결과에 의하면 TX_FIFO의 길이가 3셀만 되어도 셀손실율이 6.41×10^{-8} 으로 안정된 성능을 보이고 있음을 알 수 있다.

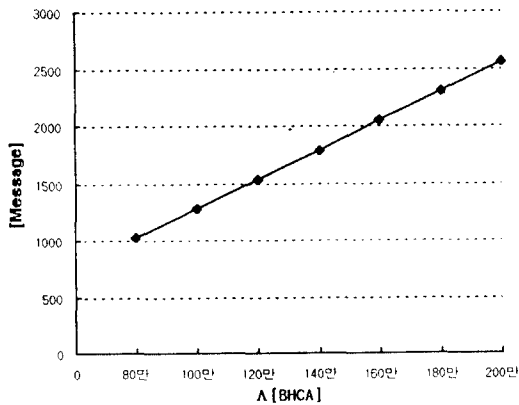


그림 12. 호 시도율Λ에 따른 바이패싱 메시지의 수
Fig. 12. Effect of BHCA on the number of message

본 논문에서는 2.4절에서 논의 되었던 바이패싱 기능의 효율을 측정하기 위하여 그림 1의 교환시스템 전체에서 발생하는 바이패싱될 메시지 수의 Λ에 따른 변화를 시뮬레이션 하였고, 그 결과를 그림 12에 보였다. 교환기의 스위치 자체 전달 지연을 대략 100us로 가정할 수 있으므로 만약 바이패싱 기능이 제공되지 않는다면 메시징당 100us의 지연이 발생하게 되어 상당한 처리시간 지연과 대역폭의 낭비가 초래됨을 그래프를 통하여 예상할 수 있다.

IV. 결 론

본 논문에서는 분산형 구조의 ATM 교환기의 프로세서간 통신을 위해 제공된 스위치 링크의 이용률을 높여 주고, 교환 시스템의 확장성 및 융통성을 향상시켜 주는 고속의 셀집속 및 분배장치(HCCD)의 효율적이고 모듈화된 구조를 제안하였다. 제안된 HCCD

는 동일 HCCD에 접속된 프로세서간의 통신일 경우에는 바이패싱을 하도록 함으로써 스위치링크의 트래픽 부하를 줄일 수 있는 구조를 가졌다. 또한 여러 개의 프로세서에게 메시지를 동시에 보낼 수 있는 멀티캐스팅 기능을 제공하였으며, 링크의 효율적 관리를 위한 VPI 테이블 관리 기능을 수행할 수 있도록 하였다. 그리고 시스템관리를 위하여 HCCD에 로컬 CPU를 채용하여 off-line loop-back 시험 기능과 한셀 크기의 IPC 데이터를 송수신할 수 있는 기능을 제공하였다.

본 논문에서는 제안된 HCCD의 시뮬레이션과 HCCD에 입력될 트래픽의 특성 분석을 통하여 성능평가를 하였다. 그 결과 각각의 FIFO로 트래픽의 균등한 분배가 이루어질 경우에는 셀지연 값이나 FIFO의 길이는 부하율에 그리 영향을 받지 않고 안정된 상태를 보였다. 이 경우 90%의 부하율로 IPC 셀이 입력될 때 평균 2.5us 셀지연의 우수한 성능을 나타냄을 그림 8에서 보였다. 트래픽이 특정 프로세서 링크로 심하게 편중될 경우에는 셀지연 값이나 FIFO의 길이가 지수적으로 증가함을 볼 수 있다. 그러나 자국호에 대한 음성전화 서비스의 호처리 시나리오를 대상으로 분석한 결과 HCCD로 입력되는 트래픽량은 1.2Mbps 정도이고, 편중도 역시 2 이하일 것으로 추정된다. 따라서 실제 상황을 고려할 경우 70,000 cell time 동안 90%의 부하율로 부하의 편중도가 6 이상일 확률은 없을 것으로 예상되며, 편중도 6의 경우 최대 3셀의 FIFO길이와, 최대 7us 평균 2.7us의 셀지연 특성을 보이고 있음을 그림 9와 10에서 볼 수 있었다. 이는 교환기의 스위치 자체 전달 지연 값이 100us 정도임을 감안할 때 만족스러운 성능을 보이고 있음을 알 수 있다.

본 논문에서는 음성전화 호처리 시나리오 상에서 발생하는 IPC 메시지의 양을 토대로 시뮬레이션 결과를 분석하였으나, 차후로는 좀더 정확한 트래픽 특성의 추정을 위하여 음성을 비롯한 멀티미디어 서비스를 포함했을 시에 트래픽의 변화에 대한 특성 분석이 요구된다.

참 고 문 헌

1. Michale D. Schroeder, et al., "Autonet: A High-

Speed, Self-Configuring Local Area Network Using Point-to-Point Links," IEEE JOURNAL ON SELECTED AREAS IN COMMUNICATIONS. VOL. 9, NO. 8, pp. 1318-1335, OCTOBER 1991.

2. Advanced Micro Devices. TAXIchip integrated circuits(preliminary). AM7968/AM7969. Publication 07370, Sunnyvale, CA May 1987.
3. Bruce S. Davie, "The Architecture and Implementation of a High-Speed Host Interface," IEEE JOURNAL ON SELECTED AREAS COMMUNICATIONS, VOL.11, NO.2 FEBRUARY 1993.
4. Shuji Miki et al., "A New Control System Architecture for Switching Nodes", ISS'95, Proceedigns Vol.2, 1995.
5. Akiko Senoh et al., "Multiprocessor Architecture For Large-Capacity ATM Switching System", ISS'95, Proceedigns Vol.1, 1995.
6. P.E.White et al., "Towards A Next Generation Switching System", ISS'87, C5.2, pp.404-410, 1987.
7. "Capacity ATM Switching System," ISS'95, Proceeding Vol. 1, 1995.
8. White et al., "Towards A Next Generation Switching System", ISS, 87 C5.2, pp.404-410, 1987.
9. David E. McDyasan, Darren L. Spohn "ATM Theory and Application," McGraw-Hill, 1994.
10. Haruo Akimaru, Konosuke Kawashima "Tele-traffic, Theory and Application," Springer-Verlag, 1992.
11. Gwangman Park, Sungyeol Kang and Chimoon Han, Performance Evaluation of Cell Reassembly Mechanism with Individual Buffering in ATM Switching System. ETRI Journal, vol. 17, num. 1, Afril 1995.
12. 김영부, 이성창, 한치문, "완전 분산형 구조를 갖는 ATM 교환시스템," 제3회 통신정보합동학술대회(JCCI-'93)논문집, 제3권, '93/4.
13. 김영부, 한치문, "ATM 교환시스템 구성기술," 전자공학회지 제20권, 제8호, 1993.
14. 김승희, 정지훈, 조재균, 김영선, 강석열, "ATM 교환시스템에서의 호 제어에 관한 연구," 한국통신학 1993년도 하계종합학술발표회 논문집, 1993

년 7월.

15. 방윤학, ATM 교환기술, 한국통신학회지, Vol.9, No.4, 1992.
16. 한치문, B-ISDN을 위한 ATM 기술개발과 현황, 전자공학회지, Vol.18, No.8, 1991.
17. 이호근, 이민석, 여환근, 송광석, 박동선, "ATM 교환기의 셀기반 프로세서간 통신을 위한 고속 셀 접속/분배장치의 설계," 한국통신학회 하계종합학술발표회 논문집, Vol.14. No.1 pp 273-276, 1995.



이민석(Min-Seok Lee) 정회원
1994년 2월: 전북대학교 정보통신공학과 졸업(공학사)
1996년 2월: 전북대학교 정보통신공학과 공학석사
1996년 1월~현재: 국방과학연구소 연구원

※주관심분야: ATM, 멀티미디어통신, 분산시스템



송광석(Kwang-suk Song) 정회원
1979년 2월: 고려대학교 전자공학과 졸업
1981년 9월: 고려대학교 전자공학과 석사학위 취득
1992년 2월: 고려대학교 전자공학과 박사학위 취득
1982년 7월~현재: 한국전자통신연구원(ETRI) 제어시스템연구실 실장

※주관심분야: Distributed control system, fault tolerant system, ATM switching system



박동선(Dong-Sun Park) 정회원
1979년 2월: 고려대학교 전자공학과 졸업(공학사)
1984년 12월: 미국 미주리대 전기 및 컴퓨터공학과 공학석사
1990년 12월: 미국 미주리대 전기 및 컴퓨터공학과 공학박사

1991년~현재: 전북대학교 정보통신공학과 부교수
※주관심분야: 멀티미디어통신, 신경회로망, 시스템 설계