

이동통신용 전압제어 발진기(VCO)의 구성 및 발전 동향

廉京煥, 朴東徹
忠南大學校 電波工學科

요 약

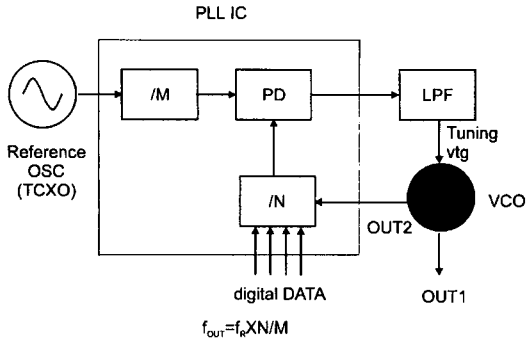
최근 몇 년 동안 이동통신에 대한 시장 규모는 급성장을 보여왔다. 이러한 시장규모 성장에 힘입어 단말기에 사용되는 RF 부품 제작 기술 또한 급진전됐으며 이동통신용 RF 부품은 과거에 비해 놀라울 정도로 소형 경량화 되어 단말기의 휴대성을 더욱 높이고 있다. 특히 전압 제어 발진기의 경우 지난 10년 사이에 1/30 정도로 크기가 축소됐으며 향후로도 계속적으로 축소되어 좀더 휴대하기 간편하고 편리한 다 기능의 단말기를 가능하게 할 것이다.

본 고에서는 과거 10년 동안의 전압제어발진기의 발전동향 및 추세를 살펴보고 현재 사용되는 전압제어 발진기의 구조 및 회로 동작 원리를 설명하고자 한다. 또한 향후 계속되어야 할 전압제어 발진기의 발전 방향을 전망해 보고자 한다.

I. 서 론

이동통신에 사용되는 주파수 대역은 다수의 가입자를 수용하기 위해 다수의 좁은 주파수 대역 즉 channel로 나누어지며, 현대적인 digital 통신에서는 이 channel은 다시 변조 방식에 의해 다수의 가입자를 수용하기 위하여 다중화(multiplexing)되게 된다. 전압제어 발진기는 단말기 내에서 사용되는 주파수 대역중 송신시와 수신시 digital data에 의해 channel을 선정하는 주파수 합성기의 일부분으로 사용되며 이동통신에서는 핵심 부품이라고 볼 수 있다. 그림 1에 이러한 전압제어 발진기를 이용한 channel을 선정하기 위한 주파수합성기의 block도를 보였다.

그림 1에서 crystal을 이용한 대단히 주파수 안정도가 높은 TCXO(Temperature Controlled Crystal Oscillator)의 발진 주파수는 PLL IC내의 분주기를 통해 channel 주파수 간격과 같도록 나누어지며 이 것은 위상 비교기로 입력된다. 또한



(그림 1) 주파수 합성기의 block도

RF 전압제어 발진기의 주파수는 PLL IC 내의 programmable divider를 통해 이 programmable divider에 가해진 digital 입력에 따라 분주되어 또한 PLL IC내의 위상 비교기로 입력되게 된다. 위상 비교기는 이 두 주파수의 위상 차에 비례하는 전압을 발생시켜 외부에서 설정된 저역여파기 차단 주파수에 따라 filtering된 출력을 전압제어 발진기의 주파수 조정 단자에 인가하게 된다. 따라서 PLL action에 따라 channel의 정수 배에 해당하는 안정된 주파수를 합성하게 된다. 이와 같이 합성된 주파수는 TCXO 정도의 주파수 안정도를 지니게 되고 이동통신 주파수 대역에 있는 다수의 channel중 digital 입력에 따라 원하는 channel을 선정할 수 있는 국부 발진원으로 사용할 수 있게 된다.

이런 용도의 전압제어 발진기의 전기적 주요 사양으로서는 우선 조정 전압(tuning voltage) 변동에 따른 발진 주파수 대역 폭이 문제시되며, 둘째로는 그림 1의 저역여파기(LPF) 차단 주파수 밖에서는 위상 동기(phase lock)가 이루어지지 않으므로 이 전압제어 발진기의 위상 잡음 특성이 거의 그대로 나타나게 되는데, 이것은 변조된 기저대역의 spectrum에 영향을 미치게 되어 또한 중요한 문제점이 될 것이다. 셋째로 발진출력은 일부 혼합기(mixer)로 인가되며 일부는 분주기 전단(prescaler)에 인가되게 되는데 이 것들이 적절하게 동작하기 위한 최소 RF 입력 크기가 발진출력을 결정하는 중요한 사양이 되게 된다.

그 외에 특성으로서는 휴대전화기의 battery에

관련 있는 사양으로, 첫째로 battery cell의 개수를 줄여 휴대성을 좋게 하기 위해 저전압으로 동작되는 것이 중요하며 또한 둘째로 한 번 충전된 battery를 이용 휴대전화를 standby 상태로 오래 유지하는데 전압제어 발진기의 DC power consumption이 문제가 되게 된다. 이같은 환경은 계속적으로 전압제어 발진기의 동작 전압 및 DC power consumption을 제한해왔다. 그 외에 다른 사양으로서는 휴대전화기의 휴대성 및 대량생산에 관련되는 것으로서 외형, 크기, 및 장착 방식 등이 라고 볼 수 있다.

1983년 이동통신용을 목적으로 일본에서 초기 출현한 전압제어 발진기의 경우 4.4cc의 부피를 갖는 26×17×10mm의 삽입방식에 의한 무게 8.6g의 것이었으나, 개발진의 꾸준한 노력으로 1992년에는 0.15cc의 부피를 (10×7×2.5mm) 갖는 표면 실장형이고 무게 0.3g인 전압제어 발진기가 제조되어 현재까지 널리 쓰이고 있는 실정이다. 이는 10년 사이에 크기면에서는 무려 1/30의 개선을 가져왔으며 DC power consumption면에서도 약 1/10의 개선을 가져와 놀라운 변화를 이룩했다고 볼 수 있다.^[1-5] 이러한 것이 가능했던 것은 반도체 기술의 발전으로 저전압에서 높은 차단 주파수를 갖는 능동소자들이 많이 개발된 것과, 반도체의 소형 package 기술, 또한 수동 부품으로는 1005 format(1.0×0.5mm)의 작은 chip 부품들의 제조기술 등의 기여가 크다고 볼 수 있다.^[8-9]

국내의 경우 이동통신의 가입자가 많이 늘어나서 신규가입자를 위한 새로운 digital format의 이동통신을 analog 통신과 병행하고 있다. 이러한 용도로서 상기 설명한 전압제어 발진기는 국가적 지원으로 국내 중소기업들에 의해 수년간 꾸준히 개발되어 상용화 단계에 이른 것으로 알려져 있다.^[6-7] 또한 2GHz 대역의 새로운 digital 방식의 차세대 개인통신 전화기 및 여러 가지 새로운 이동통신 service가 제시 연구되고 있는 실정이다. 이러한 용도로서 소요되는 전압제어 발진기는 기존 기술의 이용 일부 개발되고 있으며, 또한 대량 수요가 예상되는 까닭에 한국통신을 비롯한 국가 출현 기관에서 자체 foundry나 외국의 foundry를 이용

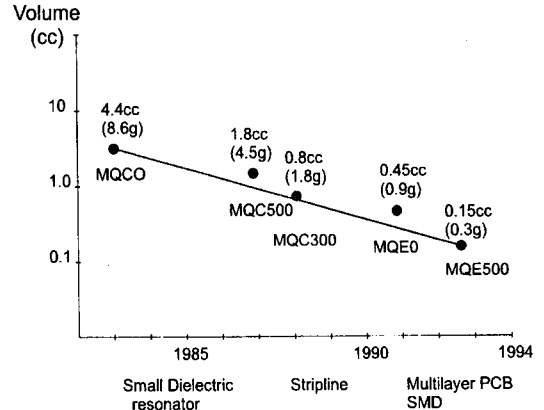
MMIC 형태로 연구되고 있다. 그러나 MMIC화시 이 주파수대에서 MMIC에 적합한 공진기의 부재와, 양산시 주파수 조정문제로 많은 문제점이 예상되나 필연적으로 향후에는 기술의 진전을 통해 이 이동통신용 전압제어발진기 또한 상업성 있는 형태로 MMIC화되리라고 본다. 본고에서는 과거 10여 년간의 전압제어 발진기 발전 동향을 살펴보고 현재 상용화되어 있는 전압제어 발진기의 구조 및 회로를 설명한 뒤 추후의 발전 전망에 대해 전망해 보고자 한다.

II. 전압제어 발진기의 발전 동향

전압제어 발진기의 발전 동향은 크게 3가지 면에서 살펴보면 향후의 발전 방향을 예측하는데 용이할 것이다. 첫째는 크기 및 무게의 외관 면에서이고 둘째는 DC power consumption면이며 셋째로는 이동통신의 방식과 관련 있는 주파수 동향이다.

일본의 특정 전압제어 발진기의 제조사의 크기면의 발전동향을 그림 2에 보였다. 그림에서 볼 수 있듯이 1983년경에는 $26 \times 17 \times 10\text{mm}$ 약 4.4cc를 부피를 갖는 전압제어 발진기가 제조되어 사용되었다. 그러던 것이 1992년에는 $10 \times 7 \times 2.5\text{mm}$ 약 0.15 cc의 부피를 갖는 소형 전압제어 발진기가 출시되어 현재까지 사용되고 있다. 이 것은 근 10년만에 크기면에서는 약 1/30로 축소된 것이며 무게면에서 살펴볼 때 8.6g에서 0.3g으로 약 1/30정도의 개선을 가져왔다고 볼 수 있다. 또한 이 기간 중 장착 방식 면에서 볼 때 초기의 것은 삽입방식에 의한 것이었으나 단말기 대량 생산의 편리성을 위해 1991년경부터는 표면 실장형의 전압제어 발진기가 제조되기 시작했다.

이와 같은 크기 및 부피 축소가 가능했던 것은 과거에는 전압제어 발진기의 핵심 부품인 공진기를 고유전을 유전체를 이용한 동축선을 사용하였던 것을 strip line 공진기로 변환했기 때문이다. 고유전을 유전체를 사용한 전압제어 발진기의 경우

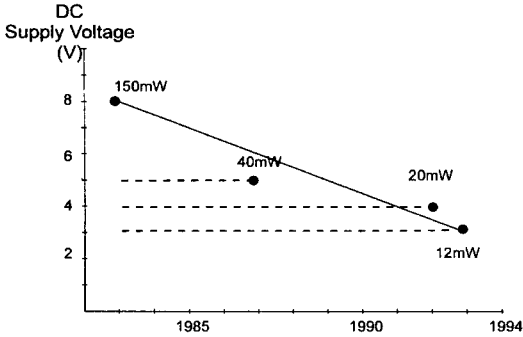


(그림 2) 전압제어발진기의 연도별 크기 축소 경향

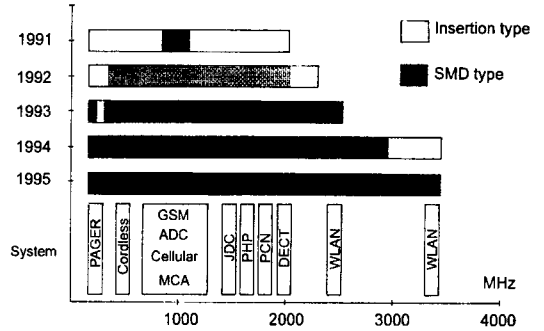
는 특성면이나 reliability면에서 우수하기는 하지만 크기축소에 있어서는 큰 장애였다. 현대적인 휴대전화기 적용에는 어려움이 있었다. 이런 문제로 인해 1988년경 Strip line(microstrip 형태)을 이용한 전압제어 발진기가 출시됐으며 이는 strip line 공진기의 사용으로 C/N/S/N같은 위상 잡음특성은 나빠졌으나 단말기 적용에는 문제가 되지 않았다. 초기의 strip line 공진기는 전압제어 발진기 내 일정 면적을 차지하게되어 크기 축소에 장애가 되었다.

현대적인 휴대전화기 단말기에 사용 가능한 전압제어 발진기의 출시는 1991년에 이루어졌으며 여기서는 다층기판을 사용strip line 공진기를 다층기판의 밑면으로 감추어 Q의 개선 및 크기의 대대적인 축소를 가져왔고 수동 부품으로는 1608 format의 부품들이 사용됐다. 여기에 1005chip부품의 대중화로 1992년경에는 현재 흔히 볼 수 있는 전압제어 발진기의 크기로 축소되었다. 이로서 기존의 고 유전을 유전체를 이용한 전압제어 발진기의 사용은 휴대성 측면보다는 성능이 요구되는 기지국용으로 제한 되게 되었다.

또한 상기 전압제어 발진기의 전력소모면을 그림 3에 나타내었다. 초기 전압제어 발진기는 7.5V의 공급전압을 사용했으며 이 때 전류 소모는 약 20 mA 정도였으며 10년이 지난 후에는 3V의 공급전압과 5mA의 전류를 사용하게되었다. 이러한 저전력 소모에의 요구는 휴대전화기에 있어서



(그림 3) 전압제어 발진기의 전원 소모 경향



(그림 4) 전압제어 발진기의 고주파 동향

battery 소모를 줄여 standby time을 늘리려고 하는 set 제조업자의 요구사항을 반영한 것이기도 하다.

이와 같이 전압이 줄어들 경우 능동소자들은 낮은 전압에서 동작하게되고, 능동소자들을 낮은 전압에 동작시킬 경우 일반적으로 C/N S/N 같은 위상잡음 특성은 나빠지는 경향이 있다. 또한 일반적인 전압제어 발진기의 경우 발진회로와 외부변동에 대해 발진회로가 영향을 받는 것을 막는 역할을 하는 buffer amplifier로 구성된다. 그런데 DC 전원 소모를 줄이기 위해 이들을 cascade시킬 경우 전류소모를 절반으로 줄일 수 있게 된다. 그러나 이들 각각에 걸리는 전압은 역시 절반으로 줄어 들게되어 위상 잡음 특성은 더욱 나빠지게 된다. 따라서 DC 전원 소모를 줄이기 위해 전압을 줄이고 transistor를 cascade시킬 경우 위상 잡음은 기존의 발진기에 비해 더욱더 나빠지게 된다.

이러한 문제를 없애는 것이 가능하게 된 것은 반도체 기술의 진전으로 저전압에서 동작하는 low voltage transistor들이 다량 출현했으며 또한 고주파용 transistor 제조기술 발전으로 차단 주파수 f_T 가 훨씬 높은 transistor들이 제조됐기 때문이다. 이러한 발전으로 DC 전력소모는 1/10로 축소됐으나 performance측면에서는 동일 수준 정도를 유지하게 되었다.

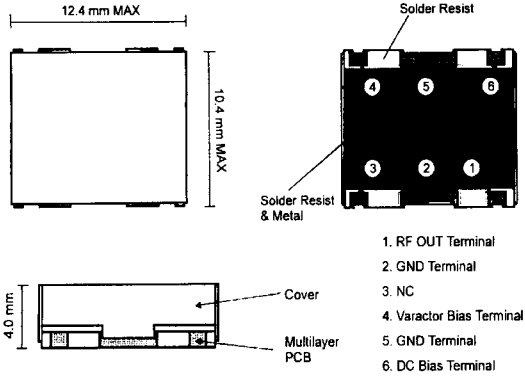
또 한편의 전압제어 발진기의 주목할만한 변화는 새로운 통신 service의 제안과 무관하지 않다. 초기 이동통신방식은 900MHz 근방의 analog 방식이 전부였으며 최근 늘어나는 가입자를 수용하는

데 어려움이 발생하였다. 이에 더 많은 가입자를 수용하기 위해 semi microwave band 인 2GHz 근방의 주파수대역이 이동통신을 위해 개방 됐으며 여기에 더 많은 가입자들을 수용하며 다기능 접속에 유리한 digital 방식 즉 일본에 있어서의 Personal Handy Phone(PHP), JDC, 미국의 PCN, 유럽의 DECT 등이 속속 출현했다. 이 것을 그림 4에 표시했다.

이러한 고주파에 적용하기 위해서는 필연적으로 공진기의 공진주파수를 올리는 것이 필요하며 또한 varactor diode, transistor 등의 능동소자의 특성 개선이 필요하다. 주파수가 올라갈 경우 공진기의 Q가 떨어져 어려움을 겪게된다. 현재까지는 기존기술을 이용 2GHz spectrum에 적용하고 있으며 연구진들은 꾸준히 성능개선 및 크기 축소를 위해 노력하고 있다.

III. 표면 실장형 전압제어 발진기의 구성

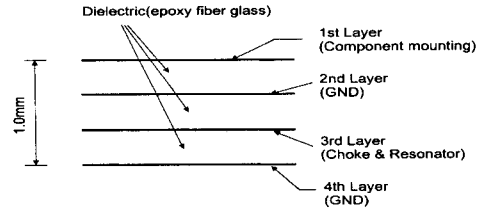
그림 5에 설명의 편의상 1991년에 상용화된 전압제어 발진기의 구성을 보인다. 이 전압제어발진기의 크기는 $12 \times 10 \times 4.0$ mm로서 약 0.45cc의 부피를 가진다. 그림에서 볼 수 있듯이 이 전압제어 발진기는 전자파 차폐와 접지를 제공하는 뚜껑과 전압제어발진기에 소요되는 칩 부품을 실장한 multilayer 인쇄회로기판으로 구성되어 있다. 따라서 전체 전압제어 발진기의 무게는 인쇄회로기판



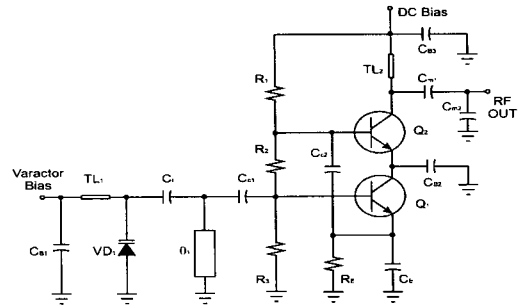
〈그림 5〉 전압제어 발진기의 구성

과 얇은 금속 뚜껑만으로 구성되어 경량의 구조를 가지고 있다. 그리고 전압제어 발진기의 동작에 필요한 DC 전원 공급, 발진 출력, 접지 및 주파수 조정 단자들은 multilayer 인쇄회로 기판의 직경 1mm의 through hole의 중심 부위를 반으로 절단하여 얻어지는 도금된 반쪽 원기둥 면을 그림과 같이 이용하고 있다. 인쇄회로기판 뒷면의 단자 이외의 금속 면은 절연체(Solder Resist)로 피복되어 있어 이 전압제어 발진기를 장착시, 장착 PCB의 타 pattern과 전기적으로 격리되게 된다.

이중 부품 조합에 쓰이는 multilayer PCB의 단면구성은 그림 6과 같다. 절연체 재질은 상용의 epoxy fiber glass이며, 전체 두께는 약 1.0mm로서 각 3 층이 균일하게 두께를 배분하고 있다. 첫 번째 금속 면은 부품 장착을 위한 설계된 도체 pattern이 있는 실장 면이며, 두 번째 금속 면은 첫째 면에 대해 접지 면을 제공하는 접지 면이다. 세 번째 금속 면은 RF choke 및 공진기 pattern이 들어가는 면으로 이용되며, 네 번째 면은 역시 접지 면으로 이용되고 있다. 따라서 제1면은 전자기적으로 볼 때 microstrip line 형태가 되며 세 번째 면은 양쪽이 접지 면으로 둘러싸여 있어 strip line의 구조가 되게 된다. 따라서 제1면과 제3면은 연결 hole을 제외한 다른 부위에서는 제2면 및 제4면에 의해 전자기적으로 격리되는 구조를 갖고 있다.



〈그림 6〉 전압제어 발진기의 다층기판의 단면도



〈그림 7〉 전압제어 발진기의 회로도

IV. 전압제어 발진기 회로 및 구성

그림 7에 현재 상용화된 전압제어 발진기의 회로도를 보였다.

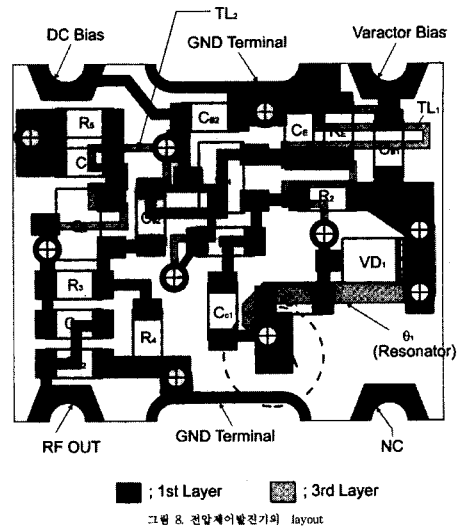
그림 7의 회로에서 저항 R_1 , R_2 , R_3 및 RE 는 transistor Q_1 및 Q_2 의 동작 점을 결정하는 bias 저항이다. 즉 DC bias 단자에 인가된 전압은 transistor Q_1 과 Q_2 에 흐르는 base current를 무시할 때에 저항 R_1 , R_2 , R_3 는 전압 분배기로 동작하여, 각각 transistor Q_1 과 Q_2 의 base에 적정전압이 걸리게 한다. 따라서 이 분배된 전압으로부터 transistor Q_1 에는 RE 에 의해 결정된 emitter 전류가 흐르게 된다. 또한 transistor Q_2 에 흐르는 emitter 전류는 이 전류와 같음을 알 수 있다. 그러므로 DC bias 단자에는 이 emitter 전류와 전압 분배기 R_1 , R_2 , R_3 branch로 흐르는 전류의 합이 흐르게 된다. 만약 transistor Q_1 과 Q_2 가 각각 따로

전류가 흐르게 될 경우는 이 전류의 거의 2배가 흐르게 되어 DC 전류 소모가 커지게 될 것이다. 이와 같이 상기 언급한 방법으로 이 회로는 DC 소모전류의 최소화를 기하고 있다.

Capacitor C_{B3} 은 transistor Q_1 및 Q_2 에 전원을 공급하기 위한 bypass capacitor로서 capacitance 값이 커서 동작 주파수에서는 단락의 상태로 보이게 되어 있어, DC 전원의 유동을 막고 회로 내의 고주파 전력이 bias부로 누설되는 것을 막고 있다. Capacitor C_{B2} 는 transistor Q_1 및 Q_2 의 접지상태를 결정하기 위한 것으로, 그 값이 커서 단락 상태가 되어 고주파에서 접지 점을 마련하고 있다. 이 capacitor에 의해 동작 주파수에서는 transistor Q_2 는 common emitter 상태가 되며, Q_1 의 경우는 common collector로서 동작하게 된다.

Capacitor C_E 는 common collector 상태에 있는 transistor Q_1 의 base 쪽에 들여다본 impedance에 부저항을 만들기 위한 capacitor로서 사용주파수에서 그 impedance 값은 저항 R_E 에 비해 작도록 설정되어, R_E , C_E 병렬 branch의 impedance 값은 거의 동작 주파수에서는 C_E 에 의해 결정되게 된다. 이 capacitor 값이 너무 클 경우 transistor Q_1 은 common emitter상태가 되어 부성저항은 사라지게 되고 또 너무 작을 경우 순수하게 저항 R_E 만에 의한 케환이 되어 역시 부성저항은 사라지게된다. 따라서 적절한 capacitor C_E 값을 취하여 부성저항을 유지 하여야 할 것이다.

Capacitor C_{c1} 는 capacitor C_E 에 의해 생성된 부저항을 resonator에 coupling시키기 위한 것이고, capacitor C_{c2} 는 transistor Q_1 의 부저항을 통해 얻어진 발진 전압을 common emitter 상태에 있는 transistor Q_2 에 전달하기 위한 capacitor이다. 반면 이 transistor Q_2 의 입력은 transistor Q_1 에 부하로 작용하여 발진 transistor Q_1 의 emitter에는 동작 주파수에서 C_{c2} 와 transistor Q_2 의 base-emitter간의 직렬연결이 capacitor C_E 에 병렬로 추가되게 된다. 이 transistor Q_2 는 base에 인가된 전압을 증폭시키는 역할을 하며, 이 증폭된 출력은 전송선 TL_1 및 capacitor C_{m1} 및 C_{m2} 를 통해 부하 50 ohm에 최대의 전력이 전달되도록 정합 된다.



〈그림 8〉 전압제어 발진기의 Layout

Capacitor C_{B1} 는 varactor diode VD_1 에 조정전압을 인가하기 위한 bypass capacitor로서 이 것의 impedance는 동작주파수에서 단락으로 동작하게 된다. 전송선 TL_2 는 varactor에 전원을 공급하기 위한 choke이며, capacitor C_1 는 varactor diode의 주파수 조정 범위를 조정하기 위한 capacitor이다. 이 C_1 , VD_1 branch는 resonator에 병렬로 연결되어 1/4파장 공진기의 병렬공진주파수를 인가전압에 따라 조정되게 한다.

결론적으로 transistor Q_1 에 의해 resonator와 함께 발진을 얻으며, 이 전력의 일부는 transistor Q_2 에 입력되어 증폭된 후 정합회로를 통해 출력되는 구조이다.

그림 8에는 상기 설명한 회로를 layout한 일례를 보여주고 있다. 그림 8에서 그림의 복잡성으로 인해 접지 면으로 사용되는 제2 layer와 제4 layer는 제외하고 제 1 layer와 제3 layer만 나타내었다. 부착되는 각 부품의 기호는 전술한 그림 7의 회로도 와 일치한다. 제 1 layer는 부품의 부착 면으로 사용되며 그림 8에서 보는 바와 같이 부착된 부품의 거의 모든 연결이 형성된다. 제 2 layer가 접지 면이므로 제1 layer의 연결 선로들은 microstrip으로 생각할 수 있고 선로의 길이는 고주파에서는 inductor로 작용하기 때문에 가능한

부품의 연결에 소요되는 선로의 길이를 짧게 형성하고 있다.

제3 layer에는 strip line 공진기와 transistor Q₂의 정합에 필요한 RF choke (그림 8의 TL₂) 및 varactor diode의 bias에 필요한 RF choke (그림 8의 TL₁) 그리고 제1 면에서 microstrip line의 inductance 영향을 최소화하기 위하여 부품을 가능한 짧게 연결할 때 제 1면에서 연결이 안되는 부분 중 simulation 상 영향이 가장 적은 부위를 제3 layer를 통하여 연결되고 있다.

전압제어발진기의 외부 interface 단자를 제공하기 위하여 그림과 같이 인쇄회로기판 가장자리 4군데에 직경 1 mm의 through hole로서 만들어, 이 hole을 반으로 절단하여 그림 8와 같이 단자로 사용했으며, 이 전압제어 발진기를 타 기판에 장착시 공통 접지 면을 제공하기 위하여 사용되는 접지 단자 (그림 8의 GND terminal)는 단자와 같은 직경을 갖는 through hole을 촘촘히 연결하여 이루어진 길다란 홈을 반으로 절단한 면을 이용하여 장착되는 PCB와 넓은 면에서 접지가 되도록 했다. 그 이외에 사용된 hole들은 모두 직경이 0.5mm로서 ground hole과 제1 면과 제3 면을 연결하는 연결 hole 들의 2종류가 있는데, 그림 8에는 제1 layer와 제3 layer만 그림에 나타내서 이들의 구분이 안되기 때문에 ground hole의 경우 그림에 □를 덧붙였다.

그림 8에 이용된 저항과 capacitor는 1608 type (길이 1.6mm 폭 0.8mm)의 chip 부품들이며, 그림 8의 A부위는 공진부의 공진 주파수를 미세 조정하기 위한 patch pattern으로서 칼이나 laser 로 trimming하여 발진 중심 주파수를 조정할 수 있게 된다. 또한 이 부분의 trimming 작업을 편리하게 하기 위하여 이 근처에는 부품을 가능한 덜 밀집시키도록 되어 있다.

V. 향후 전망

앞서서 기술을 통해 이동통신에 사용되는 표면

실장형 전압제어 발진기의 대부분을 설명하였다. 그리고 짧은 시간 안에 큰 변화를 실감할 수 있다. 그러나 아직도 이러한 전압제어 발진기는 단말기 적용할 때 크기와 장착방법 등에 있어서 개선 사항이 요구되고 있다. 향후에는 고유 전을 유전체 기판을 통해 좀더 크기를 축소시키는 것이 연구되고 있는 실정이나, 고유전율 기판을 사용할 때 회로부품들의 밀집이 더욱 커져 상호 간섭을 일으키게 되고 이 것에 대한 해결이 요구되고 있다. 이러한 기판을 사용할 때 저항의 경우 기판의 pattern 으로서 흡수 할 수 있어 크기를 줄이는 데는 효과적이지만 기본적으로 이러한 기판 사용할 때 열화되는 전압제어 발진기의 특성이 문제가 될 것이다.

MMIC화는 궁극적인 목적이지만 적절한 공진기가 없고 또한 양산시 주파수 미세조정의 문제가 남아 있어 이 것 또한 MMIC 화하는데 큰 장애가 되고 있다. 하지만 향후 개발진 들의 꾸준한 노력에 의해 이러한 문제들이 극복되리라고 본다. 궁극적으로는 전압제어 발진기 및 전력증폭기 등 기타 RF 부품들을 통합한 거대한 analog IC가 출현하리라고 보며 이를 위해 끊임없이 노력해야 될 것이다.

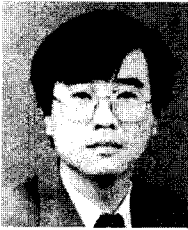
참 고 문 헌

- [1] You Funada, "VCO technique enable compact, high-frequency mobilecom", Dec., JEE, 1993.
- [2] Toshio Nishikawa, "RF front end circuit components miniaturized using dielectric resonators for cellular portable telephones", IEICE Trans., vol. E74, No. 6, June 1991.
- [3] 中部孝治, 渡 雅弘, 牧本三夫, 結城主央己, "800MHz대 주파수 synthesizer의 구성과 특징", 信學技報 MW-78-72, 1978
- [4] 西木貞之, 結城主央己 "자동차 전화 이동기 용 800MHz대 주파수 synthesizer", 信學論

(B), J65-B, 6, pp. 737-744 1982-06

- [5] 上野伴希, 中川芳洋, 中村俊昭, 石崎俊雄,
“휴대전화용 소형 전압제어발진기의 저잡음
화 설계법”, 電子情報通信學會論文誌, C-1,
Vol. J76-C-1, No. 11 pp. 430-436 Nov.
1993
- [6] 정옥현, “이동통신용 frequency synthesizer
의 설계”, RF 및 M/W분야 단기 기술강좌,
대한전자공학회, pp. 93-125, 6월 1994
- [7] 홍성용, “Frequency synthesizer용 전압제어
발진기”, 이동통신 위성통신용 부품설계워크
샵, 한국통신학회 통신 및 회로부품 연구회,
pp. 274-308, 1994
- [8] 염경환, 이명성, “900 MHz 대역의 이동통신
용 전압제어발진기의 더 높은 고주파 대역에
서의 적용 가능성에 대한 검토”, 한국통신학
회 논문지 '95-8, Vol. 20, No. 8, pp. 200-
209, 1995
- [9] 염경환, “3V에 동작하는 PCS 단말기용 표면
실장형 전압제어 발진기의 설계 및 제작”, 한
국통신학회 논문지, pp. 784-793, 제 21권 3
호, 1996

저자 소개



廉京煥

1957年 10月 22日生

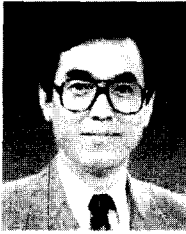
1980年 2月 서울대학교 전자공학과 공학사

1982年 2月 한국과학기술원 공학석사

1988年 2月 한국과학기술원 공학박사

1985年 12月~1988年	금성전기 연구소 주임연구원
1987年 3月~1990年 2月	금성 소재부품연구소 선임연구원(MIC팀 팀장)
1990年 3月	금성 소재부품연구소 책임연구원
1991年 5月	금성정밀 연구소 연구1실 책임연구원
1995年 8月	(주)엘티아이 부장
1995年 10月~현재	충남대학교 전파공학과 조교수

관심 분야 : 초고주파 집적회로, 초고주파시스템



朴 東 徹

1952年 2月 5日生

1974年 2月 서울대학교 전자공학과 공학사

1976年 2月 한국과학기술원 공학석사

1984年 12月 University of California, Santa Barbara 공학박사

- | | |
|--------------------|---|
| 1976年 3月~현재 | 충남대학교 공과대학 전자,전파공학과 교수 |
| 1996年 1月~현재 | 한국전자과학회 부회장 |
| 1994年 1月~현재 | IEEE MTT Korea Chapter Chairman |
| 1993年 3月~현재 | 공업진흥청 CISPR 분과 분과위원장 |
| 1993年 3月~현재 | 충남대학교 전파공학과 학과장 |
| 1995年 1月~1995年 12月 | 한국통신학회 학술이사 |
| 1992年 3月~1993年 2月 | 충남대학교 전자공학과 학과장 |
| 1991年 1月~1995年 1月 | 한국전자과학기술학회 표준규격심의위원장 |
| 1990年 4月~1992年 4月 | 충남대학교 공과대학 학생과장 |
| 1989年 4月~1992年 3月 | 충남대학교 학생생활연구소 국외유학상담부장 |
| 1988年 1月~1988年 12月 | 대한전자공학회 마이크로파 분과 분과위원장 |
| 1985年 7月~1988年 4月 | 충남대학교 공업교육연구소 기획관리부장 |
| 1981年 9月~1984年 12月 | University of California, Santa Barbara Fulbright 유학생 |
| 1977年 6月~1978年 10月 | 서독 Bochum대학 반도체연구소 DAAD 연구원 |

주관심 분야: 마이크로파 필터 설계, 마이크로파 페라이트 소자 설계, 이동통신전파 특성