

# 주파수 합성기의 설계 및 성능실험 방법

鄭玉鉉

LG電子(주) N-Hi 센타

## I. 서론

주파수 합성기(Frequency Synthesizer)란 기준 주파수에 위상이 맞춰진 2개 이상의 신호를 외부 제어 명령에 따라 발생시키는 장치를 말한다.<sup>[1,2]</sup> 주파수 합성기는 무선통신 시스템에서 통신에 필요한 신호를 발생시킨다는 측면에서 가장 중요한 블록으로 다루어지고 있다.

본 논문에서는 이동통신용 주파수 합성기의 설계방법과 성능실험 방법에 대해서 설명하였다. 또한 고주파 회로중 전력증폭기, 필터를 제외한 나머지 회로 부분은 MMIC(Microwave Monolithic Integrated Circuit)로 집적화 되어 가고 있으며, 특히 GSM 단말기용의 경우에는 고주파 회로 전체가 1 칩으로까지 상용화되기 시작했다. 이에 따라 주파수 합성기의 주요부분인 PLL(Phase-Locked Loop) IC와 전압제어 발진기(VCO, Voltage Control Oscillator)의 능동소자 부분도 MMIC 내부로 집적화 되고 있다. MMIC는 고주파 회로 분야의 큰 흐름이기 때문에 산업계의 IC 이용자 입장에서 현재의 MMIC 동향에 대해서도 간략하게 정리해 보았다.

## II. 주파수 합성기(FREQUENCY SYNTHESIZER)의 설계

### 1. 주파수 합성기의 기본개념 및 동작원리

주파수 합성기의 목적은 2개이상의 신호를 주파수와 위상을 일정범위내로 맞추어 연속적으로 출력시켜주는 일종의 제어용 루프이다. 이는 주파수를 발생시키는 회로의 구현방법에 따라 직접방식과 간접방식으로 구분할 수 있다. 두 방식의 특성 비교는 표 1과 같다.

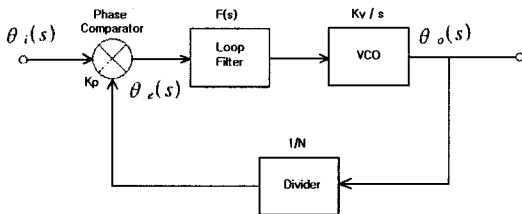
주파수 합성기는 기본적으로 기준발진기, 전압제어 발진기(VCO, Voltage Controlled Oscillator), 루프 필터(Loop Filter), 위상 비교기(Phase Comparator), 분주기(Divider), 전하 펌프(Charge Pump)로 구성되고 송신용인 경우 변조

〈표 1〉 주파수 합성기의 방식별 비교

	주파수안정도	위상 잡음	설계 난이도	크기	가격
직접방식	나쁨	좋음	어려움	큼	비쌈
간접방식	좋음	나쁨	쉬움	작음	쌈

회로가 추가된다.

사용되는 용어를 간단히 살펴보기로 하자. 자속 주파수(Free-run Frequency)는 VCO의 제어전압 입력이 개방되어 있는 경우, 즉 루프가 동작하지 않는 경우의 VCO 주파수이고 Lock Time은 주파수를 변경할 때 VCO의 출력 주파수가 최종 주파수의 일정범위 이내에 들기까지의 응답시간을 의미한다. 루프 이득(Loop Gain)은 시스템 전체의 이득으로 로크 레인지(Lock Range), 캡처 레인지(Capture Range)등에 영향을 주는 계수이며 Capture Range는 Lock이 안된 상태에서 VCO 제어전압을 증가 또는 감소시켜 Lock이 되는 전압범위를 나타내고, Lock Range는 Lock이 된 상태에서 VCO 제어전압을 증가 또는 감소시켜 Lock이 유지되는 전압 범위를 뜻한다. 그리고 루프의 과도 응답 특성을 좌우하는 계수로 댐핑 계수(Damping Factor)가 있는데, 이는 루프 이득, 루프 필터의 시정수 등에 의해 결정된다. 루프 대역폭(Loop Bandwidth) 역시 루프 필터의 시정수에 의해 결정되며 Capture Range, 잡음 대역폭(Noise Bandwidth) 등의 특성을 좌우한다.



〈그림 1〉 주파수 합성기의 기본 블록 다이어그램

주파수 합성기는 그림 1과 같은 구성도를 가지며 이는 전달함수라는 형태로 표현할 수 있다.

루프의 forward 전달함수를 G(S), feedback 전달함수를 H(S)라고 정의하며 여기서 입력과 에러의 비를 개방루프 전달함수(Open Loop Transfer Function)라 하며

$$\frac{\theta_e(s)}{\theta_i(s)} = G(s)H(s) = K_p \cdot F(s) \cdot \frac{K_v}{s} \cdot \frac{1}{N} = K_{Total} \frac{F(s)}{s} \tag{1}$$

입력과 출력의 비는 폐루프 전달함수(Closed Loop Transfer Function)라 하며 식(2)와 같이 나타낸다.

$$B(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{G(s)}{1 + G(s)H(s)} = \frac{\frac{K_p F(s) K_v}{s}}{1 + \frac{K_p F(s) K_v}{sN}} = \frac{NK F(s)}{s + K F(s)} \tag{2}$$

이외에 루프의 정상상태와 과도(Transient) 특성이 적절한지를 판단하는 기준으로

$$\begin{aligned} \text{에러 상수(Error Constant)} &= \lim_{s \rightarrow 0} [\theta_e(t)] \\ &= \lim_{s \rightarrow 0} [s \theta_e(s)] \end{aligned} \tag{3}$$

$$\text{잡음 대역폭 } B_n = \frac{1}{2\pi} \int_0^\infty B(j\omega) d\omega \tag{4}$$

$$3\text{dB 대역폭 } B_{3dB} = |B_n(j\omega)|^2 = 0.707 \tag{5}$$

인 B\_n의 값 등의 함수가 있다.

다음으로 루프의 Type과 Order에 대해 간단히 설명하면 다음과 같다. Type은 원점에 위치한 루프 전달함수 G(s)H(s)의 Pole수를, Order는 1 + G(s)H(s) = 0인 다항식 표현중 가장 높은 차수를 뜻한다.

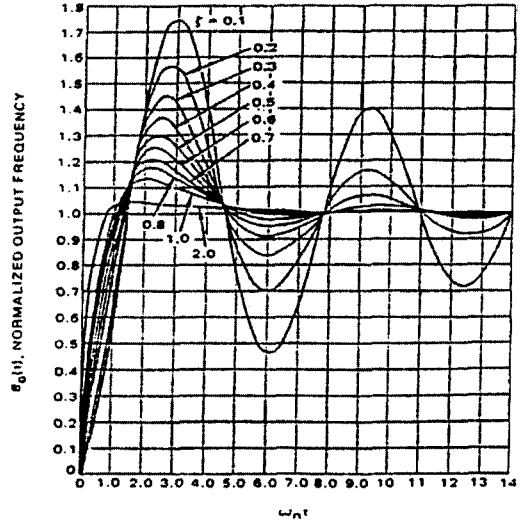
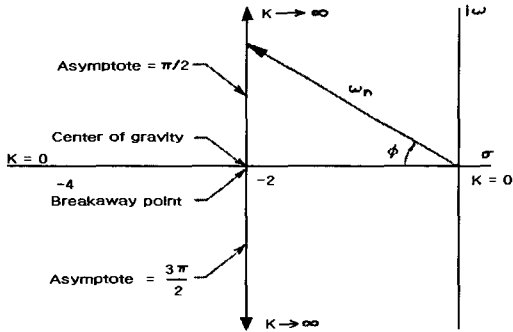
$$\text{Type 1 : } G(s)H(s) = \frac{K}{s(s+a)} \tag{6}$$

$$\text{Type 2 : } G(s)H(s) = \frac{K(s+a)}{s^2} \tag{7}$$

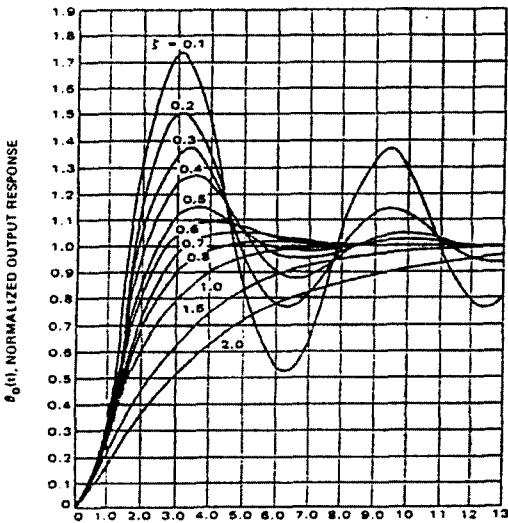
$$\text{Type 3 : } G(s)H(s) = \frac{K(s+a)(s+b)}{s^3} \tag{8}$$

여기서 K는 루프 이득을 나타낸다.

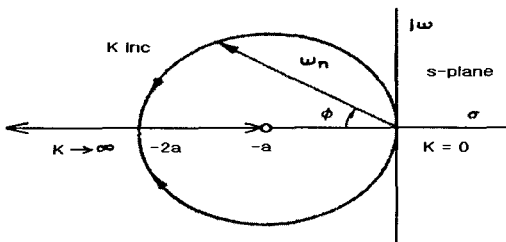
루프의 안정도를 결정하는 요소로 과도 응답과 스텝 응답이 있는데 과도 응답은 시스템의 Pole과 Zero를 결정하는 Root Lotus technique으로 볼 수 있고 스텝 응답은 댐핑 비율에 따른 위상 응답을 의미한다.



(그림 3) Type 2의 과도 및 스텝 응답



(그림 2) Type 1의 과도 및 스텝 응답



2. 주파수 합성기의 구성 성분

(1) 기준발전기

PLL(Phase Locked Loop)을 구성하는 요소중 루프의 주파수 안정도를 결정하는 가장 중요한 부분이 기준발전기이며 특히 이동통신처럼 높은 주파수 안정도를 필요로 하는 시스템에서는 이를 위해 TCXO나 VCTCXO를 사용하며 주요 규격은 표 2와 같다.

(2) 전압제어 발전기(VCO, Voltage Controlled Oscillator)

(표 2) 기준 발전기의 주요 규격

전원	전압	3.0V ± 5%
	전류	2.0mA 이하
출력특성	파형	1.0Vpp Clipped Sine Wave
	Load	10kΩ/10pF
	Harmonics	-5dBc
주파수 안정도	온도특성	± 2.5ppm/ -30 ~ +75°C
	전압특성	± 0.5ppm/Vcc ± 5%
	부하변동	± 0.3ppm/Load ± 10%
	Aging	± 1.0ppm/年
	저정범위	TCXO: ± 3.0ppm/내부 VCTCXO: ± 7 ~ 15ppm/2V
온도범위	동작온도	-30 ~ +75°C
	저장온도	-35 ~ +80°C

〈표 3〉 전압제어 발전기의 주요 규격

전압	3.0V ± 5%
전류	8.0mA 이하
제어전압 범위	0.5~2.5V
출력 주파수	1GHz 정도: 제품마다 상이
변환 이득	20MHz/V 정도: 제품마다 상이
출력 레벨	-2 ± 3dBm
C/N	70dB 이상(60KHz Offset, 30KHz BW)
S/N	45dB 이상(1KHz ± 3KHz 변조)
Pushing Figure	± 250KHz/Vcc ± 5%
Pulling Figure	± 0.5MHz/VSWR = 2.0
온도 안정도	± 3.0ppm / -35 ~ +80°C
변조감도	10KHz/1Vpp ± 20%
저장온도	-35 ~ +80°C

가) 설계시 주요 목표 규격

VCO는 실제 필요한 주파수 신호를 생성해 주는 부분으로, 인가되는 에러 신호에 의한 제어전압 변동에 따라 출력 주파수가 바뀐다. 주요규격으로는 구동전압/전류, 주파수 범위, 변환이득(전압 대 주파수 특성의 선형성), 주파수안정, 출력 레벨, 위상 잡음, Spurious/Harmonics, 푸싱 및 풀링(Pushing and Pulling Figure) 등이 있다. 아날로그 셀룰라용 VCO의 주요규격을 예로 표 3에 나타내었다.

나) 부하 VSWR에 대한 감쇠기의 효과

VCO 출력단과 전력 분배기 사이에 흔히 삽입되어 VCO의 풀링 특성을 개선시켜주는 감쇠기의 VCO 부하 VSWR에 대한 영향을 살펴본다.

일반적으로 감쇠기의 S-파라미터는 다음과 같이 나타낼 수 있다.

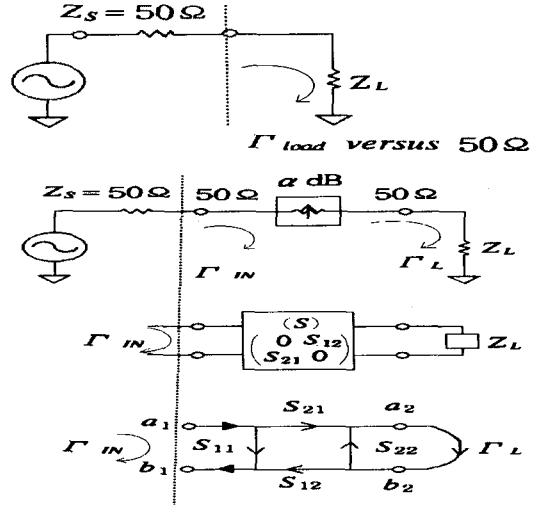
$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} 0 & S_{12} \\ S_{12} & 0 \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \quad (9)$$

그림 4에서 VSWR과 S-파라미터간의 관계식은 다음 식과 같다.

$$|S_{12}| = \left| \frac{b_1}{a_2} \right| = \sqrt{\left| \frac{b_1}{a_2} \right|^2} \quad (10)$$

$$|S_{12}| = \left| \frac{b_2}{a_1} \right| = 10^{-\frac{\alpha}{20}} \quad (11)$$

$$|\Gamma_{IN}| = 10^{-\frac{\alpha}{20}} \quad (12)$$



〈그림 4〉 감쇠기의 S-파라미터

$$S_{IN} = \frac{1 + \Gamma_{IN}}{1 - \Gamma_{IN}} \quad (13)$$

여기서  $\alpha$ 는 Attenuation 계수이다.

위의 식들로부터 감쇠기의 입력 VSWR을 계산해보면 식 (14)와 같다.

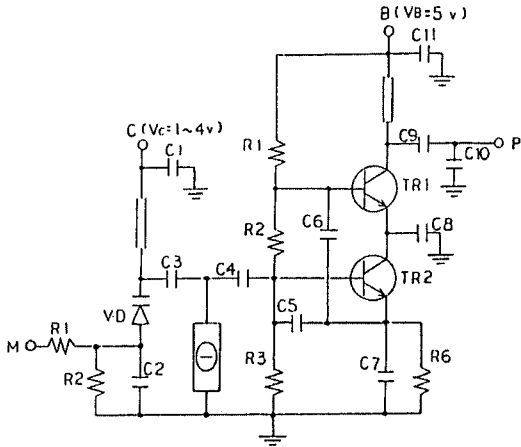
$$\begin{aligned} \frac{1}{S_{IN}} &= \frac{1 - 10^{-\frac{\alpha}{20}} |\Gamma_L|}{1 + 10^{-\frac{\alpha}{20}} |\Gamma_L|} = \frac{1 - 10^{-\frac{\alpha}{20}} \frac{S_{load} - 1}{S_{load} + 1}}{1 + 10^{-\frac{\alpha}{20}} \frac{(-1) + S_{load}}{1 + S_{load}}} \\ &= \frac{1 - e^{-\frac{\alpha}{20} \ln 10} \left( \frac{1 - \frac{1}{S_{load}}}{1 + \frac{1}{S_{load}}} \right)}{1 + e^{-\frac{\alpha}{20} \ln 10} \left( \frac{1 - \frac{1}{S_{load}}}{1 + \frac{1}{S_{load}}} \right)} \\ &= \frac{1 - e^{-\frac{\alpha}{20} \ln 10} \cdot e^{\frac{\ln \frac{1 - \frac{1}{S_{load}}}{1 + \frac{1}{S_{load}}}}{1 + \frac{1}{S_{load}}}}}{1 + e^{-\frac{\alpha}{20} \ln 10} \cdot e^{\frac{-2(\frac{\alpha}{20} \ln 10 - \frac{1}{2} \ln \frac{1 - \frac{1}{S_{load}}}{1 + \frac{1}{S_{load}}})}{1 + \frac{1}{S_{load}}}}} \\ &= \frac{1 - e^{-\frac{\alpha}{20} \ln 10} \cdot e^{\frac{\ln \frac{1 - \frac{1}{S_{load}}}{1 + \frac{1}{S_{load}}}}{1 + \frac{1}{S_{load}}}}}{1 + e^{-\frac{\alpha}{20} \ln 10} \cdot e^{\frac{-2(\frac{\alpha}{20} \ln 10 - \frac{1}{2} \ln \frac{1 - \frac{1}{S_{load}}}{1 + \frac{1}{S_{load}}})}{1 + \frac{1}{S_{load}}}}} \\ &= \tanh \left[ \frac{\alpha}{20} \ln 10 - \frac{1}{2} \ln \frac{1 - \frac{1}{S_{load}}}{1 + \frac{1}{S_{load}}} \right] \\ &= \tanh \left[ \frac{\alpha}{20} \frac{1}{\log e} + \tan^{-1} h \frac{1}{S_{load}} \right] \quad (14) \end{aligned}$$

즉, 다음과 같이 부하 VSWR이 바뀔을 알 수 있다.

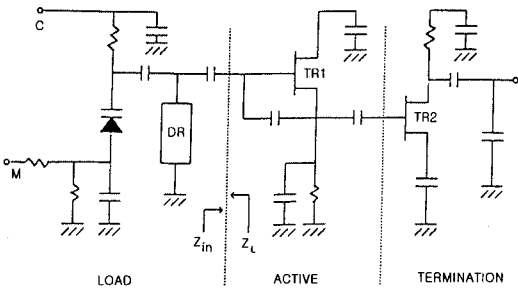
$$\frac{1}{S_{IN}} = \tanh\left[\frac{\alpha}{8.68589} + \tan^{-1}h \frac{1}{S_{load}}\right] \quad (15)$$

다) VCO의 발진 조건

그림 5와 6은 가장 일반적인 VCO의 형태와 AC 등가회로를 나타낸 것이다.



〈그림 5〉 일반적인 Colpitts Type VCO



〈그림 6〉 AC 등가회로

$$Z_L(V, \omega) = R_L(V, \omega) + j X_L(V, \omega) \quad (17)$$

그리고 식 (18)과 (19)를 만족하는 조건에서 발진한다.

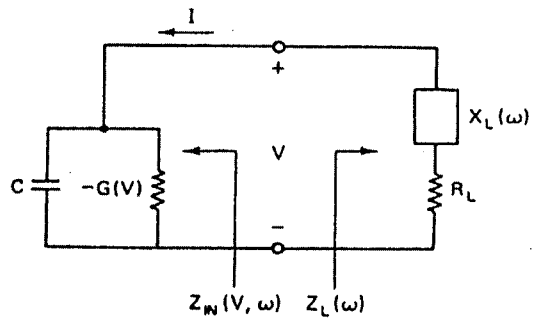
$$R_a[Z_{IN}(V, \omega) + Z_L(V, \omega)] > 0 \quad (18)$$

$$\Gamma_{IN}(V, \omega)\Gamma_L(V, \omega) = 1 \quad (19)$$

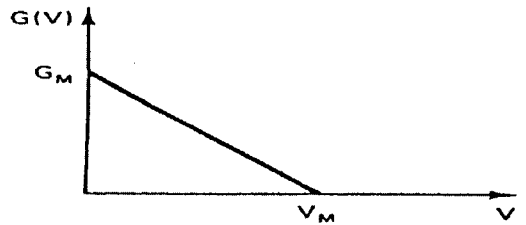
위 발진조건을 정리하면 다음과 같다. 발진 주파수  $\omega = \omega_0$ 는 식 (21)에서 구할 수 있다.

$$R_{IN}(V, \omega) + Z_L(V, \omega) = 0 \quad (20)$$

$$X_{IN}(V, \omega) + X_L(V, \omega) = 0 \quad (21)$$



〈그림 7〉 부저항 디바이스



〈그림 8〉 Amplitude Variations of G(v)

VCO가 발진하는 조건은, 부저항 디바이스의 경우 임피던스는  $Z_{IN}(V, \omega) < 0$ 일 때 발진하며 식 (16)과 같이 표시된다<sup>[3]</sup>.

$$Z_{IN}(V, \omega) = R_{IN}(V, \omega) + j X_{IN}(V, \omega) \quad (16)$$

또한 발진기는 Passive Load에 접속되는데 이의 임피던스는 식 (17)과 같다.

라) Load part에 대한 해석

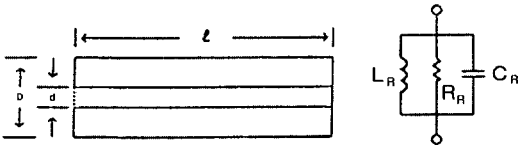
Load Part는 공진기와 바랙터(Varactor)로 나누어 해석할 수 있는데 유전체 공진기는 Q (Quality factor)가 아주 높은 부품이므로 공진 소자로 흔히 사용하며 대부분  $\lambda/4$  각형을 사용한다. 등가 회로와 임피던스 특성은 아래와 같다.

$$\text{특성 임피던스 } Z_0 = \frac{138}{\sqrt{\epsilon_r}} \log(1.0787 \frac{D}{d}) \quad (22)$$

$$\text{공진 커패시턴스 } C_R = \frac{1}{8 f_0 Z_0} \quad (23)$$

$$\text{공진 인덕턴스 } L_R = \frac{1}{C_R \omega_0^2} \quad (24)$$

$$\text{레지스턴스 } R_R = \frac{Q}{\omega_0 C_R} \quad (25)$$



(그림 9) 공진기의 외관 및 등가 회로

그러나 최근에는 제품이 점점 소형화됨에 따라 주파수에 의해 크기가 결정되는 유전체 공진기로는 한계가 있어 대부분 스트립 라인 공진기로 설계한 경박단소의 제품이 많이 생산되고 있다.

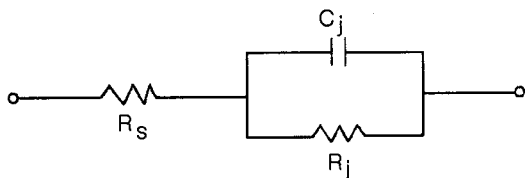
바랙터는 VVC(Voltage Variable Capacitor)라고도 하며 전압에 따라 커패시턴스가 변하는 소자이므로 VCO의 주파수를 가변할 수 있게 하는 기본 부품이다.

$$C_j = \frac{C_0}{(1 - \frac{V}{V_0})^n} \quad (26)$$

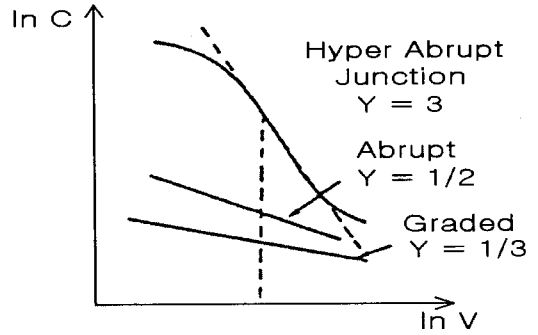
$$Q \cong \frac{\omega C_j R_j}{1 + \omega^2 C_j^2 R_j R_s} \quad (27)$$

여기서  $C_0$ 는  $V_0$ 일 때의 커패시턴스이고  $n$ 은 PN 접합에 따른 계수를 나타낸다.

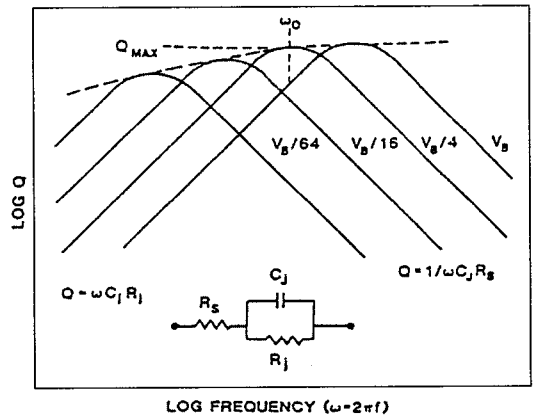
따라서 PN 접합의 종류에 따라 특성 그래프가 달라지며 등가 회로, 전압 대 커패시턴스 특성, 주파수 대  $Q$ 를 다음 그림 10, 11 및 12에 각각 나타내었다.



(그림 10) 등가회로



(그림 11) 전압 대 커패시턴스 특성



(그림 12) 주파수 대 Q

Load Part의 전체적인 공진 주파수 특성은 다음 식과 같이 표시되고 그래프로 나타내면 그림 13과 같다.

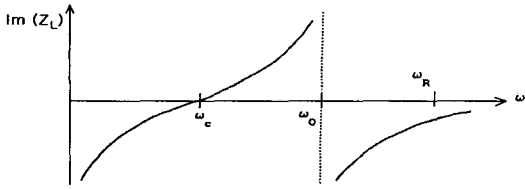
$$\omega_R = \frac{1}{\sqrt{L_R C_R}} \quad (28)$$

$$\omega_0 = \frac{1}{\sqrt{L_R (C_R + C_T)}} \quad (29)$$

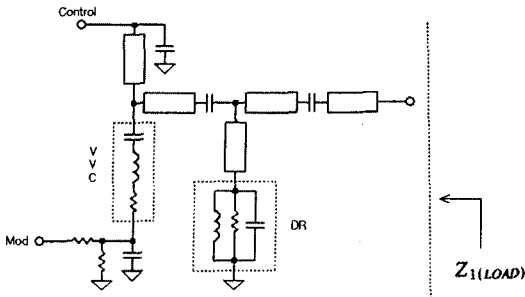
$$\omega_c = \frac{1}{\sqrt{L_R (C_1 + C_R + C_T)}} \quad (30)$$

단, 여기서  $L_R, C_R, \omega_R$ 은 유전체 공진기의 자체 특성을 의미하며,  $C_T$ 는 유전체 공진기에서 VVC 쪽을 바라본 등가 커패시턴스,  $C_1$ 은 Load part와 Active part사이의 블로킹 커패시턴스를 말한다. Load Part에서 유전체 공진기와 VVC를 등가회로로 나타낸 Load Part 전체의 상세 등가 회로는 그

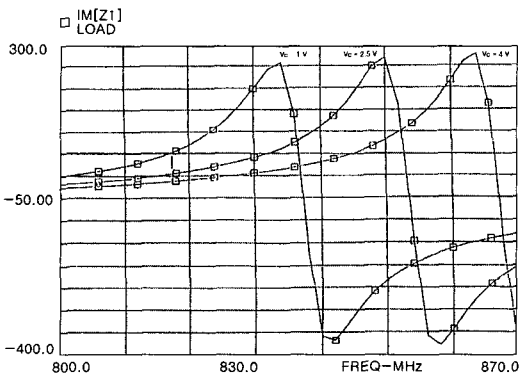
림 14와 같으며 Load Part 임피던스의 허수 부분의 주파수 특성을 시뮬레이션 하면 그림 15와 같다.



(그림 13) 공진 주파수의 특성



(그림 14) Load Part의 상세 등가회로



(그림 15) 시뮬레이션 결과

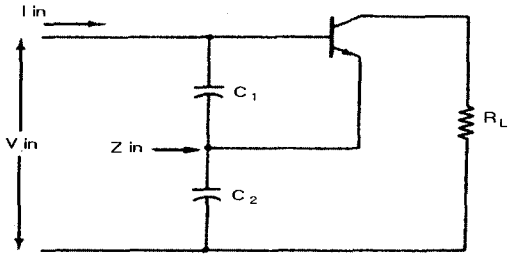
마) Active part와 Termination part의 해석

Termination Part는 출력단의 외부 Load 변동에 따른 풀링 효과(Pulling Figure)를 억제하고 증폭을 하기 위해 1단 내지 2단의 증폭기로 구성되어 있다. 우선 Termination Part의 출력 정합(Output Matching)을 위한 소자값을 Smith Chart를 이용하여 구한 후 이 회로를 Active Part 출력단에 연결하고 발진 조건인 식 (20)을 만족하

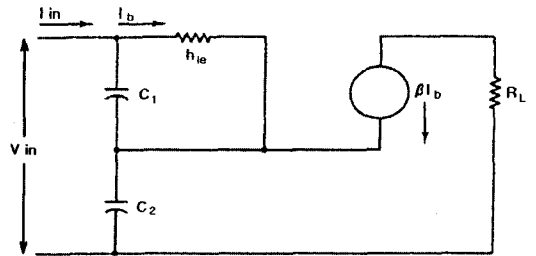
도록 Active Part 입력단에서 본 입력 임피던스가 부(-)가 되도록 회로 소자값을 결정한다.

Active Part 입력 임피던스의 부(-) 관계식을 유도해 보자.

트랜지스터의 등가 파라미터중 하나인  $h_{oe} \ll 1/R_L$  라고 가정하면 등가회로와 소신호 회로는 그림 16, 17과 같이 나타낼 수 있다.



(그림 16) 등가회로



(그림 17) 소신호 회로

정상상태 루프 방정식(Steady State Loop Equation)은 다음 식 (31)과 (32)로 된다.

$$V_{IN} = I_{IN}(X_{c1} + X_{c2}) - I_b(X_{c1} + \beta X_{c2}) \quad (31)$$

$$0 = -I_{IN}(X_{c1}) + I_b(X_{c1} + h_{ie}) \quad (32)$$

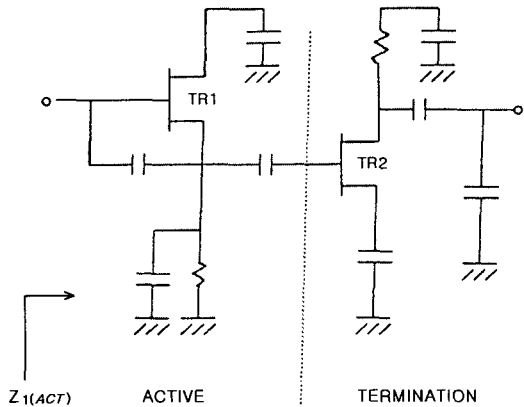
두 식에서  $I_b$ 를 제거하면

$$Z_{IN} = \frac{V_{IN}}{I_{IN}} = \frac{(1 + \beta)X_{c1}X_{c2} + h_{ie}(X_{c1} + X_{c2})}{X_{c1} + h_{ie}} \quad (33)$$

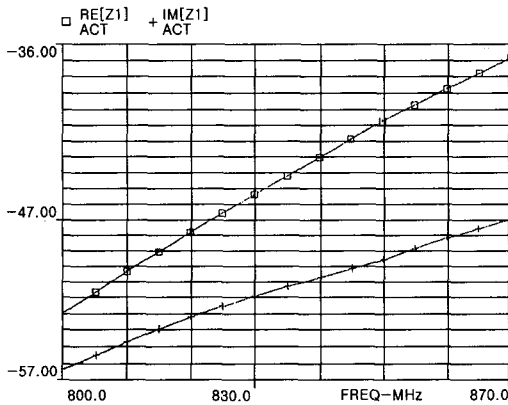
이 되고, 이때,  $X_{c1} \ll h_{ie}$ 이면 다음식과 같이 나타낼 수 있다.

$$Z_{IN} \approx \frac{1 + \beta}{h_{ie}} X_{c1}X_{c2} + (X_{c1} + X_{c2}) \approx \frac{-g_m}{\omega^2} C_1 C_2 + \frac{1}{j\omega [C_1 C_2 / (C_1 + C_2)]} \quad (34)$$

이 관계식으로부터 Active part의 임피던스는 실수 및 허수 부분 모두다 부(-)의 값을 가짐을 알 수 있다. Active part와 Termination part의 등가 회로는 그림 18, 시뮬레이션 결과는 그림 19에 나타내었다.



(그림 18) Active Part와 Termination Part 등가 회로



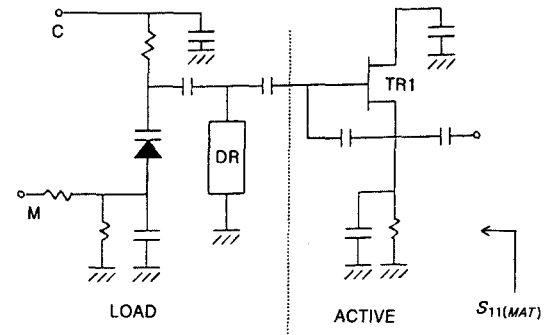
(그림 19) 시뮬레이션 결과

바) VCO 전체 회로의 해석

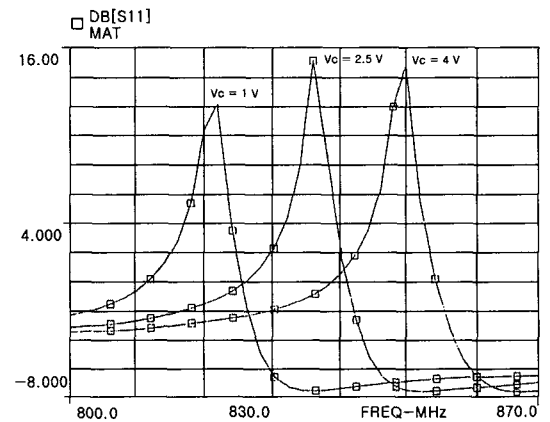
앞절에서 부분적으로 설계되고 시뮬레이션한 회로 블록을 기준으로 그림 20에 나타낸 VCO 전체 회로를 시뮬레이션 하였다. VCO 전체의 출력단에서 바라본 S<sub>11</sub>의 시뮬레이션 결과는 그림 21에 나타내었다. 이 결과로부터 제어 전압 V<sub>G</sub>가 1V~4V 까지 변동될 때 VCO의 출력 주파수가 820MHz~850MHz로 가변 제어됨을 알 수 있다.

참고로 설계 완료된 VCO 전체 회로의 Touchstone 시뮬레이션 프로그램을 표 4에 나타내었다.

시뮬레이션 프로그램 작성시 부품 취부용 패드에 의한 커패시턴스와 부품과 부품사이의 연결 패턴에 의한 인덕턴스값 등등의 기생효과(parasitic effect)에 의한 영향도 면밀하게 감안하여야만 시뮬레이션 결과와 실험 결과간의 차이가 작아짐에 유의하여야 한다.



(그림 20) VCO 전체 등가회로



(그림 21) 시뮬레이션 결과

사) 주파수 조정 방법

VCO는 설계시와 실제 제작, 실험시 주파수 차이가 다소 날수 있으며, 이는 앞에서 언급한 것처럼 PCB Layout상의 패턴, 소자 등가회로값의 편차, 기생(Parasitic) 커패시턴스/인덕턴스등에서 기인하는 것이다. 이를 보상하기 위해서는 주파수 조정이 필요하다. 이 방법으로는 회로상의 커패시



〈표 4〉 Touchstone 시뮬레이션 프로그램

DIM	FREQ	MHZ			
VAR	LNG	MM			
	BIAS/1				
	ZO/7.84				
	FO/1110				
EQN	CV=27.3/(1.+BIAS/1.2) * * 0.6				
	LR=1E9/((2 * 3.141592 * FO * IE6) * * 2 * CR * 1E-12				
CKT	MSUB	ER=9.6	H=0.635	T=1.2E-3	RHO=1 RGH=0
	CAP	1	0	C=100	! C1
	MLIN	1	2	W=0.2	L=9.8
	CAP	2	3	CCV	! CR OF BARACTOR
	IND	3	4	L=4.1	! L OF VARACTOR
	RES	4	5	R=0.6	! R OF VARACTOR
	CAP	5	0	C=100	! C2
	RES	5	0	R=200	! R2
	MLIN	2	6	W=0.7	L=0.8
	CAP	6	7	C=6.9	! C3
	MLIN	7	8	W=0.6	L=0.3
	CAP	8	0	CCR	! C OF DR
	IND	8	0	LLR	! L OF DR
	RES	8	0	R=3000	! R OF DR
	MLIN	7	9	W=0.7	L=0.3
	CAP	9	10	C=3	! C4
	MLIN	10	11	W=0.6	L=0.2
	CAP	11	12	C=2	! C5
	S2PA	11	12	HSMX16	
	CAP	13	0	C=20	! C8
	CAP	12	0	C=1	! C7
	RES	12	0	R=100	! R6
	MLIN	12	14	W=0.2	L=2.9
	CAP	14	15	C=4	! C6
	DEF1P	15	MAT		
!	S2PB	15	17	HSMX24	
!	CAP	17	0	C=20	! C8
!	MLIN	16	18	W=0.2	L=9.8
!	CAP	18	0	C=1000	! C11
!	CAP	16	19	C=10	! C9
!	CAP	19	0	C=6	! C10
	RES	19	0	R=50	
1	DEF1P	20	Z	LOAD	
!	S1PA	21	0	LOAD	
!	DEF1P	21		ZLOAD	
!TERM					
!	MAT	0	0	ZLOAD	
FREQ	SWEEP	800	870	2	
OUT	MAT	DB[S11]		GR1	
!	MAT	IM[Z1]		GR1	
!	MAT	S11		SCN	

턴스 부품값을 미세조정하거나 유전체 공진기 표면을 굽어서 공진 주파수를 낮게 혹은 유전체를 덧붙여 주파수를 높게 할 수 있다. 뿐만 아니라 PCB상에서 유전체 공진기가 접속된 Pad의 길이와 폭을 조정하여 조정하는 방법도 있다.

(3) 루프 필터

루프 필터는 Lock Time, 신호 대 잡음비 (S/N), 안정도 등과 밀접한 연관이 있는 회로 블록으로, 주파수 합성기 특성에 큰 영향을 미치며 Lock Time, 루프 대역폭, 루프 이득 등을 결정한다. First Order Loop는 No Filter, 즉  $F(s)=1$ 인 루프로 전달함수와 잡음 대역폭은 각각 다음식과 같다.

$$B_n = \frac{K_P K_V}{s + \frac{K_P K_V}{4N}} \quad (35)$$

$$B_n = \frac{K_P K_V}{4N} \quad (36)$$

여기에서  $B_n \propto N$ 이므로 N에 따라 루프 특성 변화율이 결정되므로 거의 사용하지 않는다. Second Order Loop는 간단하면서도 특성이 우수하여 가

$$\zeta = \frac{1}{\tau_1} \sqrt{\frac{1}{2K}} \quad (40)$$

Type 2의 경우는

$$F(s) = \frac{1 + \tau_2}{1 + s(\tau_1 + \tau_2)} \quad (41)$$

$$B(s) = \frac{N \frac{1 + s\tau_2}{\tau_1 + \tau_2}}{s^2 + \frac{1 + \tau_2 K}{\tau_1 + \tau_2} s + \frac{K}{\tau_1 + \tau_2}} = \frac{\omega_n^2 + (2\zeta - \frac{\omega_n}{K})s}{s^2 + 2\zeta\omega_n s + \omega_n^2} N \quad (42)$$

이 되고,  $\omega_n$ 과  $\zeta$ ,  $B_{3dB}$ ,  $B_n$ 는 다음과 같다.

$$\omega_n = \sqrt{\frac{K}{\tau_1 + \tau_2}} \quad (43)$$

$$\zeta = \frac{1 + \tau_2 K}{2\sqrt{(\tau_1 + \tau_2)K}} \quad (44)$$

$$B_{3dB} = \frac{\omega_n}{2\pi} (a + \sqrt{a^2 + 1})^{1/2} \quad (45)$$

$$B_n = \frac{\omega_n}{2} (\zeta + \frac{1}{4\zeta}) \quad (46)$$

여기서, a는 다음식과 같다.

$$a = 2\zeta^2 + 1 - \frac{\omega_n}{K} (4\zeta - \frac{\omega_n}{K}) \quad (47)$$

Type 3의 경우 증폭도가 충분히 크다고 가정하면

$$F(s) = \frac{1 + s\tau_2}{s\tau_1} \quad (48)$$

$$B(s) = \frac{NK \frac{1 + s\tau_2}{\tau_1}}{s^2 + \frac{\tau_2 K}{\tau_1} s + \frac{K}{\tau_1}} = \frac{\omega_n^2 + 2\zeta \omega_n s}{s^2 + 2\zeta \omega_n s + \omega_n^2} N \quad (49)$$

이 되고,  $\omega_n$ 과  $\zeta$ ,  $B_{3dB}$ ,  $B_n$ 는 다음과 같다.

$$\omega_n = \sqrt{\frac{K}{\tau_1}} \quad (39)$$

$$\omega_n = \sqrt{\frac{K}{\tau_1}} \quad (50)$$

Type	Passive		Active	
	1	2	3	4
Circuit				
Transfer Characteristic				
Bandwidth	$1/\tau_1$	$1/(\tau_1 + \tau_2)$	$1/\tau_1$	$1/\tau_1$

〈그림 22〉 Second Order Loop의 일반적 회로

장 널리 쓰이며 일반적 회로는 그림 22와 같다.

회로별 주요관계식을 살펴보면

Type 1의 경우는

$$F(s) = \frac{1}{1 + s\tau_1} \quad (37)$$

$$B(s) = \frac{KN}{s^2 + \frac{1}{\tau_1} s + \frac{K}{\tau_1}} = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} N \quad (38)$$

이 되고,  $\omega_n$ 과  $\zeta$ 는 다음과 같다.

$$\zeta = \frac{\tau_2}{2} \sqrt{\frac{K}{2\tau_1}} \quad (51)$$

$$B_{3dB} = \frac{\omega_n}{2\pi} [2\zeta^2 + \sqrt{(2\zeta^2 + 1)^2 + 1}]^{1/2} \quad (52)$$

$$B_n = \frac{K(\tau_2/\tau_1) + 1/\tau_2}{4} \quad (53)$$

Type 4의 경우도 마찬가지로 증폭도가 충분히 크다고 가정하면

$$F(s) = \frac{1}{s\tau_1} \quad (54)$$

$$B(s) = \frac{NK \frac{1}{\tau_1}}{s^2 + \frac{K}{\tau_1}} = \frac{\omega_n^2}{\omega_n^2 + \omega_n^2} N \quad (55)$$

이 되고,  $\omega_n$ 은 다음과 같다.

$$\omega_n = \sqrt{\frac{K}{\tau_1}} \quad (56)$$

루프 필터를 설계할 경우 먼저 사용할 필터의 Type을 결정하고 시스템에서 목표로 하는  $\omega_n$ ,  $\zeta$ 를 결정한 다음 관계식에서 시정수를 구한 후 회로소자값을 구하면 된다.

(4) 위상 비교기, 프로그래머블 분주기, 프리스케일러(Prescaler) 및 전하 펌프

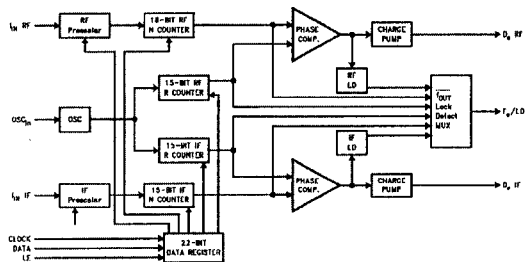
위상 비교기는 두 입력 주파수의 위상차에 해당하는 오차전압을 발생하는 회로로 아날로그형과 디지털형이 있다. 아날로그형은 의사 Lock 하는 경우가 있고 양호한 직선성을 갖는 범위가  $\pm\pi/4$ 로 제한되며 출력이 입력진폭이나 Duty Rate 함수로 종속적이고 루프 필터 설계가 어렵다. 반면 디지털형은 의사 Lock 하는 경우를 방지할 수 있고 직선성 범위가  $\pm 2$  라디안으로 넓으며 두 입력 Duty Rate가 독립적이고 로직 레벨이 만족되면 진폭변화는 심하지 않다

분주기의 비트수는 원가와 관계가 있으므로 분주기는 외부에서 분주비를 데이터로 입력하면 그에 따라 VCO의 출력변화 스텝을 결정한다. 디바이스에 의한 상한주파수가 수MHz~수십MHz 정도로 제한된다. 따라서 고주파인 VCO 주파수를 분주기에서 허용 가능한 주파수로 먼저 분주하게 되는데 이 기능을 프리스케일러(Prescaler)에서 수

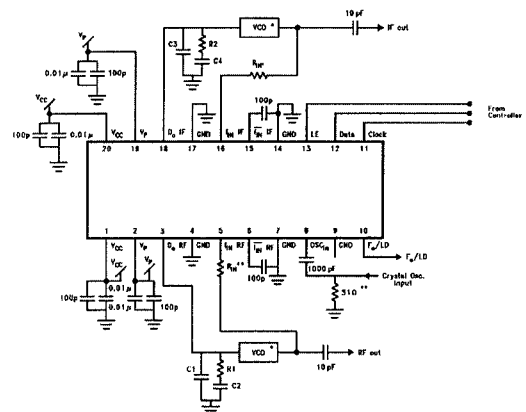
행한다.

전하 펌프는 위상 비교기로 제어되는데 정전류원을 사용하는 전류제어 방식이 흔히 쓰이며, 위상차이에 비례해 루프 필터에 전류를 흘려준다. 잡음이 적은 장점 때문에 많이 사용한다.

일반적으로 위상 비교기, 프로그래머블 분주기, 전하펌프 및 프리스케일러 블록은 그림 23과같이 PLL IC 내에 내장되어 있으며, RF 주파수 및 가격등을 감안하여 분리된 프리스케일러를 사용하여 주파수 합성기를 설계할 수도 있다. 그림 24에는 Dual PLL IC를 응용한 주파수 합성기의 설계 예를 보였다<sup>[5]</sup>.



(그림 23) PLL IC 내부 블록 다이어그램



(그림 24) PLL IC 응용예

(5) 변조(Modulation)

가) 변조 방법

변조는 디지털 변조의 경우 DSP 칩에서 처리되는 경우가 대부분이고 알고리즘이 상당히 복잡하므로 아날로그 시스템에서 주로 사용하는 FM의 경우에 대해서만 알아보자. FM의 경우 PLL내에

서 바로 변조를 거는 직접변조 방식이 많이 쓰이며, 변조를 거는 위치는 기준발전기, 위상비교기 앞, 루프 필터 앞, VCO의 VCC 단자등 4군데가 있다. 거의 대부분 한 곳에만 변조를 거는데, 변조의 편평도가 큰 문제가 되지 않는 협대역의 경우 변조 위치로는 VCO의 VCC 단자를 많이 이용하지만 이로인한 변조 편평도의 불리함을 감수해야 한다. 이를 보상하기 위해 두 곳에 변조를 걸기도 한다.

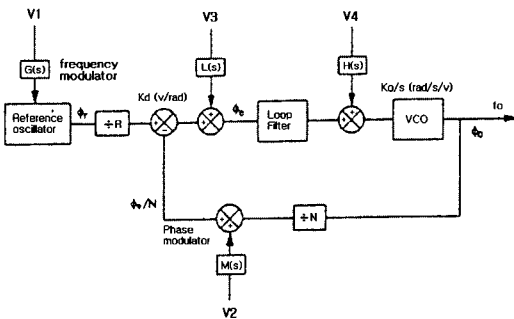
먼저 변조를 거는 위치에 따른 전달함수를 구해보면 식 (57)~(60)과 같다.

$$\frac{f_{out}}{V1} = G(s) \frac{2\pi F(s)K_o K_e K_f / R_s}{1 + K_o K_e F(s) / N_s} \quad (57)$$

$$\frac{f_{out}}{V2} = M(s) \frac{2\pi F(s)K_o K_e K_e}{1 + K_o K_e F(s) / N_s} \quad (58)$$

$$\frac{f_{out}}{V3} = L(s) \frac{2\pi F(s)K_o}{1 + K_o K_e F(s) / N_s} \quad (59)$$

$$\frac{f_{out}}{V4} = H(s) \frac{2\pi F(s)K_o}{1 + K_o K_e F(s) / N_s} \quad (60)$$



(그림 25) 직접 변조 방식

여기서 V1, V2, V3에서는 LPF특성을, V4에서는 HPF특성을 가지므로 V4를 포함하여 두 곳에 변조를 동시에 걸어 변조 편평도를 보상할 수 있다.

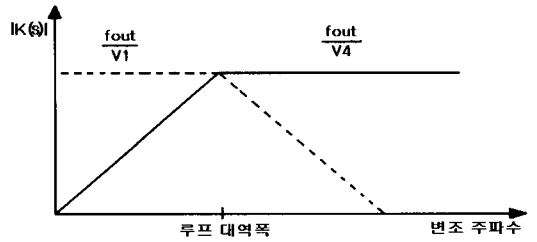
$$V1, V4에\ 건\ 경우\ \frac{G(s)}{H(s)} = \frac{K_o R}{K_f N} \quad (61)$$

$$V2, V4에\ 건\ 경우\ \frac{M(s)}{H(s)} = \frac{K_o}{K_f N_s} \quad (62)$$

$$V3, V4에\ 건\ 경우\ \frac{L(s)}{H(s)} = \frac{K_o K_e}{N_s} \quad (63)$$

의 관계식이 됨을 알 수 있다. V1, V4에 변조를 거

는 경우 변조 특성은 그림 26과 같으며 두 필터의 특성에 의해서 변조도의 편평도가 개선됨을 알 수 있다.



(그림 26) V1, V4에 건 경우

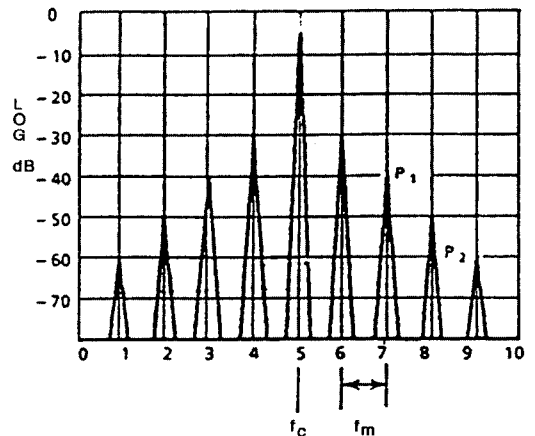
나) FM변조기의 Sideband 신호 스펙트럼

FM 변조시 n번째 Sideband 신호의 크기는 n차 Bessel 함수(1st kind)로 나타나며 일반식은 다음과 같다.

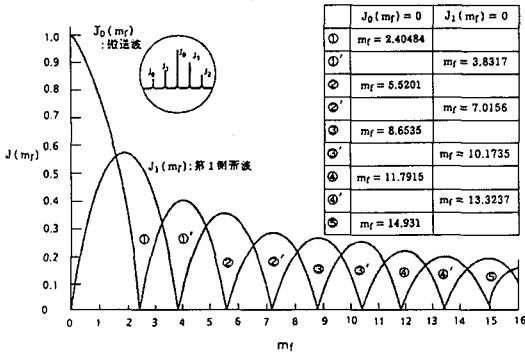
$$J_n(x) = \sum_{m=0}^{\infty} \frac{(-1)^m \left(\frac{x}{2}\right)^{n+2m}}{m!(m+n)!} = \frac{\left(\frac{x}{2}\right)^n}{n!} \left(1 - \frac{\left(\frac{x}{2}\right)^2}{1!(n+1)} + \frac{\left(\frac{x}{2}\right)^4}{2!(n+2)(n+1)} - \dots\right) \quad (64)$$

여기서 x는 변조지수(modulation index)이다.

그림 28, 29에 변조된 신호의 스펙트럼과 Bessel 함수를 나타내었다.



(그림 27) 신호 스펙트럼



(그림 28) Bessel 함수

### III. 주파수 합성기의 성능 측정

#### 1. 신호 대 잡음비 (C/N, S/N)

우선 위상 잡음에 대해 알아보면 이는 전체 신호 전력에 대해 반송파(Carrier)로부터 얼마만큼 떨어진 주파수에서의 1 Hz 대역폭의 위상 잡음의 비율로 정의할 수 있다<sup>[6]</sup>.

$$\text{위상 잡음} = -10 \log \left[ \frac{1}{2} \frac{FkT}{P_{avs}} \left[ 1 + \left( \frac{1}{f_p} \frac{f_o}{2Q_L} \right)^2 \right] \right] \quad (65)$$

단 1 Hz 대역폭의 열 잡음은 -174dBm이다.

그리고 위상 잡음에 영향을 주는 주요인으로는 잡음지수(NF, Noise Figure), 바이어스 잡음, Unflat Gain, 신호 레벨, Loaded/Unloaded Q 등이 있다. 우리가 흔히 접하는 Residual Noise와의 관계는 식 (66)과 같다.

$$\text{위상 잡음} = K f_m^x \quad (66)$$

여기서

$$x = \frac{dB_1 - dB_2}{10(\log f_1 - \log f_2)} \quad (67)$$

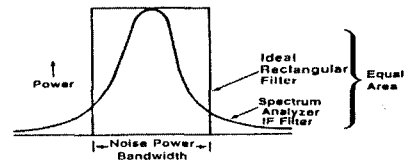
$$K = 10^{(dB_1/10) - x \log f_1} \quad (68)$$

이다.

위상 잡음을 측정하는 방법으로는 스펙트럼 분석기를 이용하는 방법, Cavity Discriminator를 이용하는 방법, Delay Line을 이용하는 방법이 있으며 스펙트럼 분석기를 이용하는 경우 주의할 점은 아래 그림 29, 30에서 보여주듯이 스펙트럼 분석기의 IF 필터, 대수 증폭기(log amplifier) 및 피크 검출기(peak detector)에 의해 생기는 약 3.3 dB의 위상 잡음 에러를 보정해 주어야 한다.

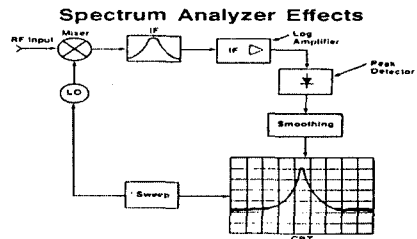
#### Noise Power Bandwidth Correction Factor and Normalization

- Noise Power BW = (1.2) Spectrum Analyzer 3 dB BW
- 1 Hz BW Normalization Correction Factor = 10 log ( Noise Power BW )



Example: BW Normalization = 10 log [ 1.2 x 1kHz ] = 30.5 dB  
Subtract BW Normalization From Measured Noise, P<sub>n</sub>

(그림 29) 잡음 에러 보정 계수와 정상화 (HP Application Note)



- Log Amplifier Compresses Noise Peaks
- Peak Detector reads average rather than rms value of the noise.
- Actual Noise = Measured Noise + 2.5 dB
- Spectrum Analyzer Effects Correction Factor = 2.5 dB

(그림 30) 스펙트럼 분석기의 영향 (HP Application Note)

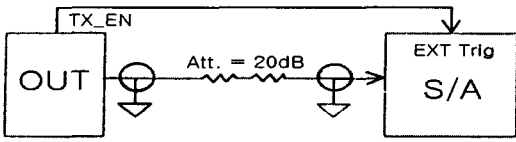
#### 2. 로킹시간(Locking Time)의 측정

로킹시간은 제어 신호가 인가 된후 루프 출력이 원하는 주파수의 일정범위내에 들도록 안정되기까지의 시간으로 루프 필터의 대역폭과 밀접한 관계가 있고 다음 식 (69)와 같은 근사관계로 표현할 수 있다.

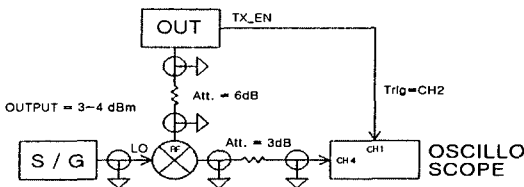
$$\text{루프 대역폭} \frac{3}{\text{스위칭시간}} [Hz] = (69)$$

로킹시간은 스펙트럼 분석기를 이용하거나 혼합기(DBM)와 오실로스코프를 이용해 측정할 수 있다.

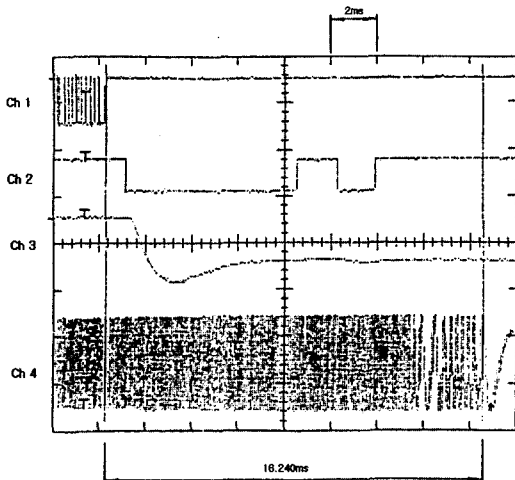
다음 그림 31, 32에서는 스펙트럼 분석기와 DBM을 이용하여 로킹 타임을 측정하기 위한 장비 연결도를 나타내었다. 그림 33은 DBM을 이용하여 시간을 측정할 때 오실로스코프상에 표시된 측정예를 나타냈으며, CH4상의 DBM 출력신호가 고주파에서 DC 신호로 변환되면서 로킹되어가는 과정을 볼수 있다



〈그림 31〉 스펙트럼 분석기를 이용하는 방법



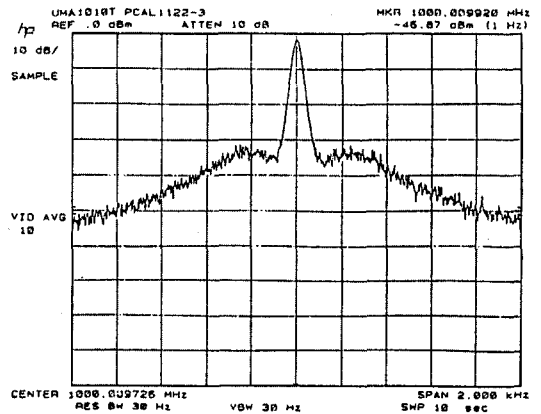
〈그림 32〉 DBM을 이용하는 방법



〈그림 33〉 측정 예제

### 3. 스푸리어스 특성 확인

주파수 합성기의 특성 확인시 주로 문제가 되는 불요파 성분은 위상 비교기에서 위상 비교되는 두 신호의 누설성분, VCO의 고조파 성분 및 스펙트럼 양옆의 close-in 잡음 성분들이다. 이러한 성분들을 줄여주기 위해서는 VCO 출력과 PLL IC 입력단 정합회로에 저주파 바이패싱 회로의 삽입과 전원선 그라운드 처리 및 루프 필터 대역폭의 조정 실험이 필요하다. 그림 34는 VCO의 출력 스펙트럼 인근에 실려있는 close-in 잡음을 보이고 있으며, 인근 잡음의 감쇠 기울기(slope)를 봐서 루프 필터의 차단 주파수는 약 220Hz임을 알 수 있다.



〈그림 34〉 루프 필터의 대역폭 실험 결과

## IV. 주파수 합성기와 MMIC 동향

현재 전력 증폭기(Power Amplifier), 필터를 제외한 고주파 회로는 소형, 경량화, 높은 재현성, 저가격 실현 가능성 등을 위하여 MMIC로 집적화 되어가고 있다. 이러한 고주파 회로와 부품의 고밀도 MMIC화는, 전세계 디지털 셀룰라폰 시장의 70%를 점유하고 있고 세계 91개국이 표준으로 선정한 GSM 단말기가 주도하고 있다. CDMA 단말기용의 MMIC 경우는 고주파부의 저잡음 증폭기, 혼합기, 소신호 증폭기등이 따로따로 집적화 되고 있으나, GSM 단말기용의 경우에는 고주파 회로 전

체를 2칩, 심지어는 1칩으로 집적화 시킨 MMIC가 상용화 되기 시작하였다.

이러한 추세에 의해 주파수 합성기의 PLL IC 부분과 VCO의 능동소자부분도 MMIC 내부로 집적화되어 있으며, 외부에다가 VCO의 공진(Tank)회로와 시스템 특성에 맞는 루프 필터를 설계하여 적용하므로써 원하는 주파수와 로킹시간(Locking Time)을 얻도록 하고 있다.

일반적으로 고주파 회로의 MMIC 동향을 살펴보면

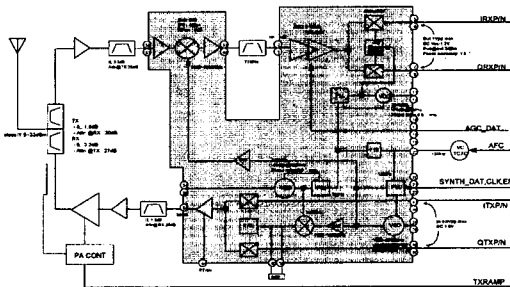
첫째, 2칩 MMIC의 경우는 집적화 블록이 송신부, 수신부 또는 고주파부, IF부로 구분이 되어있고 이는 점차 1칩으로 가고있는 추세이다. 집적도가 높아질수록 주위부품의 배치(layout)가 어려워지고 부품간 간섭 등의 문제점은 있다.

둘째, 송신부 블록의 경우 변조후 주파수 상향 변환(Up-conversion)하거나 또는 상향 변환후 변조시키는 2가지 구조로 구분된다.

셋째, 수신부 블록의 경우는 2중 변환(Double conversion) 또는 3중 변환(Triple conversion) 방식 등의 2종류로 크게 구분되어 집적화가 되고 있다.

넷째, 집적화를 위해서 사용하는 공정으로 현재는 BiCMOS, Bipolar가 주를 이루나, 고밀도 집적과 가격 경쟁력 측면에서 향후에는 BiCMOS, CMOS 공정이 주를 이룰 것으로 예상된다.

그림 35는 고주파부의 대부분 회로가 1칩으로 구현된 MMIC의 한 예이다.



〈그림 35〉 1칩 MMIC의 집적화 예

## V. 결 론

이동통신용 주파수 합성기의 설계에 관한 일반적인 이론과 방법을 설명하였고 제작된 주파수 합성기의 성능 실험 방법에 관해 서술하였다. 상용되고 있는 무선 통신장비에 주파수 합성기를 채택하는 경우가 늘어남에 따라 효과적인 주파수 합성기 설계 기술이 요구되고 있다. 특히 넓은 대역에 따른 VCO 이득의 차이 보상, VVC의 비선형성 보상, 로킹시간 및 스푸리어스 특성 개선 등은 시스템 요구조건에 따라 끊임없이 연구되어야 할 것이며, 현재는 주파수 합성기와 같은 비선형, 궤환 루프 회로 시뮬레이션 기능이 제공되는 소프트웨어가 있어 잡음 특성, 로킹시간등을 여러 상황에서 미리 시뮬레이션 해볼 수 있어 설계시간을 단축할 수 있게 되었다.

또한 고주파 회로 부분은 MMIC로 집적화되어 주파수 합성기의 주요부분인 PLL IC와 전압제어 발진기(VCO)의 능동소자 부분도 MMIC 내부로 집적화 되고 있음을 보였고, 현재의 고주파 회로 MMIC 동향을 살펴 보았다.

## 참 고 문 헌

- [1] Ulrich L.Rohde, "Digital PLL Frequency Synthesizers Theory and Design", Prentice-Hall Inc., 1983.
- [2] Vadim Manassewitsch, "Frequency Synthesizer Theory and Design", John Wiley & Sons Inc., 1980.
- [3] Guillemo Gonzalez, "Microwave transistor Amplifiers Analysis and Design", Prentice-Hall Inc., 1984.
- [4] "Phase-Locked Loop Design Fundamentals", Motorola Application Note AN-535, 1970.
- [5] "PLL IC LMX2331 Data Sheet",

NATIONAL SEMICONDUCTOR.  
 [6] "Low Noise oscillator design", Roger Muat

& Art Upham.

## 저 자 소 개



鄭 玉 鉉

1959年 6月 25日生

1982年 2月 서강대학교 전자공학과 졸(학사)

1985年 2月 서강대학교 전자공학과 졸(석사)

1996年 8月 서강대학교 전자공학과 졸(박사)

1985年 1月~현재

LG전자(주) 책임연구원 근무

주관심분야: 휴대 단말기 성능평가, 안테나의 인체 효과 해석 등임