

# 단일전자 트랜지스터와 회로 응용

유 윤 섭, 황 성 우  
고려대학교 전기전자전파공학부

## I. 서 론

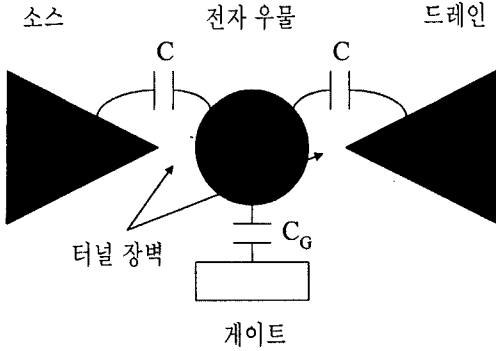
집적회로를 구성하는 요소들의 크기가 sub  $\mu\text{m}$  이하로 작아지면서 현대의 전자공학은 마이크로일렉트로닉스(micro-electronics)의 시대를 벗어나 나노일렉트로닉스(nano-electronics) 시대로 가는 시점에 있는 듯하다. 이러한 나노일렉트로닉스 영역의 물리적 현상 중에서 가장 잘 알려진 것으로는 쿨롱봉쇄(Coulomb blockade) 또는 단일전자 충전 효과(single electron charging effects)<sup>[1-5]</sup>가 있다. 이 단일전자 충전 효과는 전하의 전자 단위로의 양자화(quantization)만 고려하면 정전용량이나 저항들과 같은 재래적 전자 공학으로 잘 설명될 수 있다<sup>[1-3]</sup>. 단일전자 충전 효과는 수십 나노미터보다 작은 크기를 가진 재래식 전자 소자에서 중요한 역할을 할 것으로 기대되며 더욱이 나노일렉트로닉스 회로를 위한 전혀 새로운 소자에 응용될 가능성도 매우 크다.

본 논문에서는 단일전자 충전 효과를 응용한 단일전자 트랜지스터의 기본 개념과 재래식 MOSFET과의 차이점을 알아보고 단일전자 트랜지스터로 구성된 회로 계산 상의 어려움 및 역사적인 발전 단계와 미래의 가능성에 대해서 간략히 알아 본다.

## II. 기본적인 물리 현상

### 1. 단일전자 트랜지스터

단일전자 트랜지스터의 기본 구조<sup>[6]</sup>는 그림 1에 표현된 바와 같다. 이는 전자를 가두어 둘 수 있는 전자우물(또는 포텐셜 우물)과 전자우물에 터널링 장벽으로 연결된 소스와 드레인, 전자우물의 포텐셜을 외부에서 연속적으로 변화시킬 수 있는 게이트들로 구성되어 있다. 여기서 이러한 터널링 장벽들을 터널접합(tunnel junction)이라고 부른다. 전자우물과 소스 사이의 연결 정전용량(coupling capacitance)과 전자우물과 드레인 사



$$C = C + C + C_G$$

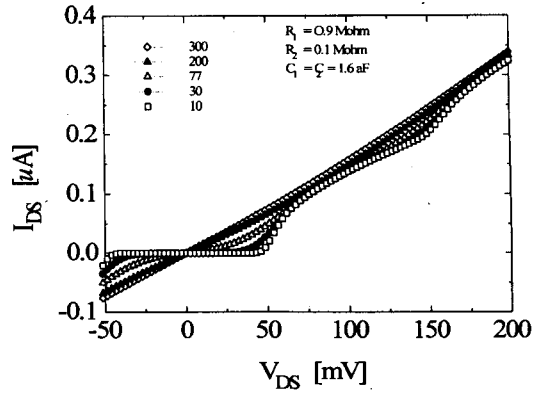
(그림 1) 단일전자 트랜지스터의 모식도

이의 연결 정전용량을 C, 전자우물과 게이트 사이의 연결 정전용량을  $C_G$ 라 할 때, 전자 한 개의 충전 에너지 (Coulomb charging energy)  $e^2/2(2C + C_G)$ 가 열요동 에너지 (thermal fluctuation) 보다 상당히 크고 터널접합의 터널저항이 resistance quantum ( $6.4 K\Omega$ ) 보다 상당히 크다면, 게이트 전압 및 소스-드레인 간의 전압으로 전자우물의 전자 갯수 및 터널장벽을 통한 터널링을 전자 한 개 단위 까지 정확히 제어할 수 있게 된다.

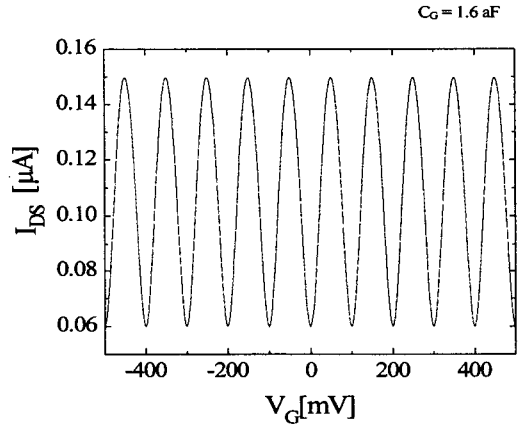
이런 단일전자 트랜지스터의 전류-전압 특성들을 그림 2에 나타내고 있다. 그림 2 (a)는 단일전자 트랜지스터의 전류-전압 특성 중에서 소스-드레인 간의 전압 변화에 따른 Coulomb staircase를 보여주고 있다. 여기서 계단의 크기는 전자우물에 동시에 머물수 있는 전자 갯수와 일치한다. 그림 2 (b)는 게이트 전압의 변화에 따른 Coulomb oscillation의 한 예이다. 전자우물의 equilibrium 전자 갯수가 한 개씩 변할 때 마다 전류에 한 번씩의 peak를 나타낸다.

## 2. MOSFET과 단일전자 트랜지스터 사이에 물리적 차이

$0.25\mu\text{m} \times 0.35\mu\text{m}$  크기의 재래식 MOSFET에서 ON 상태일 때의 채널의 전자 농도가  $10^{13} \text{ cm}^{-2}$  이라면 이 MOSFET이 OFF 상태로 switch 되기 위해서는 전자의 갯수가 약 9000개 정도가 변해야



(a) 드레인 전압에 따른 드레인 전류 변화 (Coulomb staircas) ( $V_G = 0 \text{ V}$ )



(b) 게이트 전압에 따른 드레인 전류 변화 (Coulomb oscillation) ( $V_{DS} = 0 \text{ V}$ )  
( $C_1 = C_2 = 1.6 \text{ aF}$ ,  $C_G = 1.6 \text{ aF}$ ,  $R_1 = 0.9 \text{ Mohm}$ ,  $R_2 = 0.1 \text{ Mohm}$ ,  $T = 30 \text{ K}$ )

(그림 2) 단일전자 트랜지스터의 전류-전압 특성

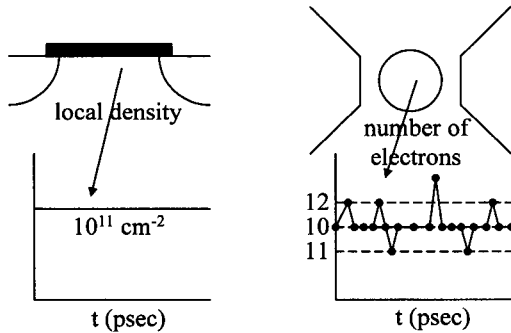
한다. 이와 같은 재래식 소자들은 전자들의 수송에 많은 갯수의 전자가 참여하므로 전자 분포의 스타캐스틱 성질(stochastic nature)은 전부 average-out 되고 채널의 평균 전자 농도를 사용하는 drift-diffusion 방정식에 의해 그 소자의 특성이 결정된다. 이때 한가지 특이한 사실은 채널의 전자들은

순수하게 게이트 전압에 의해서만 속박되며 채널과 소스 및 드레인의 물리적인 장벽이 존재하지 않는다는 것이다.

그러나 단일전자 트랜지스터에서는 포텐셜 장벽으로 가두어진 나노미터 크기의 전자우물에 작은 갯수의 전자들만이 있고 포텐셜 장벽을 통한 전자들의 스타캐스틱 터널링 (stochastic tunneling)에 의해 전자 수송이 이루어진다. 또한 적은 갯수의 전자들만이 전자우물에 존재하므로 전자들의 스타캐스틱 요동 (fluctuation)이 쉽게 보인다.

〈표 1〉 재래식 MOSFET과 단일전자 트랜지스터 간의 물리적 차이

항목	MOSFET	SET
전자갯수	수 천개 이상	수 개 - 수십개
전자분포 분석	평균 전자 갯수	실제 전자 갯수
전자 수송 이론	drift/diffusion	stochastic tunneling
전자 confinement	electrostatic potential	물리적 터널 장벽



〈그림 3〉 DC 바이어스 상태에서 재래식 MOSFET과 단일전자 트랜지스터 간의 전자 요동

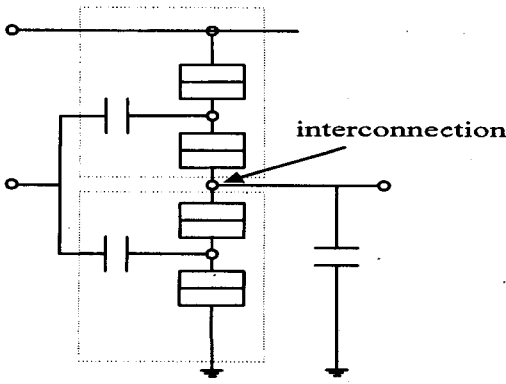
그림 3은 재래식 MOSFET과 단일전자 트랜지스터의 물리적 현상의 차이를 모식적으로 보여주기 위한 것이다. MOSFET의 게이트에 고정된 전압을 가하고 소스와 드레인을 접지시키고 수십 psecs의 시간대에서 채널의 전자농도를 관찰하면 큰 요동없이 일정할 것이다. 요동을 보려면 아마 매우 오랜시간이 필요할 것이다. 그러나 단일전자 트랜지스터의 전자우물의 전자 갯수를 측정하면 같은 시간 스케일에서 불규칙적으로 요동하는 것을 볼 수 있을 것이다. 그 실제적인 요동은 거의 ±1개 정도이다. 즉, 평균전자갯수가 10이면 그 변화량이 10%에 다다른다. 표 1은 그림 1에서 설명한 것들 외에 재래식 MOSFET과 단일전자 트랜지스터의 여러 가지 물리적 현상의 차이를 간략히 요약하고 있다.

### III. 회로 계산적인 측면

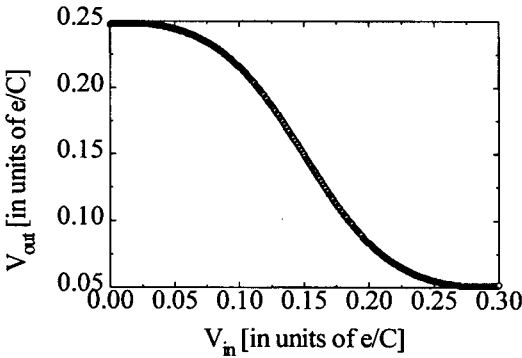
재래식 MOSFET 회로 계산과 달리 단일전자 트랜지스터 회로에서 새롭게 고려되어야 할 몇 가지 특징들이 있다. 그것들은 다음과 같다.

(1) 재래식 MOSFET 소자는 주변회로의 임피던스와 상관없이, 소스-드레인과 게이트 전압만 결정되면 steady-state에서 전류-전압 특성의 정확한 예측이 가능하다. 단일전자 회로에서는 각 터널 접합에서의 터널링률이 외부 임피던스에 크게 의존하므로 전류-전압 특성이 이웃하는 저항 값들의 함수가 된다. 그러므로 단일전자 트랜지스터의 모델링에는 외부 임피던스가 한 개의 중요한 파라미터로 고려되어야 한다.

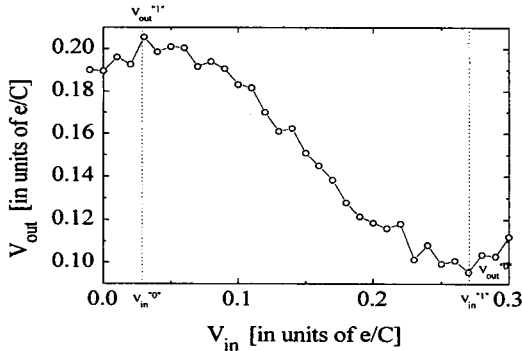
(2) 재래식 MOSFET 회로 계산에서는 키리히호프 회로 법칙 (Kirchhoff's circuit law)을 사용한다. 이 분석 방법에는 각 MOSFET들이 서로 전류-전압 특성에 있어서 서로 독립적이라는 가정이 내포되어 있다 (SPICE-type). 단일전자 회로 내의 각 터널접합의 터널링률은 외부 임피던스 뿐만 아니라 회로 내 각 전자우물들의 전자 분포의 함수이다. 따라서 단일전자 회로에서는 각 단일전자 트랜지스터들 사이에 큰 상관 관계 (correlation)가 있어서 단일전자 회로 계산에서는 키리히호프 회로 법칙 뿐만 아니라 각 전자우물들의 전자들 간의 상호작용을 고려한 새로운 회로 법칙이 필요하다<sup>[7]</sup>. 두가지 회로법칙을 모두 포함해서 계산한 예가 그림 4에 나타나 있다. 그림 4 (a)와 같이 두 개의 단일전자 트랜지스터가 직렬로 연결된 인



(a) SPICE-type



(b) KOSEC

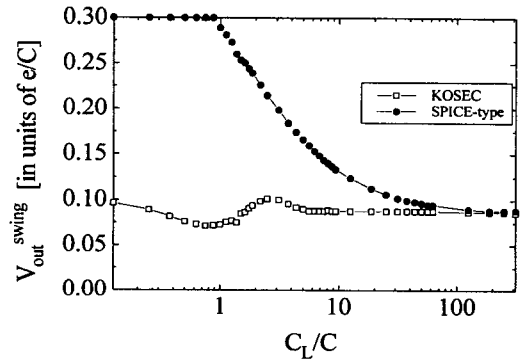


(c)

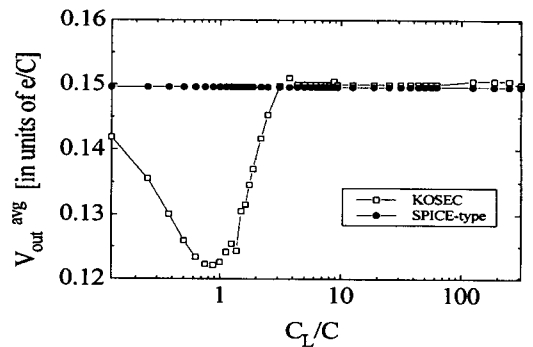
( $C = 1.6 \text{ aF}, C_G = 3.2 \text{ aF}, C_L = 5.12 \text{ aF}, R = 100 \text{ Mohm}, T = 30 \text{ K}, V_B = 0.03 \text{ V}$ )

(그림 4) 인버터 특성

일전자 트랜지스터들을 독립적으로 생각한 SPICE-type의 계산 결과를 보여주고 있다. 그림 4의 (c)는 부하선을 이용하지 않고 세 개의 전자 우물에 전자들의 분포 및 변화를 모두 고려한 결과이고 "orthodox theory"에 바탕을 둔 계산이다 [8]. 두가지의 계산 결과는 출력 전압 폭에 큰 차를 보여 주고 있다. 부하 정전용량 ( $C_L$ )의 크기에 따른 두가지 계산 결과의 차이가 그림 5에 나타나 있다. 인버터의 출력전압의 폭 ( $V_{out}^{swing}$ )과 평균 출력전압 ( $V_{out}^{avg}$ )의 변화가 그림 5 (a), (b)에  $C_L$ 의 함수로 각각 그려져 있다.  $C_L/C < 10$ 에서는 두가지 방법에 의해서 구한 결과가 상당한 차이를 보



(a) 출력전압폭

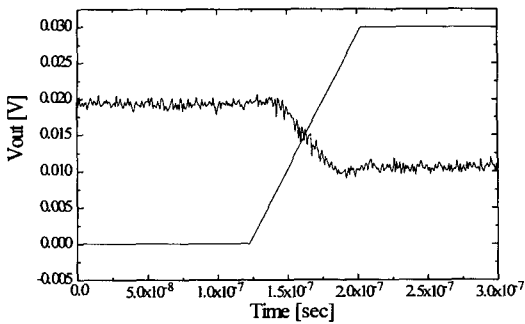


(b) 평균 출력전압

(그림 5) SPICE-type과 KOSEC에 의해 구해진 인버터 특성의  $C_L$  의존성

여주나  $C_L/C > 10$ 에서는 서로 상당히 일치한다는 것을 볼 수 있다. 따라서 위에서 언급한 차이점에도 불구하고 부하 정전용량이 클 경우의 단일전자 회로들은 재래식 회로의 계산 방식에 의해서 계산될 수 있음을 알 수 있다.

(3) 재래식 MOSFET 회로의 transient 분석은 연속 방정식을 푸는 것에 의해서 쉽게 얻어지고 더 간단하게는 전압에 의존하는 정전용량 모델 (Quasi-static transient analysis) [9]이 사용된다. 그러나 단일전자 회로에서는 전자 움직임이 스타캐스틱 터널링에 의해 결정되므로 위와 같은 간단한 모델로 풀어 질 수 없다. 전자의 스타캐스틱 움직임은 전 회로에 대한 "master equation"를 풀어서 구해져야 한다[7]. 그림 6은 "Monte-Carlo method"로 구한 단일전자 인버터의 transient 응답을 나타내고 있다. 그림 3에서 예시된 요동이 회로의 응답에도 그대로 재생됨을 확인할 수 있다.



(그림 6) 단일전자 인버터의 transient response

#### IV. 역사적인 측면

단일전자 충전 효과(single electron charging effects)는 Milikan [10]의 실험에 의해서 처음으로 관찰 되었고 이 효과의 더 자세한 이해는 1951년의 Gorter [11]의 논문에 의해서 처음으로 발표되어졌다. 그후 20년 동안 Neugebauer와 Webb[12], Giaver와 Zeller [13]에 의해서 이 단일전자 충전 효과에 대한 연구가 계속 발전되었고 이중접합 구

조가 1975년에 Kulik과 Shekhter [14]에 의해서 처음으로 알려졌다.

이러한 선행적인 연구들을 1980년 중반에 Likharev에 의해서 단일전자 트랜지스터로 집대성되었다[2]. 그 후 반도체 공정의 큰 발전으로 단일전자 트랜지스터의 개념이 저온에서 이기는 하였지만 처음에는 금속접합들 [15]에서 다음에는 반도체 구조 [16]에서 실현될 수 있었다.

1980년도 중반 이후에도 단일전자 충전 효과를 이용한 많은 종류의 단일전자 소자들이 제안되어지고 분석되어졌으며 실험적으로 검증되어 왔다[17]. 단일전자 충전 효과를 이용한 아날로그 측면의 응용은 고주파 turnstile 동작을 이용한 dc frequency standards와 전자 1개 단위까지의 전하를 검출할 수 있는 고성능 electrometer등이고 이들의 동작은 저온 회로 실험에 의해 이미 성공적으로 검증되어 있다[18-21].

디지털 측면의 응용을 보면 최근 차세대 초소형, 초고속 (high switching speed), 초저전력 메모리 및 논리회로 후보로서 단일전자 터널링 (single electron tunneling)을 이용한 논리회로를 들 수 있다. 이들은 크게 단일전자를 정보 전달자로 사용하는 SEL (single electron logic)과 단일전자 트랜지스터 내부에서 전자의 터널링에 의하여 발생하는 전압차를 이용하는 단일전자 트랜지스터 논리회로 (SET logic)으로 나뉘어 진다[2]. 그러나 SEL의 경우, 전자 하나가 정보 전달자가 된다는 점에서 혁신적인 소비 전력의 감소를 가져오나 fan-in, fan-out이 비현실적으로 작고 단 한번의 원치 않는 단일 전자 터널링에 의해서 동작오류를 가져올 수 있다는 단점이 있어서 현재 기술 수준으로는 고려 대상이 아니다. 그래서 단일전자 트랜지스터 논리회로들에 대한 많은 연구가 지난 십년 동안에 이론적이나 실험적으로 꾸준히 수행되었다 [22-27]. 특히, 상온에서 동작하는 단일전자 메모리 어레이 (array)와 floating gate 메모리들이 발표되는 단계에 있다[28-29].

## V. 결 론

단일전자 트랜지스터의 기본 개념, 재래식 MOSFET와의 차이점, 회로 계산 상의 어려움, 역사적인 발전 단계와 미래의 가능성에 대해서 간략히 알아 보았다. 상온에서 동작하는 단일전자 메모리들에 대한 상당히 구체적인 실험 결과들이 발표되고 있는 단계<sup>[28-29]</sup>이며 이미 2 가지의 범용 회로 시뮬레이터들이 공개되어 있다<sup>[29-30]</sup>. 이로 미루어 볼 때 이제 단일전자 회로의 실용화가 그리 먼 훗날의 얘기만은 아닐 가능성도 꽤 크다 하겠다.

## 참 고 문 헌

- [1] D.V. Averin and K. K. Likharev, in Mesoscopic Phenomena in Nanostructure, edited by B. L. Altshuler, P. A. Lee and R. A. Web (North-Holland, Amsterdam, 1991), p.169 (1991).
- [2] K. K. Likharev, IBM J. Res. Dev. 32, 144 (1988).
- [3] H. Grabert, H. Devoret, Single Charge Tunneling-Coulomb Blockade Phenomena in Nanostructure, NATO ASI Series B; Physics (Plenum, New York and London, 1992) 294 (1992).
- [4] K.K. Likharev and T. Claeson, Scientific American 26, 50 (1992).
- [5] M. A. Kastner, Phys. Today 46 (1), 24 (1993).
- [6] S. W. Hwang, Ph. D. Thesis, Princeton University, 1993 and references therein.
- [7] H. Grabert et, al, Z. phys. B - Condens. Matt. 84, 143 (1991).
- [8] 인버터 회로 계산에는 고려대학교 나노일렉트로닉스 연구실에서 개발된 범용 회로 시뮬레이터인 KOSEC (Korea Single Electron Circuit simulator)이 사용 되었음
- [9] J. E. Meyer, RCA Rev. 32, 42 (1971).
- [10] R. A. Millikan, Phys Rev. 2 109 (1913).
- [11] Gorter, Physica 17, 777 (1951).
- [12] Neugebauer and Webb, J. Appl. Phys. 33, 74 (1962).
- [13] Giaever and Zeller, Phys. Rev. Lett. 20, 1504 (1968).
- [14] Lambe and Jaklevic, Phys. Rev. Lett. 22, 1371 (1969).
- [15] T. A. Fulton and G. J. Dolan, Phys. Rev. Lett. 59, 109 (1987).
- [16] L. P. Kouwenhoven et. al., Phys. Rev. Lett. 67, 1626 (1991).
- [17] D. Averin and K. K. Likharev, in Ref. [3], p.311.
- [18] P. Delsing et al., Phy. Rev. Lett., 63, 1861 (1989).
- [19] L. J. Geerligs, et. al., Phy. Rev. Lett., 64, 2691 (1990).
- [20] D. V. Averin, et. al., Phy. Rev. Lett., 69, 1993 (1992).
- [21] Nakazato, et. al., Electron. Lett., 29, 384 (1993).
- [22] K. K. Likharev, IEEE Trans. Magn. 23, 1142 (1987).
- [23] J. R. Tucker, J. Appl. Phy. 72, 4399 (1992).
- [24] K. Nakazato, T. J. Thornton, J. White, and H. Ahmed, Appl. Phys. Lett. 78, No. 4, 2520 (1995).
- [25] K. Yano et. al., IEDM-93, 541 (1993).
- [26] A. N. Korotkov, R. H. Chen, K. K. Likharev, Possible performance of capacitively coupled single- electron transistors in digital circuits, J. Appl. Phys. 78, No. 4, pp. 2520 (1995).
- [27] R. H. Chen, A. N. Korotkov, and K. K. Likharev, Appl. Phys. Lett. 68, No. 14, 1954 (1996).

[28] K. Yano, T. Ishii, T. Sano, T. Mine, F. Murai, and K. Seki, ISSCC96, 266 (1996).  
 [29] Lingjie Guo, Effendi Leobandung, and Stephen Y. Chou, Appl. Phys. Lett., 70, 850

(1997).  
 [30] Anri Nakajima, et. al., Appl. Phys. Lett., 70, 1742 (1997).

저 자 소 개

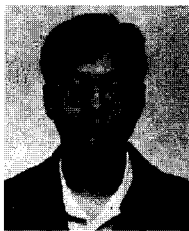


黃 晟 寓

1962年 8月 25日生  
 1985년 2월 서울대학교 전자공학과 공학사  
 1987년 2월 서울대학교 전자공학과 공학석사  
 1993년 4월 Princeton 대 전기공학과 공학박사

1993年 4月~1995年 2月 일본 NEC 기초 연구소 연구원  
 1995年 3月~현재 고려대학교 전기전자전파공학부 조교수

주관심 분야: 1. 반도체 초미세 구조 제작 및 응용  
 2. 극소소자 기술  
 3. 차세대 메모리기술 등



柳 允 燮

1971年 3月 2日生  
 1995年 8月 고려대학교 전자공학과 공학사  
 현재 고려대학교 전자공학과 석사과정 재학중

주관심 분야: 1. 반도체 초미세 구조 해석  
 2. 메모리 소자 제작 및 해석 등