

DRAM과 그 재료의 향후 발전 방향

이 대 훈
현대전자산업(주) 메모리 연구소

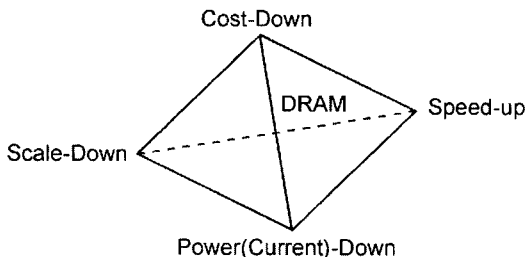
I. 서 론

지난 10여년 동안, DRAM 기술은 반도체 산업 전반을 발전시키는 원동력으로 자리잡아 왔으며, 2000년이 지나서도 당분간은 그러한 역할을 지속할 것이다. 이것은, g-선($\lambda=438\text{nm}$) 스테퍼에서 원 자외선(KrF, $\lambda=248\text{nm}$) 스캐너로 발전한 사진 묘사 기술의 진화에서도 증명될 수 있다. 앞으로 1~2년 안에, ArF($\lambda=193\text{nm}$), 전자빔 또는 X-선 등이 사진 묘사 기술의 잠재적 도구로 등장할 것이다. DRAM 기술의 진화와 관련하여, 그 재료 부문에서도 같은 이야기가 성립한다. DRAM 기술과 재료의 이러한 혁신은 모두 메모리 칩에 들어가는 가장 기초적인 소자들의 미세화에 의해 이루어졌으며, 소자들의 미세화는 제품 생산 단가를 낮추는 매우 중요한 수단이 된다. 따라서, 향후 DRAM 기술의 진화는 소자의 미세화에 따라 물리적, 전기적 특성의 두 가지 요건을 충족해야 할 뿐 아니라, 생산의 경제성 등도 만족시켜야 한다. 이 논문에서는 위의 관점들을 가지고 DRAM 기술의 발전 방향에 대하여 생각해 보고자 한다.

주요 용어 : DRAM; 사진 묘사 기술; 캐패시터; 금속 배선; 가격 효율성; 축소화; MML (Merged Memory Logic)

II. 최근DRAM의 개발 경향

최근의 메모리 제품, 특히 DRAM의 가장 현저한 경향은 고속화, 고 집적화 그리고 저 전력화이다. 그림 1에 나타내었듯이, 사실 DRAM 기술은 위의 요소들이 걸림돌이 되고 있으며, 따라서 오늘날의 반도체 시장에서 생존하기 위해서는 이들 요소들을 반드시 만족시켜야 한다. 이들 세 가지 기술적 요소들 외에 DRAM이 시장에서 뒤지지 않기 위해 견지해야 할 중요한 요소가 하나 더 있는데, 그것은 가격 효율성이다. 이는 그 동안 DRAM이

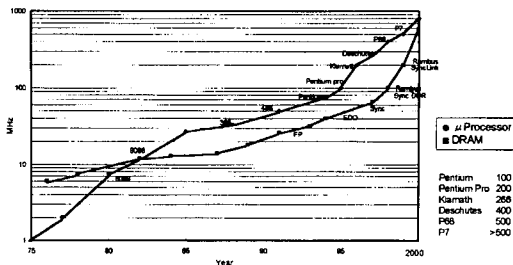


〈그림 1〉 DRAM 제품의 생존 요건들

각종 컴퓨터나 시스템에 쓰이는 가장 싼 상품으로서 자리잡아 왔기 때문이다. 현재 그리고 향후 몇 년 동안 DRAM 제조업체의 경쟁력을 결정하는 것은 위의 네 가지 요소가 될 것이다. 그러므로, DRAM 제조업체는 시장에서 생존하기 위하여, 서로 상충하는 이들 요건들을 충족시키기 위하여 부단히 노력해 왔으며, 산업의 요구를 만족시키는 역할을 성공적으로 수행해 왔다. 그러나, 최근 시장 경기의 침체에서 보여지듯이, 이들 요건들이 점점 더 한계에 다다르고, 서로 충돌하게 되면서 향후 불안정성이 더 증폭될 것이다. 따라서, 향후 과제는 DRAM의 가장 큰 장점인 가격 효율성을 해치지 않으면서, 서로 상충하는 요소들을 어떻게 잘 타협하느냐 하는 것이다. 다음에서는 이들 요건들의 최근 경향을 자세히 소개하고, 수요를 획득하기 위한 현재 및 미래의 접근 방법을 설명한다.

1. 고속화

요즈음, 다량의 메모리를 필요로 하는 컴퓨터와 시스템의 사용자들은 더 빠른 CPU를 장착해야 하는데, 그것은 이들 시스템들이 그래픽 표시기, 영상/음향 기기, 무선통신 기기 등과 같은 멀티미디어 수요에 따라 그 응용이 다양해지면서, 대용량, 다 비트, 병렬 데이터 처리 능력을 필요로 하기 때문이다. 그러나, 그림 2에서와 같이 DRAM의 데이터 접근 시간이 상대적으로 느리기 때문에, 비록 시스템이 적절한 CPU를 탑재하였다 하더라도, 멀티미디어 응용 분야에 큰 제약이 있어 왔다. 최근에 DRAM 설계자들은 이러한 전통적인 문제를 해결하기 위하여, 몇 가지 호환 가능한 해법을 고안하였다. 이 덕분에 오늘날 DRAM은 고속 CPU와



〈그림 2〉 마이크로 프로세션의 DRAM의 속도 비교

자리를 함께 할 수 있었으며, 앞으로도 당분간 그럴 것이다. 그것은 표 1과 같이 개량된 특징을 갖는 경우, 데이터 접근에 있어서 DRAM이 더 이상 걸림돌이 되지 않기 때문이다. 실제로, 이러한 개선된 특징들은 점점 더 광범위하게 받아들여지고 있다. 예를 들어, 동기식 DRAM의 비율은 최근 들어 급속히 증가하고 있으며, RAMBUS 또는 SyncLink 등과 같은 새로운 방식을 적용하는 DRAM이 시장에 나타나고, 조만간 중요한 역할을 하게 될 것이다.

〈표 1〉 최근 DRAM의 데이터 액세스 고속화의 특징

DRAMs	Feature	Speed	Density
Conventional	FP(Fast Page) EDO(Extended Data-Out)	>50ns	Up to 64Mbit
nDRAMs	Synchronous Sync Link Rambus	<10ns <5ns Compatible to Sync Link	From 16Mbit From 64Mbit From 64Mbit

2. 고 집적화

DRAM에서 미세화는 모든 요건을 충족시켜 주는 기술 발전의 가장 큰 원동력이 되어 왔고, 그 결과로 메모리의 고 집적화가 이루어 졌다. 1메가 시대에서 64메가 시대까지 4 세대의 진화를 이루는데 단지 10년 밖에 걸리지 않았는데, 이러한 것이 가능했던 가장 큰 원동력은 물론 사진 묘사 기

술이다. 그 기간 동안, 사진 묘사 기술은 더 미세한 패턴을 그리는 광원에 의존해 왔다. g-선($\lambda=438\text{nm}$)에서 i-선($\lambda=365\text{nm}$)을 거쳐 원 자외선(KrF, $\lambda=248\text{nm}$)에 이르는 몇 가지 광원이 이 기간 중에 사용되었다. 아직, 새로운 광원, 즉 또 다른 원 자외선(ArF, $\lambda=193\text{nm}$)과 극 원 자외선($\lambda=13\text{nm}$) 등의 활용이 가능해 보이나, 전자빔 직접 묘사 또는 X-선 사진 묘사 기술 등과 같은 새로운 방식의 적용 가능성이 조심스럽게 거론되고 있다. 좀 더 자세한 설명과 다음 세대 기술로 유력시되는 후보 기술에 대한 전망은 이 글의 뒤에서 하겠다.

3. 저 소비 전력화

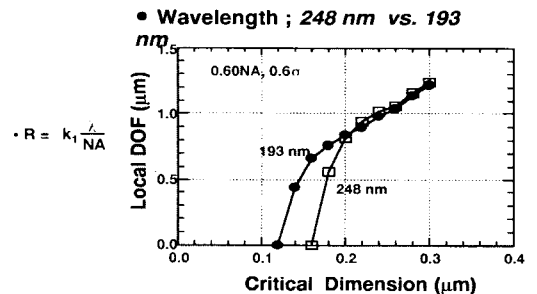
저 소비 전력화에 대한 이러한 요구는 이동전화, 랩탑 컴퓨터 또는 팜탑 컴퓨터 등과 같은 휴대용 전자 기기의 출현에서 비롯되었다. 이들 휴대용 전자 기기들은 재충전이 가능한 축전지를 사용하는 것이 일반적인 경향이기 때문에, 이들 기기에 들어가는 부품들은 재충전이 필요 없는 일반 가정용 전자 제품에 비해 상대적으로 낮은 전력 소모를 필요로 한다. 저 전력화의 또 다른 측면 중에서, DRAM만의 유일한 특징은 리프래시 기능 때문에 대기 상태에서도 전력을 소비한다는 것이다. DRAM을 탑재한 시스템에서, 저전력 리프래시 기능은 항상 시스템 설계자의 가장 큰 관심사이고, 그들은 보통 저 리프래시, 저전력 메모리를 선호한다. DRAM 회로 설계자들은 이러한 요구에 부응하기 위하여 수 많은 저전력 회로를 적용하였지만, 리프래시에 관한 그 개선은 소자 설계나 관련된 공정 개발로 해결해야 한다. 즉, 저 손상 식각 기술, 액세스 트랜지스터의 스페이서 물질 제어에 영향을 받을 수 있는 저 누설전류 특성, 저 도핑 드레인 지역의 도핑 농도, 쏘오스/드레인 구조 및 형성 방법 또는 게이트 구조 및 형성 방법 등이 리프래시 특성에 밀접한 영향을 미친다. 접합의 누설전류도 리프래시 특성에 영향을 미치게 됨에 따라, 요즘의 소자 설계자들은 실리콘 기판에도 세심한 주의를 기울여야 하고, 작은 크기의 ULSI 소자는 기판 Engineering의 고려도 필요하다.

III. 요소 기술

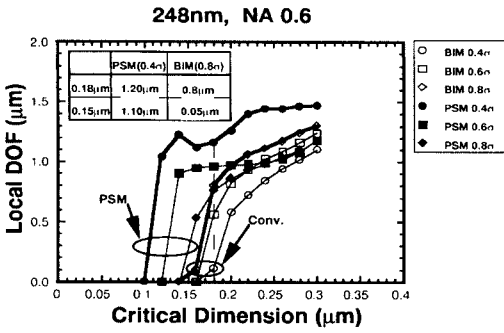
1. 사진 묘사 기술

앞에서 이미 언급한 바와 같이, 이러한 경향의 가장 중요한 공헌자는 사진 묘사 기술이다. 사진 묘사 기술은 새로운 광원이 속속 등장하면서, 미세화의 요구를 충족시키기 위하여 진화해 왔다. 그러나, 사진 묘사 기술의 전체 하부 구조에는 감광 물질 개발, 감광 마스크, 주변 기술(변형 조명, 위상 반전 기술, 그리고 시릴레이션과 같은 공정 개발), 그리고 광원 이외의 광학적 고려, 예를 들어, 기계학을 포함한 하드웨어, 렌즈 물질 개선 등과 수 많은 주변 기술의 진보가 있었다. 그 동안 사진 묘사 기술이 소자 Scaling의 끊임없는 요구를 만족시킬 수 있었던 것은 바로 이 하부 구조들의 기술 혁신에 힘입은 것이다.

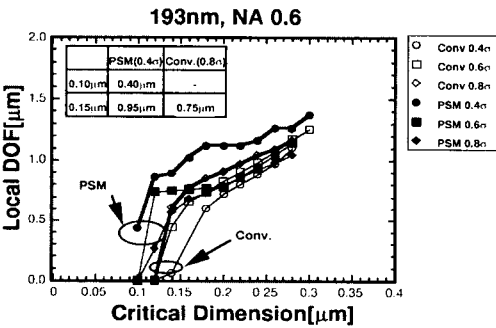
원 자외선 광원의 경우, KrF가 $0.2\mu\text{m}$ 의 선 폭까지 그리고 ArF가 $0.15\mu\text{m}$, 어쩌면 $0.12\mu\text{m}$ 의 선 폭까지 처리할 수 있을 것으로 예상된다. 전자빔, x-선, 또는 극 원 자외선 기술과 같은 다음 세대 사진 묘사 기술에 대해 언급할 필요 없이, 현재 연구 개발 단계에서 널리 사용되고 있는 원 자외선 기술에 있어서도, 위의 하부 구조 기술의 기여도를 쉽게 살펴 볼 수 있다. 현재 상용화되어 있는 프로그램을 이용한 간단한 모의 실험에 의하면, KrF와 ArF 사진 묘사 기술의 한계 해상도는 그림 3에서와 같이 각각 $0.16\mu\text{m}$ 과 $0.12\mu\text{m}$ 이다. 하지만, 이 한계 값은 DOF 여유가 전혀 없는 값이기 때문에



(그림 3) KrF와 ArF 사진 묘사 기술의 한계 해상도



〈그림 4〉 위상 반전 기술 적용시 KrF 사진 묘사 기술의 한계 해상도



〈그림 5〉 위상 반전 기술 적용시 ArF 사진 묘사 기술의 한계 해상도

의미 없다. 일반적으로, 양산 가능한 공정에서 0.80μm의 DOF 여유는 필수 조건이므로 이 경우 KrF와 ArF의 현실적인 한계는 0.20μm 이상이 된

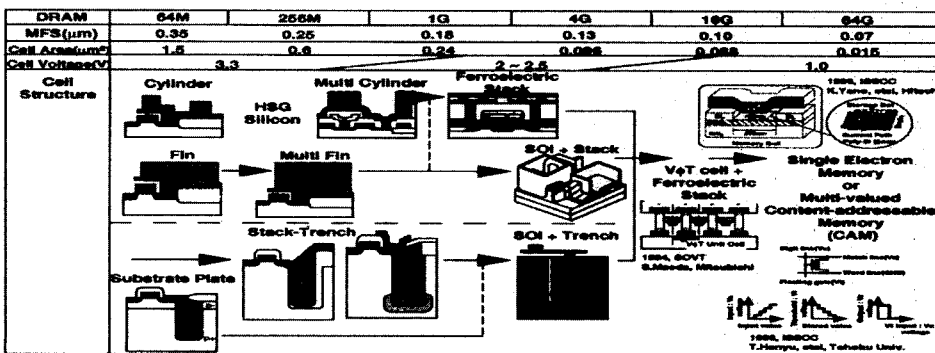
다. 그러나, 여기에 주변 기술, 예를 들어 위상 반전 기술 등을 고려하면, 그림 4와 그림 5의 모의 실험 결과에서 알 수 있듯이 이들 광원의 해상도를 크게 향상시킬 수 있다. 이것은 주변 기술을 적절히 가미하는 경우, 사진 묘사 기술을 그 한계까지 사용할 수 있다는 것을 의미한다. 이것은 마스크나 감광막 기술과 같은 다른 주변 기술의 경우에도 성립한다.

더 미세한 패턴을 얻기 위해서는, 좀 더 진보된 물질을 개발해야 한다. 마스크의 공백을 이루는 물질은 더 나은 투과 효율을 얻기 위해, 수정에서 업계에서 사용하는 신소재인 CaF₂로 변화했다. 감광 물질도 기존의 노블라계로부터 화학 증폭형 감광 물질로 변하고 있는데, 이로부터 새로운 모체 수지로서의 PHS(Polyhydroxy styrene), PAG로서의 ph3SSbF6, 이른바 화학 증폭이라는 능력을 지니는 반응 억제제로서의 t-boc 등의 신물질이 개발되었다.

DRAM을 생산하기 위하여 새로운 물질과 장비를 사용하면 할수록, 막대한 개발 비용으로 인하여 DRAM의 가격은 점점 더 비싸진다. 이에 따라, 구매자들이 요구하는 상품으로서의 가격 효율성과 DRAM의 생산 비용을 모두 만족할 수는 없는 경계 점에 다가서고 있다.

2. 캐패시터 기술

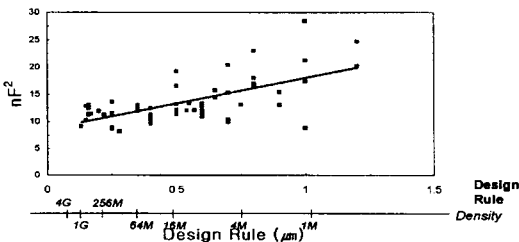
DRAM 소형화의 또 다른 주된 공헌자는 새로운 셀 캐패시터의 개발이다. 그림 6은 삼차원 DRAM



〈그림 6〉 DRAM 셀 캐패시터의 개발 방향

셀이 등장한 이후의 DRAM 셀의 진화를 체계적으로 보여 준다. 지금까지, 셀의 소형화의 주요 인자는 유전체 막의 면적과 두께였다. 업계는 DRAM의 정전 용량 부족의 문제를 해결하기 위하여, 4세가 세대 이후 대부분, 사진 묘사 기술의 어려움을 어느 정도 감수하면서 셀의 유효 면적을 늘리기 위하여 삼차원 구조를 적용하고, 대부분 실리콘 산화막, 실리콘 질화막 또는 그 둘의 조합으로 이루어진 유전체 막의 두께를 낮추고 있다. 이제 그 두께가 물리적 한계에 다다르고, 셀의 크기도 더 이상의 소형화가 어려운 지경에 이르렀기 때문에, 생각해 볼 수 있는 것은 유전 상수의 증가와 셀 크기의 축소이다. 따라서 탄탈륨 산화막(Ta_2O_5) 또는 BST와 같은 고 유전 상수를 갖는 신물질의 등장 이 당연하며, 앞으로 몇 년 안에 이러한 고 유전체 물질을 사용한 DRAM을 시장에서 볼 수 있을 것이다. 그 첫 번째 제품은 아마 256메가 비트 DRAM이 될 것이다.

그림 7은 셀 소형화의 또 다른 놀라운 측면을 보여 준다. F를 설계 규칙이라 정의하면, y-축은 여러 경쟁사들에 의해 상용화된 DRAM의 상대적 셀 크기(nF^2)를 각 집적도(절대적 설계 규칙 x-축)의 함수로 나타낸 것이다. 직선으로 근사했듯이, 셀 크기의 진화는 DRAM의 집적도가 증가함에 따라 더 공격적으로 이루어져 왔다. 이러한 적극적인 셀 크기의 소형화는 점점 더 어려워 질 것이고, 양산성이 있을 정도의 공정 여유를 지닌 관련 공정이 더 이상 존재하지 않게 됨에 따라 그 물리적 한계에 도달할 것이다. 따라서, 그림6에서 볼 수 있는 단전자 소자^[1], 합성 효소 소자, 구성 요소의 수직 방향 집적화^[2], 또는 다진법 CAM



(그림 7) 설계 규칙에 따른 DRAM 셀 크기의 변천

(Content Addressable Memory)^[3] 등과 같은 새로운 돌파구가 있어야 한다. 그러나, 현재까지의 가시적인 경향은 비록 위의 기술들이 실현 가능한 해법을 제시한다 하더라도, 그것은 매우 비싼 해법이기에 때문에 DRAM이 더 이상 독립적인 상품으로 남지 못할 지도 모른다.

3. 금속 배선 기술

오늘날 반도체의 축소화에 있어서의 또 하나의 주된 관심 분야는 금속 배선이다. 반도체 소자는 점점 소형화가 되는 반면에 메모리는 특히 DRAM은, 각 세대마다 집적도가 4배씩 증가하므로, 그 크기가 점점 더 커져 왔다. 통상적으로 메모리 칩의 크기는, 설계자가 더 작은 부품을 고안하고, 공정 엔지니어가 그것이 가능한 공정을 개발했음에도 불구하고, 각 세대마다 1.5배씩 증가해 왔다. DRAM 칩이 점점 더 커지고, 배선 간의 간격이 좁아지고, I/O선들이 집중되면서, 전압 강하와 같은 전송 효율 문제, 기생 효과, 그리고 서로 다른 신호들간의 잡음 등의 문제가 발생하였다.

이에 대한 가능한 해결 방법은 먼저 회로 설계를 효과적으로 하는 것이나, 이것은 항상 소자 및 공정 기술과의 조합이 필요하다. 가능한 해법은 도전체 물질을 바꾸어서 배선 저항을 줄이는 것이다. 이를 위한 후보 물질로는 구리가 고려되고 있으며, 가까운 미래에는 은, 금과 같은 더 비싼 금속이나, 심지어는 백금의 사용이 고려될 수도 있다. 비록 배선 문제와 관련된 것은 아니지만, 고 유전체 캐패시터 등의 집적화에 있어서 백금은 이미 매우 중요한 역할을 하고 있다. 기생 효과의 측면에 관하여는 금속간 또는 전도층간의 유전체로 저 유전체 물질, 예를 들어, SiOF 등이 쓰이게 될 것이다. 표 2는 금속 배선의 일반적인 경향을 나타내었는데, 여기서는 몇 가지 신 물질을 언급하였다. 반도체 공정에 도입된 이들 새 금속들에 있어서, 주된 고려 사항은 최근 메모리의 소형화, 높은 단차, 높은 선택비 등의 요건들을 만족시키면서, 기존의 식각 기술과 호환이 되느냐 하는 것이다. 그러나, 구리가 새로운 금속 배선 물질로 등장한 지 수년이 지났음에도 불구하고, 안정된 구리 식각 공정이 아

〈표 2〉 금속 배선 기술의 발전 경향

DIR (μm)	0.25	0.18	0.13	0.1	0.07
DRAM	256M	1G	4G	16G	64G
Barrier Metal		PVD		CVD	
TiN				TaSiN, WBN	
New Material					
Metal-1		PVD		CVD	
Al					
W					
Cu			PVD	CVD	
Metal-2				CVD (Selective)	
Al					
Cu				CVD	
Metal-3				PVD	CVD (Selective)
Al					
Cu					

직 개발되지 못한 점만 보더라도 그 어려움이 크다는 것을 쉽게 알 수 있다. 상감(Damascene) 기법이 그에 대한 해법이 될 것으로 예상되나, 화학 기계 연마법은 운용하기 매우 비싼 공정이기 때문에, 이 경우 가격 효율성 문제가 구리와 화학 기계 연마법의 큰 단점으로 작용할 것이다.

IV. 미래의 메모리(DRAM)에 대한 전망

지금까지 DRAM축소화에 있어서의 변화와 일반적인 경향들에 대해 언급했는데, 가장 값싸고, 그러면서 대량인 메모리 상품으로서의 DRAM이 견지해야 할 가격 효율성의 관점에서, 여러 해법 중의 일부는 아직도 가능성이 있음을 알 수 있었다. 그러나, DRAM의 축소화에 따른 여러 요건을 해결할 수 있는 최신 기술을 도입하면서, 이 기술에 동반하는 여러 문제가 생겨났고, 이들을 해결

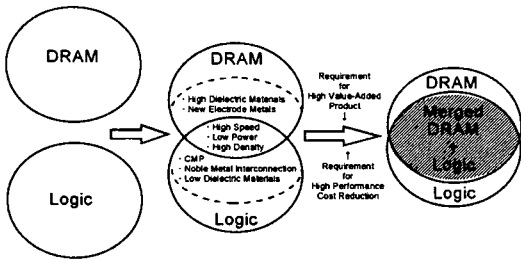
하기 위해 업계가 새로운 장비와 물질을 개발하게 되면서, 여러 가지 논쟁점이 생겨났다. 따라서, 축소화는 DRAM 개발자의 최우선 과제이며, 가격 요건이 충족되는 한 그들은 계속하여 이 과제를 수행할 것이며, 이 요건이 만족되는 한 DRAM은 독립적인 상품으로서 시장에서 생존할 것이다. 그 이후로는 즉, 고 비용을 필요로 하는 기술들이 지배적인 역할을 하는 때가 오면, DRAM은 더 이상 값싼 메모리 상품으로 남지 못하고, 고 부가가치 상품으로 전환해야 한다는 사실을 받아 들여야 할 것이다. DRAM이 값싼 상품으로 남아 있기 보다는 새로운 부산물을 찾아야 하는 또 다른 이유는 기가 비트 시대에 가서는 데이터 양 (비트 수)의 증가가 일반 사용자가 감당하기에는 너무 사치스럽다는 사실이다. 이러한 이중의 문제는 DRAM에 더 많은 가치를 가미함으로써 해결될 수 있다. 최근 들어 이러한 종류의 부산물 중에서 가장 많이 언급되는 것은 논리 회로에 메모리를 끼워 넣어 하나의 칩으로 만드는 것이다. 이 MML (Merged Memory Logic)의 가능한 응용 분야로는 그래픽 완충 메모리, 캐쉬, 그리고 CPU - Core 등이다. 강유전체 메모리를 사용하는 RFID (Radio Frequency Identification) 카드가 이미 상용화되어 있으므로, 메모리 중에서 강유전체 메모리가 이러한 부산물의 관점에서 개척자적인 역할을 하고 있으며, DRAM도 곧 뒤를 이을 것이다. 그러므로, 향후 DRAM에 대한 전망은 다음의 두 가지로 요약할 수 있다. 첫째, 독립적인 제품으로 남기 위한

〈표 3〉 DRAM의 상대적 가격 효율성

Memory Density	Design Rule(μm)	Chip Size (mm ²)	No. of Dies/Wafer		
			200mm	300mm	400mm
256M	0.25	~350	68	162	—
	0.22	~230	104	256	—
	0.2	~190	120	316	—
1G	0.18	~650	32	80	156
	0.15	~380	61	153	278
4G	0.12	~1155	—	44	85
	0.1	~800	—	68	104

메모리 자체의 소형화이다. 둘째는 DRAM과 논리 회로 제품의 부산물화이다.

표 3에는 DRAM 집적도의 사치성과 다음 세대에서의 상대적인 가격 효율성이 잘 나타나 있다. 가격 효율성의 간단한 지표로서, 적당한 수율이 확보되는 상태를 가정하여, 그 기준을 웨이퍼 한 장당 칩의 갯수가 100개 이상인 것으로 설정할 경우, 256메가 비트 DRAM은 300 μ m 웨이퍼 공정과 공존할 수 있으며, 공격적인 설계 규칙과 공정 기술하에서는 200 μ m 웨이퍼 공정도 가능하다. 그러나, 1기가 비트 DRAM은 공정이 어느 정도 안정되는 양산의 후기 단계에서도 반드시 300 μ m 웨이퍼 공정이 필요하다. 한 장의 웨이퍼에서 우리가 얻을 수 있는 칩의 갯수의 관점에서 볼 때, 200 μ m 웨이퍼 공정의 두 세대 후에는 400 μ m 웨이퍼 공정이 필요하다는 것을 확실히 알 수 있다. 그러므로, i) 더 이상의 감당할 만한 가격 효율성이 없다는 것과, ii) 메모리의 사치스러운 집적도, iii) 메모리의 속도 증가 등의 배경하에서, 그림 8에서 개념적으로 도시한 것과 같이 메모리와 논리 회로 제품

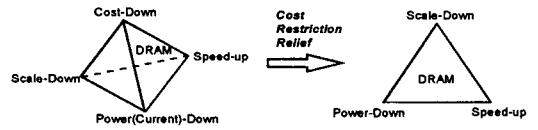


(그림 8) 증대되는 MML의 필요성

의 제휴는, 점점 더 증가할 것으로 예상된다. 물론, 오늘날의 논리 회로 제품과 메모리 사이에는 성능, 완전히 서로 다른 응용 분야, 서로 다른 집적 공정의 측면에서 아직도 수 많은 불일치가 존재한다. 하지만, 시간이 흐르면서, MML의 수요가 증가하고, 이러한 불일치가 그 한계에 몰리게 되면, 결국 이 기술들은 융합되어 그림8에 도시된 것과 같이

하나로 통일될 것이다. 일단, 메모리와 논리 회로 제품의 융합이 실현되면, 이러한 종류의 응용이 유행시 되어, DRAM은 물론, 아마도 다른 메모리들도 그림 1에서 살펴 보았던 네 가지 제약 조건을 갖는 피라미드 모양의 범주에서 탈출하여, 그림 9에서와 같은 세가지 제약 조건, 즉 미세화, 저 전력화, 고속화라는 삼각형 모양의 세 가지 제약만을 갖는 새로운 시대로 접어들 것이다.

High Performance / Low Cost DRAMs
⇒ High Performance / High Cost DRAMs



(그림 9) 향후 DRAM 생존 요건의 변화

참 고 문 헌

- [1] K.Yano, et al., "A Single-Electron-Memory Integrated Circuit for Giga-to-Tera Bit Storage," in Technical Digest of International Solid-State Circuits Conference, 1996, pp266-267.
- [2] S. Maeda, et al., "A Vertical f-Shape Transistor(VfT) Cell for 1Gbit DRAM and Beyond," Technical Digest of Symposium on VLSI Technology, 1994, pp133-134.
- [3] T.Hanyu, et al., "One-Transistor-Cell Multi-Valued CAM for a Collision Detection VLSI Processor," Technical Digest of International Solid-State Circuit Conference, 1996, pp264-265.

저자 소개



이 대 훈

1954年 10月 15日生

1978年 2月 서울공대 공업교육학과 학사

1980年 2月 서울공대 석사

1986年 12月 University of Texas at Austin 박사

1980年 2月~1982年 7月 동양공업전문대 전임강사

1987年 1月~1997年 5月 현대전자산업 주식회사(DRAM 개발)

주관심 분야 : DRAM(Giga Level) 공정 및 소자개발