

# 초저 소비전력 및 저 전압 동작용 FULL CMOS SRAM CELL에 관한 연구

김 경 희, 이 태 정,  
김 경 태, 신 윤 승  
삼성전자

## 초 록

0.4 $\mu$ m Design Rule의 Super Low Power Dissipation, Low Voltage Operation용 Full CMOS SRAM Cell을 개발하였다. Retrograde Well과 PSL(Poly Spacer LOCOS) Isolation 공정을 사용하여 1.76 $\mu$ m의 n+/p+ Isolation을 구현하였으며 Ti/TiN Local Interconnection을 사용하여 Polycide 수준의 Rs와 작은 Contact 저항을 확보하였다. P-well내의 Boron이 Field oxide에 침적되어 n+/n-well Isolation이 취약해짐을 Simulation을 통해 확인할 수 있었으며, 기생 Lateral NPN Bipolar Transistor의 Latch Up 특성이 취약해 지는 n+/n-well size는 0.57 $\mu$ m이고, 기생 Vertical PNP Bipolar Transistor는 p+/p-well size 0.52 $\mu$ m까지 안정적인 Current Gain을 유지함을 알 수 있었다. Ti/TiN Local Interconnection의 Rs를 Polycide 수준으로 낮추는 것은 TiN depo시 Power를 증가시키고 Pressure를 감소시킴으로써 실현할 수 있었다. Static Noise Margin 분석을 통해 Vcc 0.6V에서도 Cell의 동작 Margin이 있음을 확인할 수 있었으며, Load Device의 큰 전류로 Soft Error를 개선할수 있었다. 본 공정으로 제조한 1M Full CMOS SRAM에서 Low Vcc margin 1.0V, Stand-by current 1 $\mu$ A 이하(Vcc=3.7V, 85 $^{\circ}$ C기준) 를 얻을 수 있었다.

## I. 서 론

반도체 Device 제작시 미세화에 의한 신뢰성 저하 및 전력 소모 증가 문제를 개선하기 위해 전원 전압을 감소시키는 것이 일반적인 추세이다. 특히 Hand phone 등 휴대용 기기에 사용될 Battery Operation Device의 필요성이 대두되면서 전원 전압의 추가 하향과 소비 전력의 감소가 요구되고 있다. SRAM에서는 고집적화에 따라 요구되는 전원 전압 저하와 소비 전력 감소를 위해 기존의

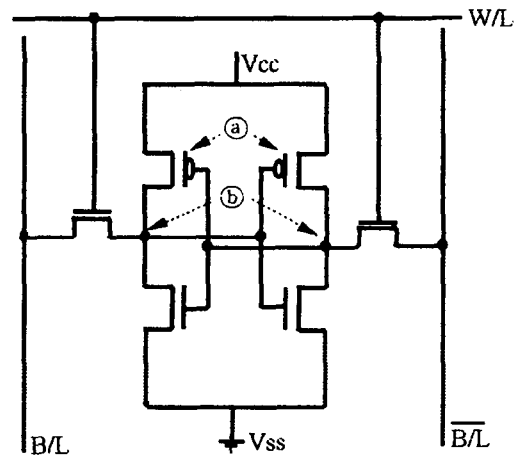
Poly silicon resistor load SRAM Cell 대신 TFT (Thin Film Transistor)를 Load로 채용한 Cell을 개발하여 낮은 Stand-by Current와 높은 Cell Stability를 달성하였다.<sup>[1]</sup> 그러나 2.5V 이하의 전원 전압에서는 TFT의 ON Current가 Cell Capacitance를 Charging하기에는 불충분하여 TFT Cell로는 저전압 Operation에 많은 어려움이 있다.<sup>[2-3]</sup> 또 TFT는 Poly silicon을 Channel로 사용하기 때문에 Grain이나 Surface 등에서 발생하는 Leakage Current나, TFT의 Vth Variation으로 인한 Off Current 증가등의 문제가 있다.<sup>[4-5]</sup> 앞의 문제 이외에도 TFT Cell은 pMOS TFT를 형성하기 위해 2개 이상의 Poly Silicon Layer가 필요하기 때문에 제조 공정이 복잡하다. 이상과 같은 문제 해결을 위해 Full CMOS SRAM Cell이 새롭게 제시되었다. Full CMOS SRAM Cell은 Bulk PMOS를 Load로 사용하는데 Bulk PMOS는 Poly Resistor나 TFT에 비해 높은 수준의 On Current와 작고, 균일한 Leakage 수준을 나타내어 안정적인 Cell 특성을 갖고 있다. 따라서 Poly-silicon Resistor Load Cell이나 TFT Type Cell에 비해 저전압 동작에 유리하고, Soft Error에 강하며 낮은 Stand-by Current를 갖고 있어 Super Low Power 제품에 적합하다. 또한 Poly Resistor나 TFT 형성을 위한 별도의 Layer가 필요하지 않기 때문에 공정이 단순하며 여러 Layer를 사용함으로써 발생하는 Defect을 감소 시킬 수 있다. 따라서 Full CMOS SRAM Cell은 각 Cell마다 Bulk PMOS TR 및 N+/p+ Isolation이 형성되기 때문에 Cell 면적이 커지는 문제가 있음에도 불구하고 우수한 특성 및 단순한 공정으로 인하여 차세대 SRAM Cell로써 주목 받고 있다.

이에 본 논문에서는 0.4 $\mu$ m Full CMOS SRAM Cell 기술에 관하여 논하고자 한다. 먼저 Section II에서 0.4 $\mu$ m Full CMOS SRAM Cell의 핵심 필요 기술에 대해 살펴본 후, Section III에서 0.4 $\mu$ m Design Rule의 1M Full CMOS SRAM의 제조 방법을 설명하였다. Section IV에서는 Latch Up 특성을 포함한 Isolation 특성과 Local Interconnection 특성 Test 결과에 대해 논하고, 다음으로 Leakage

특성 및 SNM(Static Noise Margin) 특성과 SER 특성등 Cell 특성에 대해 논한 후 Section V에서 결론을 맺었다.

## II. 0.4 $\mu$ m Full CMOS SRAM Cell의 핵심 필요 기술 REVIEW

그림 1은 Full CMOS SRAM Cell의 등가회로도이다. Full CMOS SRAM Cell은 Cell에 Vcc



(그림 1) SRAM Cell의 등가 회로도(1)

Power를 공급하는 Load @로 Bulk PMOS를 사용하고 있는데 Bulk PMOS는 우수한 On/off Current 특성을 갖고 있어서 앞서 언급한 바와 같이 좋은 Cell 특성을 갖고 있지만 한 Cell에 NMOS, PMOS가 함께 있기 때문에 N+/p+ Isolation이 있어야 한다. N+/p+ Isolation은 통상적으로 Design Rule의 수배의 Size을 갖고 있으며 충분한 Punch Through Margin과 Latch Up에 대한 내성이 필요하다. 따라서 충분한 Punch Through Margin과 Latch Up에 대한 내성을 가지고 있으면서 가능한 한 작은 Size의 N+/p+ Isolation을 Set Up하는 것이 필요하다. 이를 위해 Retrograde Well과 PSL(Poly Spacer LOCOS) Isolation 공정을 사용하여 그 특성을 평가하였다.

또한 Full CMOS SRAM Cell에는 PMOS의 P+ Active와 NMOS의 N+ Active를 연결하는 Interconnection(그림 1의 ㉔)이 필요한데 기존에 Interconnection Material로 많이 사용하던 Silicided Poly는 Contact 저항이 증가하는 문제가 있다고 알려져 있다.<sup>[6]</sup> 즉 P+ Active내의 Boron이 WSix나 WSix와 SiO<sub>2</sub>계면에 침적되어 P+ Active내의 Boron농도가 감소하고, N+ Active에 있던 Arsenic이 WSix를 통해 P+ Active에 침투하여 특히 P+ Contact저항이 많이 증가 한다. 그림 2는 N+ Active와 P+ Active를 연결하는 물질로 Polycide를 사용했을 때 Dopant의 이동 및 침적 경로를 나타낸 개략적인 단면도이다. 이 밖에도 N+ Poly와 P+ Poly에 각각 이온 주입이 필요해 2번의 Photo Step이 필요하기 때문에 공정 Step이 증가하는 문제가 있다. 이와 같은 문제를 개선하기 위해 Dopant에 대한 Barrier의 역할을 할 수 있는 Interconnection Material로 Ti/TiN을 선택하여 그 특성을 평가 하였다.

결과적으로 0.4 $\mu$ m Full CMOS SRAM Cell의 핵심 필요 기술은 N+/p+ Isolation과 N+ Active와 P+ Active를 연결하는 Interconnection 기술이며 이를 위해 Retrograde Well과 PSL Isolation 공정 그리고 Ti/TiN Interconnection을 사용하여 그 특성을 평가 하였다.

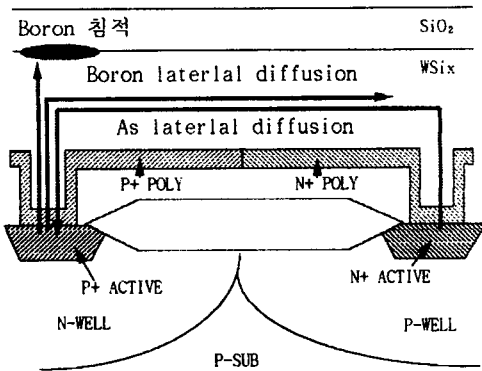
### III. 소자 제조 방법

0.4 $\mu$ m Design Rule로 20.6 $\mu$ m<sup>2</sup>의 1M Full CMOS SRAM을 제조하였다. Photo Step은 모두 15번이며 1 Poly, 1 Ti/TiN, 1 Metal 구조이다. 표 1에 주요 공정이 나와 있다

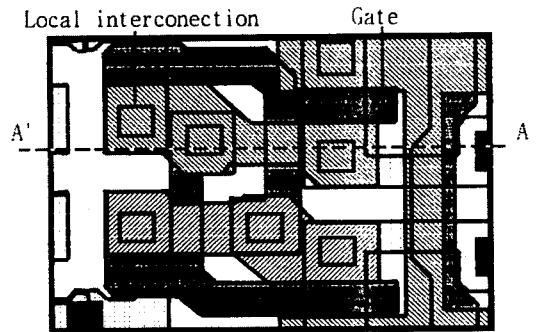
〈표 1〉 0.4 $\mu$ m Full CMOS SRAM Process Flow.

- PSL Isolation
- Retrograde Twin Well Formation
- Gate Formation
- Source/Drain Formation(LDD For NMOS PLDD For PMOS)
- ILD-1 Format(USG Depo & Etch Back)
- Local Interconnection Formation
- ILD-2 Formation(USG Depo)
- Metal Formation

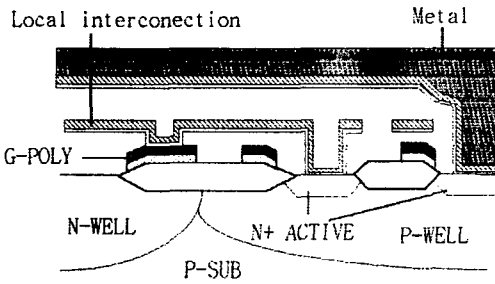
공정에서 주목할 점은 Ti/TiN과 절연층으로 사용되는 Oxide막과의 선택비가 높지않아 ILD-1부터 평탄화가 필요한 점과 Li(Ti/TiN) 형성 후 고온 열처리가 불가능하기 때문에 저온으로 평탄화가 가능한 USG를 ILD-2로 사용하였다는 점이다. 그림 3의 (a)는 Cell Layout을 나타낸 평면도이고, 그림 3의 (b)는 (a)에서 A-A'로 절단한 후의 수직 단면도이다. 그림 3의 (c)는 Local Interconnection



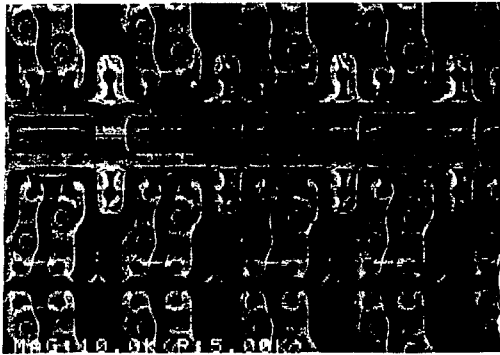
〈그림 2〉 N+/p+ polycide interconnection dopant 이동 및 침적 경로



(a) Cell Layout



(b) 수직 단면도(A-A' 절단)



(c) SEM사진(Local Interconnection 형성후)

〈그림 3〉 0.4μm Full CMOS SRAM Cell.

형성후 SEM사진이다. 이와같이 제조된 Full CMOS SRAM Cell의 주요Parameter를 표 2에 나타내었다.

### IV. Device 특성 분석

#### 1. Isolation 특성

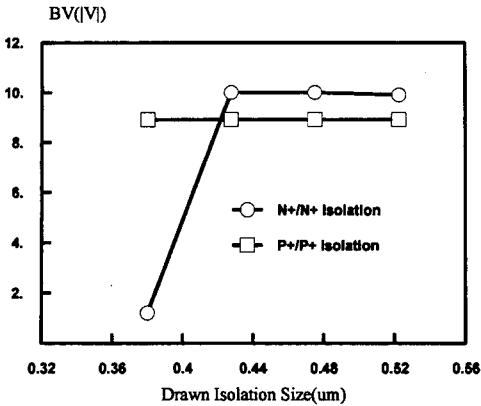
1.76μm의 N+/p+ Isolation과 0.475μm의 N+/n+, P+/p+ Isolation을 위해 Retrograde Well 공정과 PSL Isolation공정을 사용하였다. Retrograde Well 공정이 필요한 이유는 작은 Size의 N+/p+ Isolation을 위해서는 가능한 한 급격한 Well 경계면이 필요한데 고온의 Drive-in 공정

〈표 2〉 0.4μm Full CMOS SRAM Cell Parameter.

Cell Demension	X	3.943μm
	Y	5.225μm
Transistor Sizes	nMOS P/D	Width/Length 0.8075/0.4275
	nMOS Pass	0.4275/0.57
	pMOS Load	0.4275/0.5225
Gate oxide		10nm
n+/p+ space		1.758μm
n+/n-well space		0.855μm
p+/p-well space		0.903μm
Design Rules		Width/Length
	Isolation	0.4275/0.475
	G-poly	0.4275/0.38
	LI	0.475/0.475
	Contact	0.38/0.38
Metal	0.5225/0.5225	

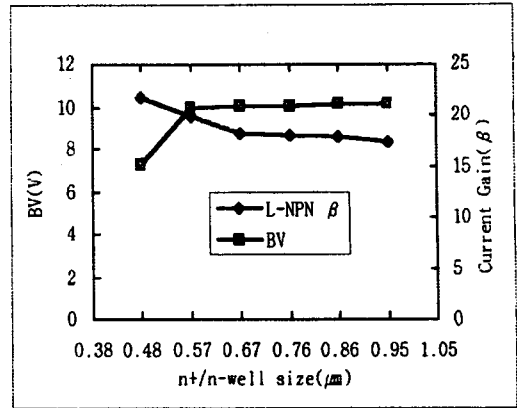
이 필요한 Diffused Well의 경우 급격한 Well 경계면을 얻기 어렵기 때문이다 또 한가지 이유는 Retrograde Well의 Rs가 Diffused Well에 비해 작기 때문에 Rs 감소에 의한 Latch-up 내성 향상 효과가 크기 때문이다. P-well 이온 주입은 Boron, 500KeV, 1.0E13/cm<sup>2</sup>으로 진행하였으며 N-well 이온 주입은 Phosphorus, 800KeV, 1.0E13/cm<sup>2</sup>으로 진행하였다. N+/n+, P+/p+ Isolation Margin 확보를 위해 Bird's Beak이 작고, Sub Recess량이 큰 PSL Isolation을 사용하였으며 Field Oxide는 350nm 두께로 진행하였다.<sup>[7]</sup> N-field 이온 주입은 Boron, 120KeV, 9.0E12으로 진행하였으며, P-field 이온 주입은 Phosphorus, 320KeV, 9.0E12으로 진행하였다.

그림 4에서 PSL Isolation의 N+/n+, P+/p+ Isolation Punch Through Margin을 나타냈다. N+/n+ Isolation은 0.428μm, P+/p+ Isolation은 0.38μm까지 높은 Breakdown Voltage를 유지하여 안정된 Isolation 특성을 보였다.



〈그림 4〉 Isolation size에 따른 n+/n+, p+/p+ PSL Isolation의 Punch Through 전압의 의존성

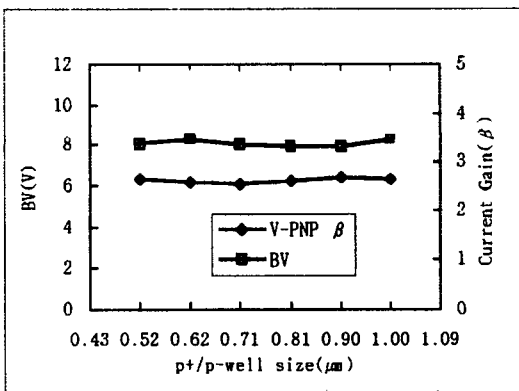
그림 5의 (a)와 (b)는 N+/p+ Isolation의 Punch Through 특성과 Latch Up 특성을 평가하기 위해 P+/p-well과 N+/n-well의 Well 경계면에서의 거리에 따른 Punch Through 전압 의존성과 역시 Well 경계면에서의 거리에 따른 기생 Vertical PNP Bipolar Transistor와 기생 Lateral NPN Bipolar Transistor의 Current Gain( $\beta$ ) 의존성을 나타낸 것이다. P+/p-well은 0.52μm까지 Breakdown Voltage 저하가 나타나지 않았으며, n



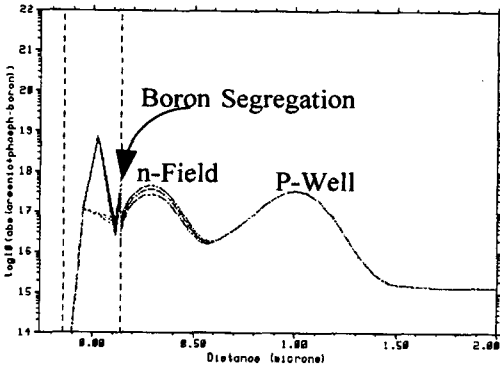
〈그림 5〉 (b) N+/n-well Size에 따른 Punch Through 전압 의존성 및 Lateral NPN Bipolar Transistor Gain 의존성

+/n-well은 0.475μm에서 Breakdown Voltage 저하가 나타나, P+/p-well은 0.38μm이상, N+/n-well은 0.28μm정도의 Margin을 보였다. Current Gain은 Vertical PNP Bipolar Transistor의 경우 거리에 관계없이 일정하였고, Lateral NPN Bipolar Transistor는 거리가 짧아짐에 따라 Base Width의 감소로 Current Gain이 증가하는 경향을 보였으며 0.57μm부터 급격한 증가를 보여 0.57μm가 Latch Up 특성이 취약해지는 Size로 판단된다. 그림 6은 MEDICI를 사용하여 Field Oxide 하부의 P-well 영역과 N-well 영역의 불순물 농도 Profile 및 N+/p+ Isolation의 불순물 농도 Profile을 기준 (n+/n-well 0.855μm, P+/p-well 0.903μm)에서 N+ 또는 P+쪽으로 0.095μm씩 이동시키면서 Simulation한 결과이다.

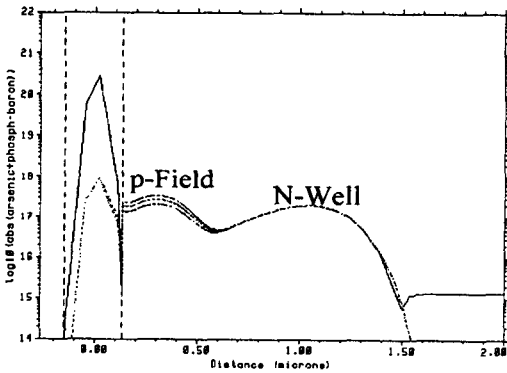
Simulation 결과를 보면 P-well의 경우 Boron이 Field Oxide내로 침적되어 Field Oxide와 P-well의 계면에서 농도 저하가 나타남에 따라 N+/n-well의 Size가 Drown Size보다 감소했음을 알 수 있다. 이로 인해 N+/n-well의 Isolation Margin이 P+/p-well의 Isolation Margin보다 작아진 것으로 판단된다. Vertical PNP Bipolar Transistor의 Current Gain이 P+/P-well Size가 0.52μm까지 감소해도 변하지 않는 것으로 보아 N-



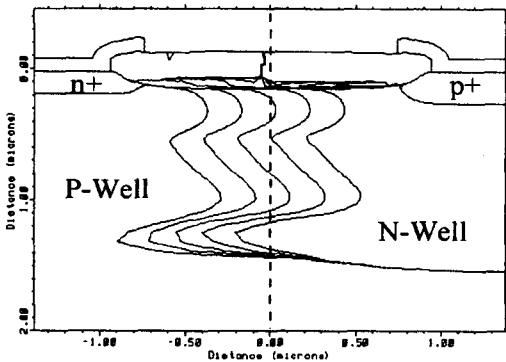
(a) P+/p-well Size에 따른 Punch Through 전압 의존성 및 Vertical PNP Bipolar Transistor Gain 의존성



(a) N+/p+ Isolation의 Field Oxide 하부 P-well 부위 불순물(boron) 농도 Profile



(b) N+/p+ Isolation의 Field Oxide 하부 N-well 부위 불순물(phosphorus) 농도 Profile

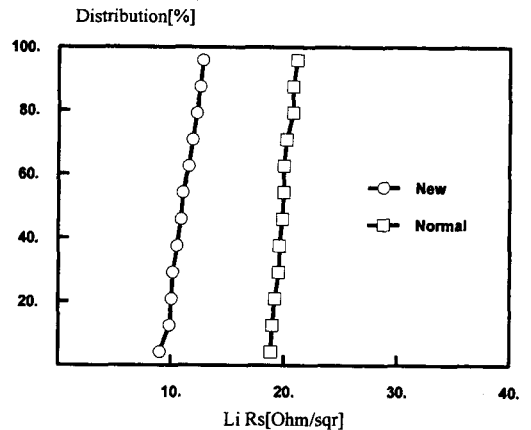


(그림 6) (c) N+/p+ Isolation의 불순물 농도 Profile(N+/n-well, P+/p-well Size를 0.095 $\mu\text{m}$ 씩 변경)

1.25 $\mu\text{m}$ )보다 작아도 P-field 이온 주입의 영향으로 P+/p-well Size 0.52 $\mu\text{m}$ 까지는 Vertical PNP Bipolar Transistor의 특성이 유지된다는 것을 알 수 있다.

2. Local Interconnection 특성

Ti/TiN Depo시 Normal Al Depo전 Barrier Metal Depo 조건을 적용시킨 결과 Rs가 20~25 $\Omega$ /□ 수준으로 Polycide의 약 10 $\Omega$ /□에 비해 2배 이상 높았다. 0.4 $\mu\text{m}$  Full CMOS SRAM Cell에서 Ti/TiN층은 Local Interconnection 역할과 함께 Vss Line으로 사용되는데 Vss Line 저항이 높아지면 Cell의 Ground Level이 높아져 저전압 동작 특성의 저하를 가져오고 Cell Mismatch를 심화시킨다. 또한 Periphery의 Circuit에서도 사용되는데 Speed 저하의 우려가 있다. 따라서 Ti/TiN의 Rs를 Polycide 수준으로 낮추기 위한 실험을 진행하였다. Ti/TiN의 Rs는 TiN막내에 존재하는 Oxide의 양에 의해 결정된다는 것은 이미 알려진 사실이다.<sup>[8]</sup> 이에 따라 TiN내에 Oxide량을 감소시키기 위해 TiN Depo시 Power를 4KW에서 8KW로 높이고, 압력을 12m Torr에서 6m Torr로 낮추는 실험을 진행하였다. Power를 높인 것은 Titanium의 수직방향성을 증가시켜 Oxygen과 만날 확률을 감소시키고, Depo Time을 감소시켜 Oxygen이 Incorporation되는 시간을 감소시키는 효과와 TiN

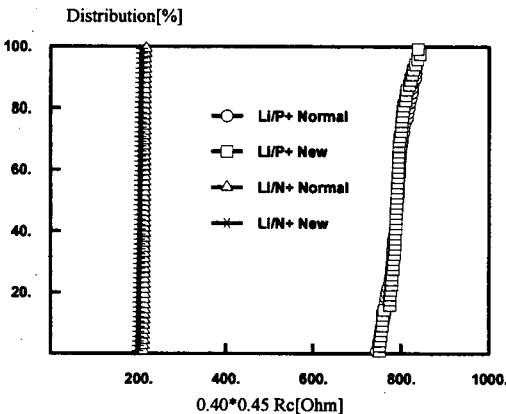


(그림 7) Ti/TiN의 Normal/New 조건 Rs

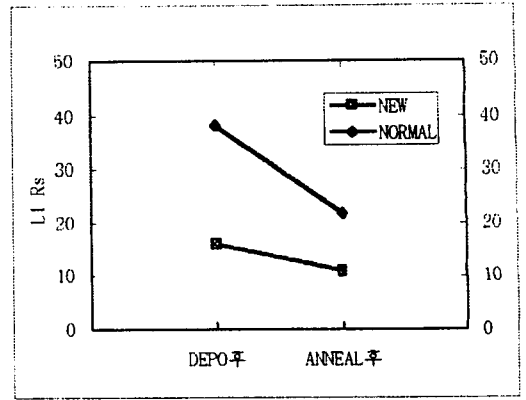
막질이 더 Dense해져서 후속 열처리시 Oxide의 Diffusion을 억제하는 효과를 기대한 것이다. 압력을 감소시킨 것은 식 (1)에서 보는 것처럼 Oxygen이 침적되는 시간을 증가시켜 Incorporation 되는 양을 감소 시키기 위해서이다. 실험 결과 Power를 증가시키고 Pressure를 감소시킨 "New" 조건의 Ti/TiN Rs는 "Normal" 조건의 20~25Ω/□ 수준에서 10~12Ω/□ 수준으로 감소하여 바라던 Rs 특성을 얻을 수 있었으며 Contact 저항도 LI/n+는 200Ω/□, LI/p+는 800~850Ω/□ 수준으로 안정된 값을 얻을수 있었다. 그림 7에서 Ti/TiN Normal/New 조건의 Rs를 나타냈고, 그림 8에서는 LI/n+, LI/p+ Contact 저항을 나타내었다. 그림 9에서는 Ti/TiN Depo시 Rs대비 Anneal후 Rs를 나타냈는데 New 조건의 경우 Rs 감소율이 Normal 조건보다 작아, New 조건의 TiN이 Depo시 Normal 조건보다 안정된 구조를 형성했기 때문으로 판단 된다.

$$T \propto \frac{1 \times E - 7Torr}{P} \quad (1)$$

여기서 T=진공상태에서 오염된 한 층을 형성하는 시간  
P=pressure



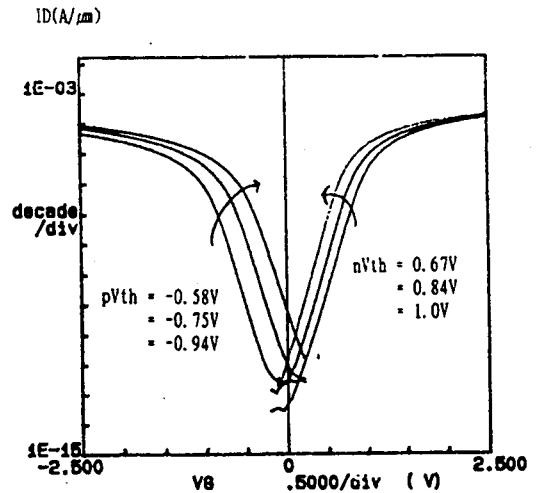
〈그림 8〉 LI/n+, LI/p+ Contact 저항



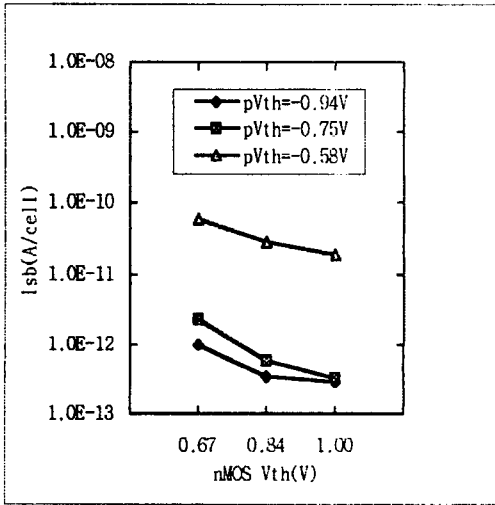
〈그림 9〉 Ti/TiN depo시 Rs vs anneal 후 Rs

### 3. Cell 특성

Transistor Vth에 따른 Leakage 특성을 확인하기 위해 NMOS Vth 이온 주입량을 Boron 2.5E12, 3.5E12, 4.5E12으로 Split하여 NMOS Vth를 0.67V, 0.84V, 1.0V로 Split하고, PMOS Vth 이온 주입량을 Boron 5.0E12, 4.0E12, 3.0E12으로 Split하여 PMOS Vth를 -0.58V, -0.75V, -0.94V로 Split하였다. 그림 10에서 Hot Temp(85℃)에서 Transistor의 Vth Split에 따른 Sub-threshold



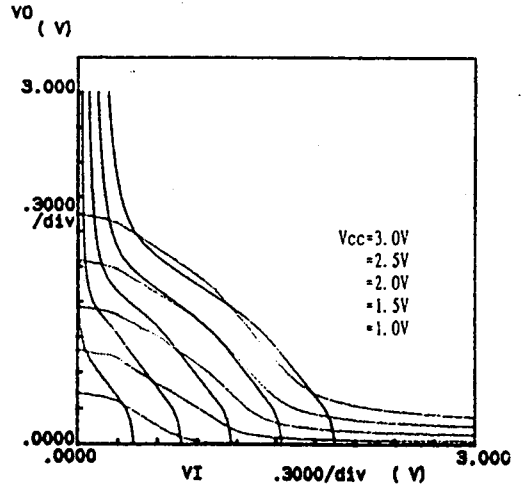
〈그림 10〉 Transistor Vth Split에 따른 Sub-threshold Leakage 특성 (Vcc=3.7V, 85℃)



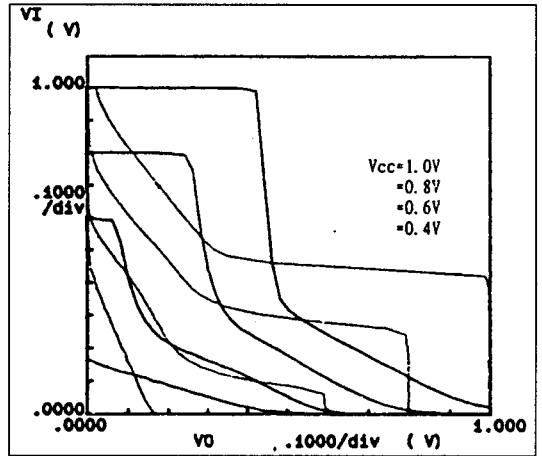
〈그림 11〉 Transistor Vth Split에 따른 ISB 특성 (Vcc=3.7V, 85°C)

Leakage 변화를 나타냈고, 그림 11에서는 Vcc=3.7V, 85°C에서 Vth Split에 따른 Isb(stand-by Current) 변화를 나타내었다. Vth가 증가함에 따라 Transistor Leakage와 Isb가 감소하는 현상이 뚜렷하다. Leakage측면에서 안정적인 공정으로 가져가기 위하여 NMOS의 Vth는 1.0V로, PMOS의 Vth는 -0.94V로 기본 공정을 잡았다. 따라서 이 공정으로 진행시 Full CMOS SRAM에서 발생하는 Leakage는 대부분 Junction Leakage이며 Junction Leakage 수준은 PERI Type(Area : 90250 $\mu\text{m}^2$ , Peripheral Length : 38950 $\mu\text{m}$ )을 기준으로 N+/p-well Junction Leakage는 2.8E-16A/ $\mu\text{m}^2$ , P+/n-well Junction Leakage는 5.9E-16A/ $\mu\text{m}^2$ 정도이다. 이 공정으로 제조한 0.4 $\mu\text{m}$  Design Rule의 1M Full CMOS SRAM Chip에서 Stand-by Current를 측정할 결과 Vcc=3.7V, Hot Temp (85°C)에서 1 $\mu\text{A}$ 이하의 Super Low Power 제품을 얻을 수 있었다.

그림 12은 SRAM Cell의 동작 특성을 나타내는 SNM(Static Noise Margin) Graph이다. Cell Ratio 2.52의 0.4 $\mu\text{m}$  Full CMOS SRAM Cell과 동일 Cell Ratio의 Poly Load Resistor SRAM Cell을



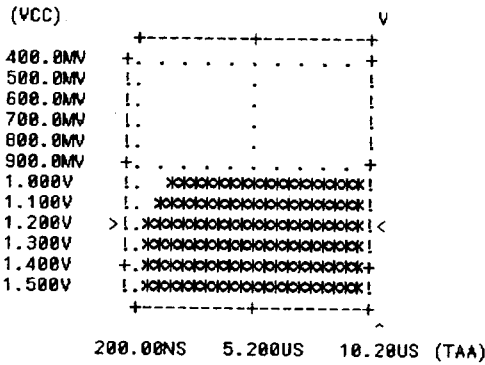
(a) Poly Load Resistor SRAM Cell의 SNM Graph (cell Ratio=2.52)



〈그림 12〉 (b) 0.4 $\mu\text{m}$  Full CMOS SRAM Cell의 SNM Graph(cell Ratio=2.52)

비교해 보면 Poly Load Resistor SRAM Cell은 2.5V에서도 동작 Margin이 없는 반면 Full CMOS SRAM Cell은 0.6V에서도 동작하고 있음을 보여 주고 있다. 그림 13은 1M Full CMOS SRAM Chip에서 동작 전압 Margin을 평가한 Shmoo Plot이다. 1.0V에서 동작하고 있음을 보여 주고 있다.

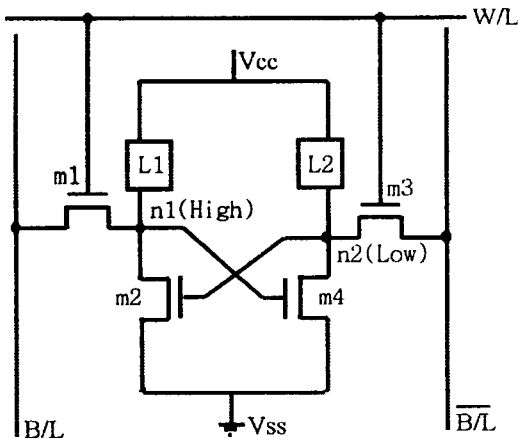




〈그림 13〉 1M Full CMOS SRAM의 Shmoo Plot.

4. SER 특성

그림 14은 SRAM CELL로서  $\alpha$ 입자에 의한 Soft Error는 대부분 cell의 Stand-by Mode에서 발생된다. Stand-by Mode에서 cell의 High Node (n1) 및 Low Node(n2)는 Bit Line과 완전히 분리되며 Node n1의 전압은 Load L1을 통해 Vcc에서 공급되는 Charge에 의해 유지된다. 그러나 L1을 통해 Cell Node로 들어오는 Charge가 극히 작기 때문에  $\alpha$ 입자의 입사후 Electron의 수집이 수 pico안에 이루어짐을 감안하면 Cell Node n1 및 n2는 전기적으로 Floating되어있는 것과 같으므로 따라서 Soft Error가 발생하게 된다. 특히 Cell이



〈그림 14〉 SRAM cell의 등가 회로도(2)

Stand-by Mode에서 Read상태로 전이될 때 Data가 바뀌지 않는 High Node의 최소 전압  $V_{h.min}$ 이 필요하여 결국  $\alpha$ 입자에 의해 수집된 Electron에 의한 Cell Data를 잃는데 필요한 Critical 전하량  $Q_{crit}$ 는

$$Q_{crit} = C_{n1}(V_{n1} - V_{h.min}) \quad (2)$$

$C_{n1}$  : Cell Node의 Capacitance

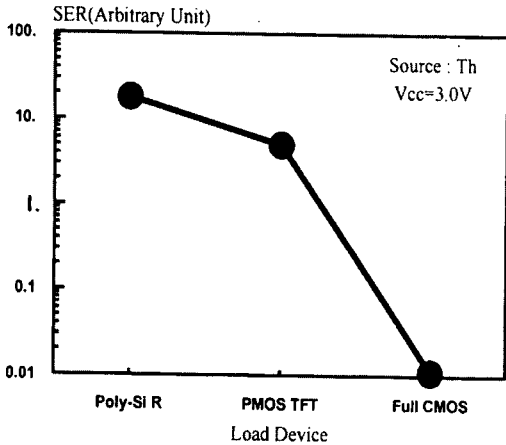
이다. 따라서 보통의 Cell에서 Cell Capacitance  $C_{n1}$ 은 5fF 정도이며,  $V_{n1} - V_{h.min}$ 은 1V에서 2.5V정도이므로  $Q_{crit}$ 은 5fC에서 10.25fC정도이다. 이것을 Electron갯수로 환산하면 대략 3만개에서 6만5천개 수준이며 이로부터 Cell Capacitor에 Data를 저장하는 DRAM보다 SRAM이 Soft Error에 훨씬 취약함을 알수있다.

Cell의 Layout, 구조 및 Process Technology에 의해  $Q_{crit}$ 는 결정되는데 SRAM Cell에서는 Low Vcc Margin, Node Capacitance 및 Data유지 수단인 Load소자의 Type에 의해 결정된다. Cell의 Low Vcc Margin은 식(2)에서 Cell Read시 Data가 바뀌지 않는 최소의 High Node 전압  $V_{h.min}$ 을 의미하는 것으로,  $\Delta V$  만큼의 Low Vcc Margin 개선은  $C_{n1} * \Delta V$ 만큼  $Q_{crit}$ 의 증가를 가져와 Soft Error 개선에 효과적이다. Cell Node Capacitance도 마찬가지로  $Q_{crit}$ 에 비례적으로 영향을 주므로 Soft Error에 중요한 변수이다. 따라서 Layout의 Optimize 및 Tox Scale등을 통해 최대한 증가시키는 것이 바람직하다. SRAM Cell은 Write, Read, Stand-by, Data Retention등 크게 네가지 동작 Mode가 존재하는데 이중 Cell의 High Node 전압이 가장 낮은 경우는 Write 직후 또는 Long Cycle Read후로써 이때 High Node의 전압  $V_h$ 는

$$V_h = V_{cc} - V_{t.m1} - \gamma \sqrt{(V_h - 2\phi_f)} \quad (3)$$

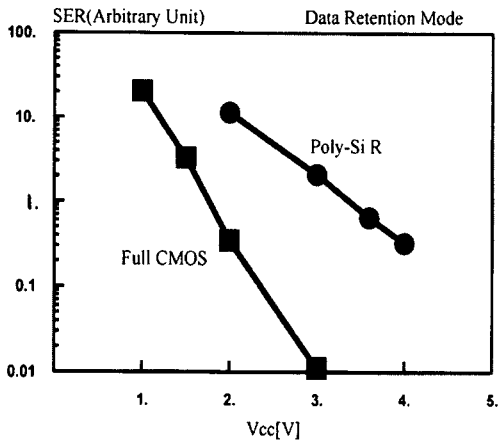
$V_{t.m1}$  : Pass Transistor m1의  $V_{th}$

로 표시된다. 이 상태에서 Stand-by Mode로 바뀌면 High Node의 전압은 Load소자 L1에 의해 점차 증가하여 전원 전압에 도달하게 되는데, 그림



〈그림 15〉 Load Device에 따른 Soft Error Rate

15는 SRAM Cell의 Load 소자인 Poly-Si 저항과 PMOS TFT, 그리고 Bulk PMOS를 사용하는 Full CMOS Cell에 대한 SER 측정 결과이다. PMOS TFT는 Stand-by Mode에서 “ON”되어 큰 전류(수십 pA)를 흘리므로 Poly-Si 저항(수fA)에 비해 전원 전압(Vcc)으로 Charging되는 속도가 빠르고, Full CMOS Cell의 Load 소자인 Bulk PMOS는 수십uA로 상기 PMOS TFT Load나 Poly-Si 저항 Load를 사용한 경우보다 훨씬 빠르다. 따라서 빠른 시간내에 Qcrit이  $Cn1 \cdot Vcc$ 에 도달하여 Charging속도가 느린 Poly-Si 저항과



〈그림 16〉 Data Retention Mode에서의 SER 특성

PMOS TFT에 비해 Full CMOS Cell의 SER 특성이 우수함을 확인하였다.

그림 16은 Data Retention Mode에서의 Full CMOS와 Poly-Si R Cell간의 Vcc에 따른 SER 특성으로 Low Vcc에서도 Soft Error Rate가 우수함을 확인하였다.

## V. 결 론

0.4 $\mu$ m Design Rule을 갖는 Full CMOS SRAM Cell을 개발하여 N+/p+ Isolation 특성과 Local Interconnection 특성, Leakage와 SNM, SER과 같은 Cell 특성을 고찰하였다. Retrograde Well 공정과 PSL Isolation 공정을 사용하여 제작한 N+/P+ Isolation의 Punch Through 및 Latch Up 특성 분석을 통해 Margin 있는 Full CMOS SRAM 공정을 Set Up할수 있었다. Ti/TiN Local Interconnection의 Rs를 Polycide 수준으로 감소시키기 위해 TiN Depo시 조건 변경을 통해 10~12  $\Omega/\square$ 의 낮은 Rs를 얻을 수 있었으며 안정된 Contact 저항을 얻을 수 있었다. SNM 분석을 통해 Full CMOS SRAM Cell이 0.6V에서도 동작함을 확인할 수 있었으며 Transistor Leakage 특성 분석을 통해 Punching에 의한 Leakage가 없는 조건을 얻을 수 있었다. Full CMOS Cell의 Load 소자인 Bulk PMOS는 수십uA의 ON Current로 Poly-Si 저항과 PMOS TFT Cell에 비해 SER특성이 우수함을 확인하였다. 본 기술을 사용하여 제작한 1M Full CMOS SRAM의 Stand-by Current는 Vcc 3.7V, 85 $^{\circ}$ C에서 1 $\mu$ A이하이며, Lowest Operating Voltage은 1.0V임을 확인하였다.

## 참 고 문 헌

- [1] Shuji IKEDA et. al., "A POLYSILICON TRANSISTOR TECHNOLOGY FOR

- LARGE CAPACITY SRAMs”, IEDM, pp. 469-472, 1990.
- [2] K. Ishimaru et. al., “Trench Isolation Technology with  $1\mu\text{m}$  Depth N- and P-wells for A Full CMOS SRAM Cell with a  $0.4\mu\text{m}$  n +/p+ Spacing”, Symp. on VLSI Tech, pp. 97-98, 1994.
- [3] Fumitomo MATSUOKA et. al., “High-Density Full-CMOS SRAM Cell Technology with a Deep Sub-Micron Spacing between nMOS and pMOSFET”, IEICE TRANS. ELECTRON, NO. 8, pp. 1385-1393, AUG. 1994.
- [4] H. Ikeuchi et. al., “Drain Current Variation Casedby Grain Boundaries in Poly-silicon TFTs”, Symp. on VLSI Tech., pp.31-32, 1993.
- [5] Masayoshi Sasaki et. al., “The Impact of Oxidation of Channel Polysilicon on the Trap Density of Submicron Bottom-Gate TFT’s”, IEEE ELECTRON DEVICE LETTERS vol. 15, NO. 1, pp. 1-3, Jan. 1994.
- [6] Toyokazu Fujii et. al., “Dual(n+/p+) Polycide Interconnect Technology using poly-Si/ WSi<sub>2</sub>/ poly-Si Structure and Post B+ Implantation”, IEDM, pp. 845-848, 1992.
- [7] 안동호 외, “256Mb DRAM을 위한 새로운 Poly-Si Spacer LOCOS 소자 분리 기술”, S-AMSUNG SEMICONDUCTOR TECHNICAL JOURNAL VOL. 9, NO. 4, pp. 681-685, Nov. 1994.
- [8] 김영남 외, “Ti / TiN의 물성적 특성에 관한 연구”, SAMSUNG SEMICONDUCTOR TECHNICAL JOURNAL VOL. 9, NO. 5, pp. 95 6-964, Nov. 1994.

## 저자 소개

### 金 炅 台

1957年 4月 22日生

1981年 2月 서강대학교 전자공학과 공학사

1983年 2月 한국과학기술원 전기 및 전자공학과 석사

1988年 8月 한국과학기술원 전기 미 전자공학과 박사

1988年 8月~현재 삼성전자 반도체부문 메모리 개발

주관심 분야: 메모리 제품 개발, Device Engineering

李 泰 政

1967年 12月 1日生  
1992年 2月 연대 문리과 학사

1991年 12月~현재 삼성전자 반도체부문 CPU 개발 전임 연구원

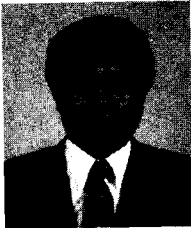
주관심 분야: CPU 개발

金 鏡 熙

1965年 3月 2日生  
1990年 2月 광운대 전자재료공학과 공학사

1990年 6月~현재 삼성전자 반도체부문 SRAMPA 전임 연구원

주관심 분야: 메모리 제품 개발



辛 允 承

1955年 10月 30日生  
1978年 2月 서울공대 전자공학 학사  
1980年 2月 KAIST 전기 및 전자공학 석사  
1984年 8月 KAIST 전기 및 전자공학 박사

1984年 9月~현재 삼성전자 메모리 본부

주관심 분야: 메모리 및 반도체 공정, Device scaling 메모리 소자 신뢰성 High speed  
반도체 공정 및 설계기술