

# 메모리 應用 動向과 主要課題

전 동 수

삼성전자 반도체 메모리 본부

## I. 概 要

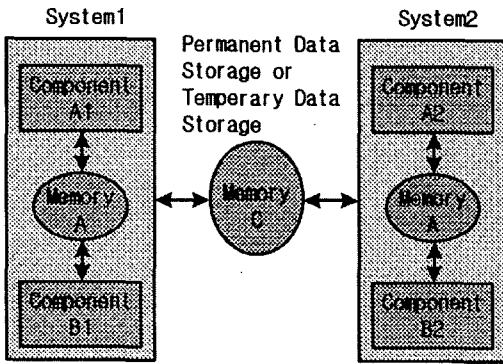
1947년 12월 미국의 Brattain과 Bardeen이 Germanium의 물성실험중 Point-contact Transistor를 발명한이후, Silicon을 이용한 BJT (Bipolar Junction Transistor)를 활용 TTL및 High Density Monolithic IC의 개발이 진행되었다. 한편 Monolithic 개념의 Digital 메모리집적회로는 1970년 Bipolar Tr을 이용 1000bit의 RAM까지 개발되었으나 MOS기술의 발전으로 1973년 16Kbit의 RAM이 NMOS를 이용 개발되었고, 1978년에는 64Kbit의 CMOS형 Memory가 개발 되어 Bipolar Architecture의 메모리는 사양길을 맞게되었다. 이후 공정기술, 설계기술, 장비기술의 급속한 발전으로 현재는 1Gbit의 DRAM기술 까지 확보된상태이다. Digital 메모리기술의 발전은 메모리를 사용하는 System의 요구에 의하여 주도 되고있으며, 이들 System은 오늘날의 전기전자기술 발전과 산업발전의 견인차 역할을했으며, Computer와 Global 통신시대의 주역이 되어 인류 문화 발전에 지대한 영향을 미치고 있고, 향후에는 더욱더 그 영향력이 지대할것이다. 특히 메모리는 Computer System및 통신 System에서 MPU (Micro Processor Unit)와 함께 System의 Working Memory및 Data Buffer Memory로 없어서는 않될 핵심부품중의 하나이며, 각각의 System 요구에 따라 DRAM, SRAM, NVM등의 다양한 제품이 채용되고 있고, 그기능도 고속화, 다기능화 그리고 대용량화 되고있는 추세이다.

이에 본고에서는 현대산업의 쌀이라 불리는 반도체 중 Memory 제품에 대한 개발현황, 응용동향및 향후 전개방향 그리고 미래 메모리를 위한 주요 과제에 대하여 개괄적으로 살펴볼 예정이다.

## II. 本 論

### 1. 메모리의 必要性

메모리의 필요성은 필요정보의 저장성과 이동성에 있다. 인간은 원시시대부터 이미 각종 통신기기와 메모리를 사용하여 왔다. 봉화와 동굴의 벽화가 그 대표적인 것 중의 하나일 것이다. 벽화를 통하여 장기간 원하는 내용을 보존하였으며 필요에 따라 다시 볼수있도록하였다. 즉 필요한 정보를 가능한 저장매체를 활용, 정보의 재사용이 가능했던 것이다. 일반적인 System의 경우는 System내의 각 기능부분간의 정보교환 및 생성에 필요한 일시적 혹은 영구적 저장장치로 활용되며, 두개 이상의 System에서 역시 비슷한 기능으로 활용된다. 기본적으로 System에서 Memory의 필요성은 아래의 관계에 의하여 요구되게 된다.



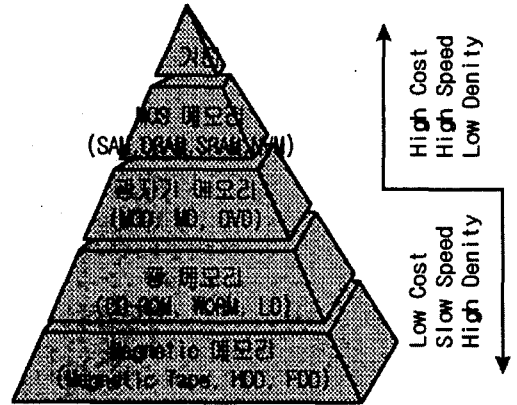
(그림 1) System에서의 메모리 필요성

- System 내 개별 소자 및 System들의 정보처리를 위한 Data보관, Temporary Storage or Permanent Storage
- Component간 혹은 System간 정보처리 능력의 차이에 따른 Buffer 메모리로서의 역할; 예를 들어 System1의 Data bit과 Clock Rate이 16bit/30MHz이고 System2는 32bit/60MHz이면 System1에서 System2로의 원활한 Data 전송을 위하여는 Memory C를 활용 임시로 보관, Data를 모은후 전송하고 이 모으는 기간동안 System2는 다른 일을 수행함.

2. 메모리 動向

메모리는 기능상으로 RAM과 ROM형태로 나누

어볼수있으며, RAM은 Read Write가 가능한 Memory System으로 DRAM, SRAM, HDD, FDD, MOD등 대부분의 메모리 System이 이에 속한다. ROM은 Read 만 가능한 제품으로 MROM, CD-ROM, OTP등이 이에 속한다. 한편 제조기술에 따라서는 MOS Memory와 Magnetic Memory, 광 Memory 및 광자기 Memory로 나누어볼수있으며 시장규모는 [그림 2] 와같이 Magnetic Memory가 가장많은 Portion을 차지하고있다.



(그림 2) 메모리 Pyramid

여기서는 MOS Memory의 종류 및 주요 특징과 개발동향에 대하여 개략적으로 살펴볼것이다. MOS Memory를 분류하는 방법은 정설화된것은 없으나 아래와같이 몇가지 기준에 따라 분류해볼수 있다.

- Timing Interface 방식에 따라; Asynchronous, Synchronous Interface
- Memory Cell 구조에 따라; Bipolar Cell, Full CMOS Cell, TFT(Thin Film Transistor) Cell, Poly Load Cell, Dynamic Cell (Capacitance+MOS), ECL Cell, Ferroelectric Cell, Floating Gate Cell, NMOS Cell, PMOS Cell, Bipolar 등
- Process Technology에 따라; CMOS, BiCMOS, Modified CMOS, SOI, VMOS, SOS 등
- 전원과 Data 보존성과의 관계에 따라; DRAM, SRAM, NVM 등
- 동작 온도범위에 따라; Commercial Temp-

erature, Extended Temperature, Industrial Temperature, Military Temperature, Automotive Temperature 등

- 동작 Voltage에 따라서는; Dual Voltage, Single Voltage, Wide Range Voltage 등
- 입출력 Data Port의 분리여부에 따라; Multiplexed Input Output Type 과 Separate Input Output Type 등
- 메모리 Cell의 Access Port수에 따라; Single Port, Dual Port, Triple Port ..등

최근의 Memory 개발동향은 Higher Density와 더불어 High Performance를 위한 Signal 송수신

형태와 Power Consumption을 최소화하기 위한 Low Voltage 그리고 그러한 메모리를 위한 Package 관점에서 급격한 변화가 일고있다.

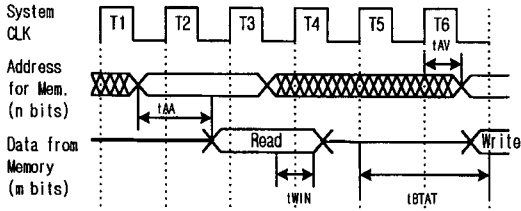
1) Timing Interface

• Timing Interface는 메모리가 사용되는 System의 Performance에 영향을 주는 가장 큰 요인중의 하나이며 어떻게하면 빠른 속도로 원하는 Data를 읽어낼수있을까 하는것이 메모리업체의 고민이자 과제이다. 메모리와 Interface되어 사용되는 MPU (Micro Processor Unit)나 MCU (Memory Controller Unit)의 회로기술및 공정기술의 발달로 Maximum Clock Frequency가 600MHz까지 가능

〈표 1〉 기능에 따른 MOS 메모리 종류

Memory		주요특징	주요응용	
SAM	FiFo	Sync FiFo Async FiFo	Dual Port Cell 구조 (First In First Out)	통신기기, Data Bridge, Networking
	LiFo	Sync LiFo Async LiFo	Dual Port Cell 구조 (Last In First Out)	High Performance Telecom System
RAM	CAM	—	Content Address Memory	Cache Memory의 Tag
	DRAM	Sync Graphic Async Graphic	SGRAM, Window RAM etc Video RAM	Comp. Graphic, 3-D, V/R, Digital TV
		Sync Async	SDRAM-I/II, RDRAM-C/D, SLDRAM FP DRAM, EDO DRAM	Computer Main Memory HDD, 통신, Printer, Game
	SRAM	Sync Async	FT, R-R, R-L, SB, SP, SPB Async Fast, Async Slow	Computer Cache Memory 통신기기, Industrial
NVM	Mask ROM	Async	Page Mode, Normal Mode	Printer, Game
		Serial	NAND Mask ROM	Game, Publishment
	EPROM EEPROM OTPROM	-> -> One Time PROM	Erasable by UV Light Electrically Erasable One Time Erasable by Elect.	System Eval. System S/W System Eval. System S/W System Eval. System S/W
	Flash	Nor	Random Access, Block Erase, Programmable, Single or Dual Power	System S/W, Storage
		Nand	No Address Pin, Read/Write, Small Area, Single Power	System S/W, Storage
	FRAM		Memory Cell로 강유전체 사용	Storage
	BioRAM		Memory Cell로 Organic Material	Storage
EML	Memory + Logic	PPRAM, ASIC+RAM, FPGA+Memory	Graphics, MPUs, Controller	
MML	Memory + Memory	SRAM+Flash, SRAM+MROM 등	통신기기, 휴대단말기	

하게 되었으며 2000년초에는 1GHz에 달할것으로 전망되고 있다. 따라서 기존의 1세대 Interface방식인 Async 방식은 2세대 Interface방식의 Synchronous방식으로 변화되고 이는 3세대의 Packet 방식의 Interface로 진화되며 이는 4세대의 Channel Interface 방식으로 전환될것으로 예측되고 중국에는 Analog Type의 Puzzy Interface로 진화할것으로 예측되고 있다.



〈그림 3〉 1세대 Async Timing Interface 예

- tAA : 메모리에 Address가 인가된 후 Valid한 Data가 나오는데 걸리는 시간
- tWIN : Controller가 Data를 인식하는데 소요되는 메모리로 Valid한 Address를 출력하는데 소요되는 시간
- tAV : Controller가 메모리로 Valid한 Address를 출력하는데 소요되는 시간
- tBTAT : Bus Turn Around Time 새로운 Address나 새로운 동작(Read 혹은 Write)이 개시될 때 소요되는 시간

Digital System에서 Performance 향상방법은 Bus Clock Frequency를 빠르게하는 방법, Data Bus Width를 늘리는 방법, 고도의 Operating System과 S/W를 사용하는 방법등이 있다.

#### (1) 제 1세대 Asynchronous Interface

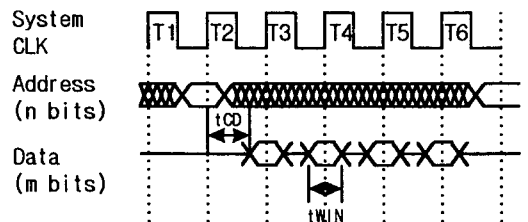
제 1 세대인 Async Interface에서는 메모리 자체를 위한 Address, Data Control Signal들이 제각기 Setup Time 및 Hold Time의 요구조건을 가지고 Interface되어야하며, Address가 인가된후 Valid한 Data가 나오는데 제한을 주는 요인은 Memory 내부의 비동기된 Signal들이 MOS Gate를 통과할때 소모되는 개별 Delay Time의 Sum이 되게 된다.

한편 Controller는 필요한 Data를 Read혹은 Write할때마다 새로운 Address를 Memory로 인가해줘야하며, Controller의 Clock Rate이 증가하더라도 Memory Access Time의 한계로 전체적인 Performance 향상은 기대하기어렵다. 즉 Async Interface에서는 Address Bus의 Turn Around Time이 반드시 존재하게 되며 메모리 내의 Address 전과 속도가 Data Access Time을 좌우하게된다. [ 그림 3]에는 본 Interface 방식에 대한 예를 나타냈다.

#### (2) 제 2세대 Sync Interface

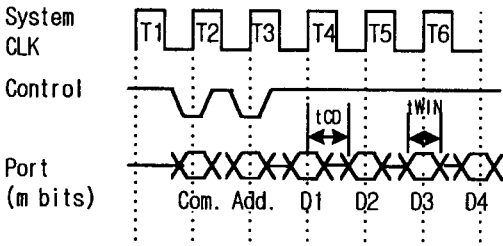
Sync Interface는 Memory에 인가되는 Clock Pulse에 모든 Singal(Address, Data, Control)이 동기되어 입출력을 하게되며, Address도 Access할때마다 인가하는것이 아니라 한번만 받아들인후 메모리 내부의 Counter를 활용, 원하는 수만큼 Increment가 가능하고(Burst Mode 라고함) Single Access도 가능하다. 물론 메모리 종류나 기능에 따라 첫번째 Data의 Latency는 있을수도 있고 없을수도 있다. 한편 더욱더 Performance를 향상시키기 위하여 한 Clock에 1개의 Data를 Access하는것이 아니라 2개 혹은 4개등으로 확장할수있다. 이들 제품에서 Performance Limit하게되는 주된 요인은 메모리내의 Address 및 Data Signal의 개별 Delay보다는 메모리 전체 입출력 Singal의 기준이 되는 Clock Cycle Time이다. 현재 개발 진행중이며 표준화가 거론되고있는 DDR(Double Data Rate) Cache 메모리, DDR Sync DRAM등이 여기에 속한다. [ 그림 4]에는 본 Interface에 대한 예를 나타냈다.

#### (3) 제 3세대 Packet Interface



〈그림 4〉 2세대 Sync Timing Interface 예 - Read

Packet Access 방식으로 다수의 Input/Output Data Port를 통하여 Address 및 Data가 Access되며, Command Cycle, Address Decode, Data Transfer Cycle 등으로 메모리 내부 Cycle이 분리되어 있다. 이의 가장 큰 장점은 별도의 Address Pin을 갖지 않음으로 High Frequency에 장애가 되는 Address Signal의 Clock과의 동기문제를 없앤 것에 있다. 그러나 아직도 많은 Signal들이 Clock에 동기되어 Access 되어야 하는 문제를 갖고 있어 Clock Cycle의 증대하는데 한계를 갖고 있다. 요즘 Issue가 되고 있는 RAMBUS DRAM이나 Sync Linked DRAM, 등이 여기에 속한다. [그림 5]에는 본 Interface에 대한 예를 나타냈다.



〈그림 5〉 3세대 Packet Interface 예 - Read

(4) 제 4세대 Channel Interface

Packet 방식의 이류로 볼수 있으나 가장 큰 차이점은 하나의 메모리는 하나 혹은 다수(2~8개)의 Port를 통하여 Self Clocked된 Address 및 Data의 Access가 이루어지며, Command, Address 그리고 Data영역이 하나의 Frame을 구성 Read Frame과 Write Frame으로 구분되어 Controller와 Communication하게 된다. 이의 장점은 Data의 입출력이 외부의 Master Clock에 의존하지 않고 입출력되는 Data 및 Address Singal과 내부의 별도 Clock(Operating Clock)에 동기되어 수십 Pico Second 단위까지 Access 가능하게 된다.

2) Low Voltage 동작

CMOS Digital 메모리 에서 Low Voltage의 요구는 크게 두가지 관점에서 요구된다. 하나는 Performance향상이고 다른 하나는 메모리가 응용되는 Set에서의 Power 감소이다. 이 두가지 요구는

동일한 선상의 요구이며 서로 보완적인 관계에 있다. 즉 High Performance를 위하여는 Power소모가 적어야 하기 때문이다. Digital IC에서의 Power Consumption은 아래 식 (1) 과같이 주어진다.

$$P = p_t \cdot (C_L \cdot V_S + I_{sc} \cdot \Delta t_{sc}) \cdot V_{DD} \cdot f_{CLK} + (I_{DC} + I_{LEAK}) \cdot V_{DD} \quad (1)$$

여기서 P=Total Power,  $p_t$  = IC의 Switching Probability,  $C_L$  = Loading Capacitance,  $V_S$  = Voltage Swing,  $I_{sc}$  = Switching Current의 평균값,  $\Delta t_{sc}$  = Switching Current가 발생되는 시간,  $V_{DD}$  = Supply Voltage,  $f_{CLK}$  = Clock Frequency,  $I_{DC}$  = Static Current Source,  $I_{LEAK}$  = Junction 등에서의 Leakage Current 이다.

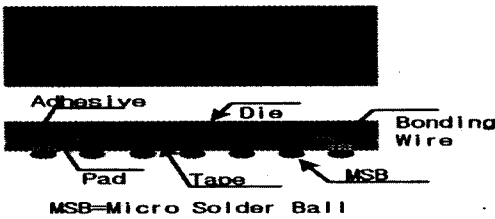
DC 요소를 무시한다면 결국 전체의 Power Consumption P는 Supply Voltage와 Frequency,에 Dominant하게 되어  $P \propto p_t \cdot C_L \cdot V_{DD}^2 \cdot f_{CLK}$ 이 되고 결국 Frequency가 증가됨에 따라 Switching Probability는 증가하게되며 이와 더불어 Supply Power의 제공에 Power Consumption이 증가하게 된다. 이러한 Power의 소모는 System 전체에서 Current의 Fluctuation을 일으키고 이는 Board상 PCB Trace의 R,L,C 요소와 더불어 Noise Source로 작용하게되어, High Performance System의 Failure를 일으키는 한 요인이 될수있다. 한편 Clock Frequency가 일정한 상태에서는 Supply Voltage의 감소는 전체 Power소모는 제공의 비율로 감소시키게되어 Battery Operation을 하는 Mobile System에서의 Low Voltage 동작은 중요한 요소가된다.

High Performance향 CPU의 경우 2.5V이하의 Cell Array 및 Peripheral 회로를 위한 Core Voltage 와 1.8V 이하의 Signal Interface를 위한 I/O(Input/Output) 전용의 Power Supply Pin을 요구하여, 대부분의 Cache Memory에서는 이를 충족시키기 위하여 많은 개발이 이루어지고 있다. DRAM은 메모리 Cell구조상 Low Voltage의 지원에 많은 기술적요소가 요구되고있지만 500MHz이상의 Data Rate을 위하여는 현재주종인 3.3V보다

낮은 전압이 필요로 하게될것이다. 한편 Long Battery Life와 저속의 Data Rate을 요구하는 이동체에서는 Cell Array, Peripheral Circuit 및 I/O Circuit의 구분이 없이 단일전원의 2V 또는 1V 정도의 동작전압도 요구하고있다.

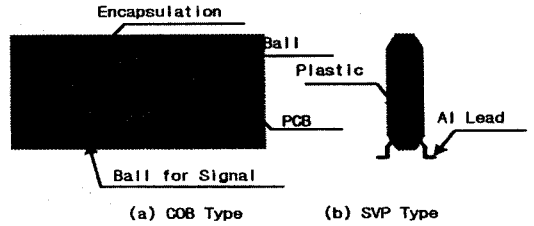
3) Package 기술

최근의 Memory Package 기술은 이동체향의 Low Performance, Small Package와 High Performance향 Package, 그리고 Density 증대를 위한 Package 기술로 그 개발의 중심이 발전 되고 있다. Small Package Solution으로는 Micro Size의 Solder Ball을 Grid Array 형태로 부착한 CSP (Chip Scale Package)와 COB(Chip On Board), Flip Chip 등 Die를 Board 상에 직접실장 하는 방법이 연구되고있으며 일부 Digital Camera, 휴대전화기등에서는 이미 상용화 되고있다. [그림 6] 에는 Flexible Circuit Board을 이용한 CSP의 한 예를 나타냈다.



<그림 6> CSP Example

High Performance향 Package는 Silicon 상에 집적된 MOS 소자들의 High Frequency Switching 시 발생하는 열을 어떤구조를 택하여 식혀줄것인가가 주요 요소이다. System Board에 장착된 Memory Chip의 열의 발산 경로는 Board에 Soldering된 Pin과 Package 상면이며 대부분 초고속 응용에서는 바람을 일으키는 Fan과 넓은 면을 갖는 Hit Sink를 장착하고 있다. [그림 7]의 (a)는 여분의 Thermal Ball을 Package에 장착하여 Die에서 Ball을 통해 Board로 열을발산 하는 동시에 Package표면을 통한 열발산을 추구한 구조의 Chip On Board Type이며 (b)는 Surface Vertical Package로 Package표면을 통한 열발산



<그림 7> High Performance향 Package Example

에 중점을 둔구조이다.

한편 High Density Memory향 Package는 단일 Die의 단일 Package와 MCM(Multichip Module) 혹은 MCP(Multi Chip Package)의 두방향으로 전개되고있다. 단일 Die의 단일 Package는 Memory제품이 고집적화에 따라 Die Size가 커지게되고 이에 따라 새로운 큰 Package가 필요로 된다. 이러한 큰 Package는 System 상에서 실장면적이 커지게되고 여러개의 Package를 실장하게되면 High Frequency Operation 하는데 많은 제약요소가 된다. 또한 Memory Vendor들은 이 새로운 Package를 위한 Test 환경과 Package 조립환경을 갖추어야만한다. 이러한 단점을 극복하기위한 Package 기술이 MCM과 MCP 기술이다. 여러가지 MCM 기술중 Stack 기술은 많은 장점을 갖고있는 기술중의 하나이다. [그림 8]에 Stack Type의 MCM을 나타냈다.



<그림 8> Stack형 Package

3. System에서의 메모리 應用 動向

메모리가 응용되는 System은 매우 광범위하다. 여기서는 메모리 응용처를 몇가지군으로 구분하여 보고 이들군에 속하는 대표적인 System에서의 메모리 응용 특징을 간략히 살펴 보도록하겠다. 여기서의 구분방법은 논자 의지에 의한것이며 보는 관점에 따라 달라질수있다.

1) Computer System; Computer의 3대구성요소인 CPU, 메모리, 입출력장치가 부착된 모든 System을 포함한다. 여기에는 Personal Computer(DesktopPC)와 Mobile Computer (Note Book PC, Hand Held PC, PDA, 전자수첩류 등)와 High End Computer System(Supper Computer, Mainframe, Work Station, Server 등), Storage System등으로 나누어 볼수있다.

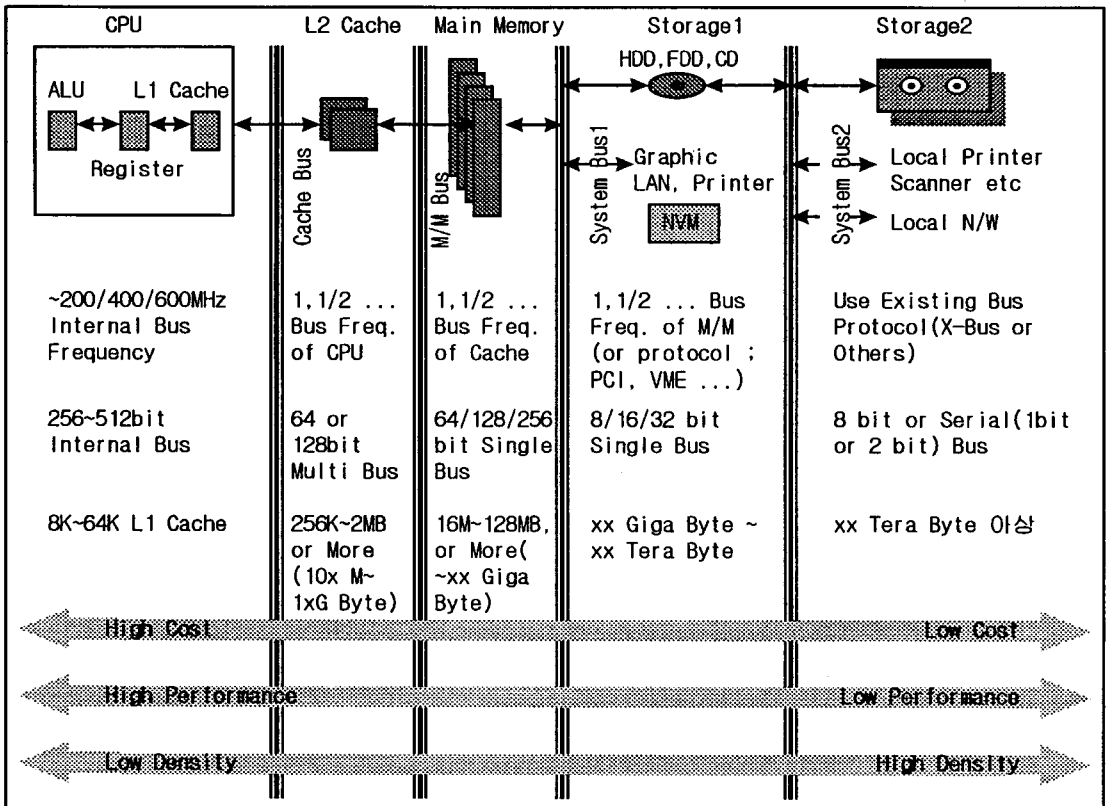
2) Telecommunication System; 각종통신단말기 (휴대전화기, GPS, Fax, 유무선전화기, Pager 등)와 이들 단말기들간의 Communication을 돕는 각종 System(Answering Machine, PBX, PABX, Base Station 등), 그리고 위성통신 System이 여기에 속한다.

3) Networking System; Networking System은 이기종 혹은 동종기종 System 간의 Interface를 위

한 장비 및 기기로 각종 유무선 Interface Card (Land Card, PCMCIA, Cellular Card 등)와 각 개별 System을 접속시키고 System간의 Data 송수신 및 분배기능을 하는 System(Repeater, Bridge, Gate Way, Hub, Router, Switching System 등)으로 구분해 보았다.

4) Consumer System; 여기서는 Consumer System에 OA기기(Digital Projector, Scanner, Printer, Copier, Fax 등), Game Machine(2-D, 3-D Game Set, Game Pack, Mobile Game Set 등), Audio/Video System(VTR, Casette Player, 각종 CD Player, Digital TV, Internet TV, Bidirectional TV Setop Box, Digital Camera, Camcoder 등) 등이며 메모리가 별도로 사용될 확률이 적은 각종 가전기구(세탁기, 냉장고, 청소기 등)는 제외했다.

5) Industrial System; Car, Ship, Airplane,



(그림 9) Computer System에서의 메모리 응용 동향

Sattelite, F/A장비, Raidar, ITS, GIS, 각종 민생 용기기, 산업용장비, Military Equipment등을 여기에 포함시켰다.

4. Computer System에서의 Memory 應用動向

1) Fixed Computer System

Computer System에서의 Memory는 빠른 Speed의 SRAM을 사용하는 Cache Memory, DRAM이 사용되는 Mainmemory, System S/W (BIOS)및 응용 Program 저장용의 NVM(Flash or ROM), 그리고 Mass Storage의 입출력장치로 HDD, FDD및 각종 CD, Magnetic Tape등이 사용되고 있는데 이를 메모리 계층구조 라고한다. Computer에서의 메모리는 또한 Bus 계층구조와 Clock 계층구조의 원리에 의해 응용되고있다. [그

림 9]에는 Fixed Computer System의 일반적인 구조와 메모리 사용동향을 나타냈으며 [표 2]에는 보다 구체적인 내용을 나타내었다.

2) Mobile Computer System에서의 메모리 應用動向

Mobile Computer는 이동성이 강화되고 주전원으로 Battery를 사용하여 언제 어디서나 누구나 손쉽게 사용할 수 있는 Computer System을 표방하고 있는데 Note PC류(Note Book PC, Lap Top PC, Sub Note PC등)와 PDA, HPC 그리고 전자수첩류 등으로 나누어 볼 수 있다. 이들 System의 가장 큰 특징은 Fixed Computer 및 각종 Computer 주변기기와의 Networking이 가능하고 경박단소하다는 것이다. [표 3]에는 주요 Mobile Computer이 메모리 응용 특징을 타나냈다.

<표 2> Fixed Computer System에서의 메모리응용 동향

System	CPUs	Cache Structure	M/M Structure
Desktop PC	Single or Dual CPUs	Direct Map L2, 256K~1MB, 64bit bus, 66/133MHz, SPB, SDR	64bit/66MHz bus, 32~64MB, EDO, SDRAM1, 표준 Module 사용
Server	Multi CPUs(2~8)	CPU와 Daughter Card에 실장됨, 512K~2MB, 64/128bit bus, 133~200MHz, Multi Way Associative L2, FT, R-R, SDR/DDR	72~144bit, 66~100MHz bus, 2G~32GB, EDO, SDRAM1, 표준 Module 사용
Work Station	Single or Multi CPUs (1~4)	Daughter Card or Not, 4M~16MB 128/256bit bus, 100~400MHz, Multi Way Associative L2, FT, R-R, SDR /DDR	144bit, 100~166MHz bus, 64MB~4GB, EDO, SDRAM1, 표준 Module 사용
Mainframe	Mass Processing CPUs(~32 CPUs)	Daughter Card, 4M~16MB per Card, 128/256bit L2 bus, 100~400MHz, Multi Way Associative L2, 512 bus L3, FT, R-R, SDR/DDR	288~574bit, 100~166MHz bus, Over 32GB, EDO, SDRAM1, 표준, 전용 Module, Memory Board 사용
Supper Computer	Supper Mass Processing (~128/256/ > 512 CPUs)		Fast SRAM 혹은 DRAM을 M/M으로 사용, 병렬 256~574bit bus, Over 32GB ~xx Terra Byte

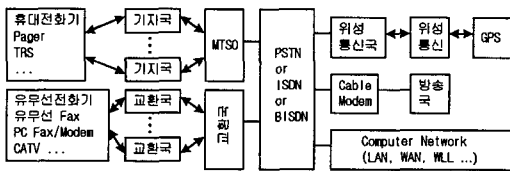


〈표 3〉 주요 Mobile Computer System에서의 메모리 응용 현황

System	System의 주요 특징	주요 메모리		
		DRAM	SRAM	NVM
Note PC	Desk Top Performance, Win95 혹은 UNIX 이상의 OS, 10.5 이상의 Full Color Screen, 대용량 HDD, CD-Drive등 장착	32M Byte 이상의 EDO, SDRAM, 64bit Bus	256K Byte이상의 Syen Cache, 64 bit Bus	512K~1M Byte Flash for BIOS
Sub Note PC	성능보다는 기능중심, 10.5 이하의 소형 Screen, 경박단소, 소용량 HDD, PCMCIA Interface, No FDD & CD Drive	16M Byte 이상의 EDO, 32bit Bus	No Use	256K~512K Byte Flash for BIOS
Hand Held PC	No HDD & FDD, IrDA Interface, 500g이하의 무게, 5 이하의 Screen, PCMCIA, M/S사의 Window CE OS 사용	4M Byte이상의 EDO, 16bit Bus	No Use	>16M Byte Flash for Data Storage >16M Byte ROM for System S/W
PDA	개별회사의 OS채용, 기타는 HPC와 비슷		512K~1M Byte	
전자수첩	Pocket Size, Dot Matrix Screen, Small Memory Size, No PCMCIA Interface	No Use	> 128K Byte	~4M Byte ROM for Font & System S/W

4. Telecommunication System에서의 메모리 應用動向

통신 System은 System의 이동성에 따라 유선과 무선으로 구분하여 볼수있으며 기능에 따라 단말기와 기지국(혹은 교환국)으로 나누어 볼수있다. 이들 통신 System은 Computer Networking System도 접속되어 서로 연동관계를 갖고있다.



〈그림 10〉 일반적인 Telecommunication System Architecture의 개략도

통신 System에서의 메모리 응용분야 및 종류는 매우 광범위한데 여기서는 단말기와 교환국으로 구분하여 간략히 살펴볼 예정이며 보다 상세한 내용은 관련 자료를 참조하기 바란다.

1) 단말기

이동단말기중 가장 큰 시장규모를 이루고있는 휴대전화기는 Analog방식이 Digital방식으로 바뀌면

서 이동성, 긴 전지수명, Text Data송수신 및 Wireless Networking 기능등의 다양한 요구가 일면서 Smaller Package, Lower Operating Voltage 및 대용량의 메모리가 요구되고있다. 주로 2~3.3V의 동작전압을 갖는 System S/W저장용으로 8M~16Mbit이상의 Flash Memory와 System에서 Buffer Memory 및 Working Area로 2Mbit이상의 SRAM이 사용되고있고 향후에도 지속적인 용량증가가 예상된다. Pager는 썬가격과 Compact한 Size로 User들에게 Text Type의 각종정보 전달 및 교환 역할을 톡톡히 해내고있으며 주로 저용량의 메모리가 사용되고있으며 최근에는 2V이하의 동작전압을 지원하며 메모리로 사용되는 Flash 혹은 ROM이 SRAM과 One Chip으로 Merge 되는 추세이다. GPS(Global Positioning System)는 사람이 사용하는 휴대용과 차량, 선박, 항공기등 Automotive용으로 대부분이 언제 어디서든지 자신의 위치 확인 및 각종필요 정보를 송수신할수있는 장비로 System Memory로 DRAM이나 SRAM이 사용되고있으며 응용 Program 및 System Soft Ware 저장용으로 CD-ROM 혹은 Flash Memory가 사용되고있다. 특히 휴대용은 경박단소 및 긴 전지수명을 위하여 Soft Ware 저장용으로 16M Byte 이상의 3V

Flash Memory 및 Mask ROM이 사용되고 있다. 그리고 우리가 일반적으로 가정에서 많이 사용하는 유무선전화기는 자동응답기능용으로 기존의 Magnetic Tape 대신 Flash 메모리나 DRAM 등이 사용되고 있다.

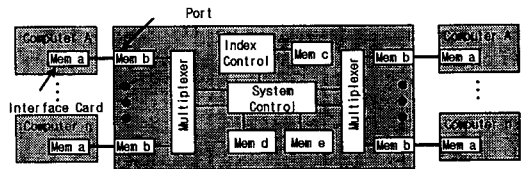
## 2) 기지국(혹은 교환국)

한편 이들 단말기간의 Communication을 도와 주는 기지국(혹은 교환국)들은 이들 수많은 단말기들로부터 송수신 Data의 전송을 위하여 훨씬 많은 용량의 메모리가 사용되고 있다. 이들 기지국 및 교환국 System의 구성은 System Control부, Data 압축 및 송수신부, Communication Channel Control부의 세 부분으로 나누어 볼 수 있으며 System Control부에는 수십에서 수백 혹은 수 Giga Byte의 High Speed DRAM이 사용되며, Data 압축 및 송수신부에는 수 Mega Byte에서 수십 Mega Byte 용량의 Fast SRAM이나 DRAM이 사용되며, Communication Channel부에는 Data 압축 및 송수신부보다 빠른 수 Mega Byte의 Fast SRAM이 사용된다. 그리고 이들 기지국(혹은 교환국)을 움직이고 각종 통신 Protocol 저장용의 NVM으로는 주로 Flash Memory가 사용되고 있는데 장비의 기능 및 종류에 따라 작게는 수십 Mega Byte에서 많게는 수백 Mega Byte 이상이 사용되고 있다. 이들 장비에 사용되는 메모리는 Power 소모를 위한 저전압화보다는 용량 증대 및 High Performance 위주의 응용이 이루어지고 있다.

## 6. Networking System에서의 메모리 應用動向

Networking System은 통신 System과 유사한 System 계층 구조를 갖고 있는데 기능적으로 단말기와 Networking 장비로 구분되어질 수 있다. 단말기는 Networking 장비에 연결되어 User가 직접 사용하게 되는 장비로 주로 PC나 Server, Work Station 등의 Computer System이 대부분이며, Networking 장비는 단말기 사용자인 User가 직접 Control할 수 없으며 단말기간의 Data 송수신 기능 및 Network 검사 조정 기능을 수행하는 일종의 Backborn으로 Repeater, Bridge, Gate Way, Hub,

Router, Switching System 등이 여기에 속한다. Networking System에서의 메모리 응용은 단말기에 사용되는 Interface Card에서의 Buffer 메모리와 Networking 장비에서의 단말기와 연결되는 Port 부분의 Data Buffer 메모리, 단말기 위치 및 상호 연결을 위한 정보 Data를 저장 검색하는 메모리, 그리고 System 전체를 Control하는데 필요한 Working 메모리 및 System의 Configuration을 저장하는 메모리 등 다양한 메모리가 필요하게 된다.



(그림 11) Network system에서의 단말기와 Networking System

단말기용 Interface Card로는 F/A System용 Bridge Card와 Ethernet LAN Card, FDDI Card, ATM Card, Sonet Card 등 통신 Protocol에 따라 다양한데 Data Transfer Rate이 증가함에 따라 사용되는 Buffer 메모리(Mem a)의 Size는 커지며 Speed도 빨라지게 된다. 이들 Card에는 32KByte ~ 512KB Byte의 다양한 용량의 Fast SRAM이 주로 사용되고 있고 8K ~ 32K Byte의 EEPROM 혹은 128K Byte 정도의 Flash 메모리가 Card의 System Soft Ware 저장용으로 사용되고 있다.

Networking 장비에 응용되는 메모리는 [그림 11]에 나타난 것처럼 약 4가지 종류의 메모리로 구분하여 볼 수 있다. Port의 Buffer Memory는(Mem b) 위의 그림처럼 개별 Port당 개별 메모리를 사용하는 방법과 개별 Port Demultiplexing을 통하여 다시 Single Port로 Conversion된 Data를 송수신하기 위한 메모리를 사용하는 두가지 방법이 있는데 전자의 경우는 High End System에 후자의 경우는 Low End System에 적용된다. 이들 Port Buffer 메모리로는 DRAM과 SRAM이 모두 사용 가능하며 메모리 용량은 n개의 Port당 32KB ~ 2MB 이상으로 매우 광범위하다. Mem c는 각 단말기에서 송수신되는 Data가 어떤 성격의 Data인지를

알려주는 각종 Information을 저장하고 Search하는 용도의 메모리로 특히 Packet 통신방식에서는 System의 전반적인 성능을 좌우할수도있는 중요한 요소이다. 일례로 최근의 개발분야 일고있는 ATM System및 BISDN등 에서는 매우 빠른 대용량의 SRAM을 사용하게되는데 Address Port및 Data Port가 하나인 Single Port Memory대신 Address와 Data Port가 두개로 분리된 Dual Port Memory의 요구가 일고있다. Mem d는 System전체를 Control하고 Data Processing (Decod/Encode, Error Correction등)용의 메모리로 수십 Mega Byte에서 수 Giga Byte의 High Performance DRAM(EDO 혹은 SDRAM등)이 사용되고있다. Mem e는 NVM으로 System Operating Algorithm과 System S/W Upgrade용으로 사용되고있는데 대부분 수십 Mega Byte이상의 Flash Memory가 사용되고있다. 이들 Networking System에서는 Telecom System의 교환국이나 기지국에서처럼 Power 소모를 줄이는 측면보다는 High Performance와 Wide Data Bus의 High Density 응용의 메모리가 요구되고있다.

## 6. Consumer System에서의 메모리 應用動向

전술한것처럼 본고에서는 Consumer System을 메모리가 많이 사용되고있는 System을 기준으로 OA기기와 A/V(Audio/Video)기기로 대분하였다.

### 1) OA Machine

Printer중 LBP및 Color Printer에서의 Buffer Memory는 주로 8M Byte이상의 DRAM이 확장용 Module Socket과 함께 사용되고있는데 이는 Host System으로부터의 Data를 받아 저장하고 Pixel생성을 위한 Bit Streamer에 Data를 공급하게된다. 최근에는 보다 빠른 Performance 향상을 위하여 SDRAM을 사용하고있으며 용량도 Color Printer의 경우는 32M Byte이상을 지원한다. 그리고 Font및 System S/W 저장을 위한 Memory로 Mask ROM을 사용하고있으며 약 16M Byte이상의 용량을 사용하고있다.

Scanner에서의 메모리는 Scan된 Optical 화상

Data를 정해진 규격(JPEG, MPEG1, MPEG2등)에 따라 압축을할때 Working Area및 Scanner Interface되는 PC등으로 Data전송을 위한 Buffer 메모리로 DRAM이 주로 사용되고있다. 사용되는 용량은 지원하는 화상규격에 따라 다른데 통상 512K Byte이상의 DRAM이 사용되고있으며 High Performance보다는 대용량을 요구하고있다.

Digital Projector에서는 System Control부의 Main 메모리와 Vido Processing을 위한 Graphic 메모리, System Soft Ware를 위한 메모리의 세부분으로 나누어 볼수있다. Main 메모리는 외부 입출력 Port로부터 Data를 Loading/Undloading 하고 System Control하는 용으로 8M Byte이상의 DRAM을 사용하며, Graphic 메모리로는 512K~1M Byte의 Video RAM이나 Window RAM을 사용 Cost와 해상도의 효과를 동시에 추구하고있다. System Soft Ware로는 512K~2M Byte의 Flash Memory를 사용한다. 가타 Copier, Fax, Electrical Typewriter등에도 메모리가 사용되는데 특히 Fax Machine의경우 기존의 64Kbps의전화 Line을 사용함으로 Data 전송속도가 늦는관계로 통상 1M Byte이상의 일정량의 Memory는 Onboard로 제공하고 Memory Module을 사용할수있도록 하여 원하는 Density를 늘려 많은 량의 Data전송시 RAM에 저장하여 송부할수 있도록 지원하고있다.

### 2) 기타 Audio Video System에서의 메모리 응용동향

CD Player나 CD Drive에서는 256K~1M Byte Size의 EDO DRAM 이나 SDRAM을 주로사용하며, Data Ecoding/Decoding시 Buffer 메모리로 활용된다. Camcorder에서는 다양한 종류의 메모리가 사용되는데, System S/W 저장용으로 1M Byte 정도의 Flash Memory를 사용하며, Graphic Memory로는 512K~1M Byte의 Video RAM이나 DRAM을 사용하며 화상 Data의 압축및 해제용의 Buffer Memory로 약 1M ~ 2M Byte의 EDO나 Sync DRAM이 사용되고있다. DSC(Digital Still Camera)에서는 Camcorder와 비슷한 종류의 메모리가 사용되나 메모리 용량은 적다. 특징적인것은 사진 Data저장용으로 1M~2M Byte의 On Board

상의 Flash Memory를 지원하며 Socket을 통하여 External Memory Size를 확장할수있게 되어있다.

Setup Box는 MPEG-II이상의 동화상의 Digital Data를 압축/해제 하는데 메모리를 사용하는데 4M~16M Byte의 DRAM을 주로 사용하며 High End용엔 SRAM을 사용하기도한다. Flash Memory는 역시 System S/W저장및 Upgrade용으로 0.5~1M Byte정도가 사용된다.

DVD Player에서는 Disk에서 Data를 읽을때와 Write할때 Data 압축및 해제를 위한 Buffer Memory와 Graphic Memory두개분야에 메모리가 사용되며 Digital TV나 Internet TV에서도 비슷한 용도로 메모리가 사용된다.

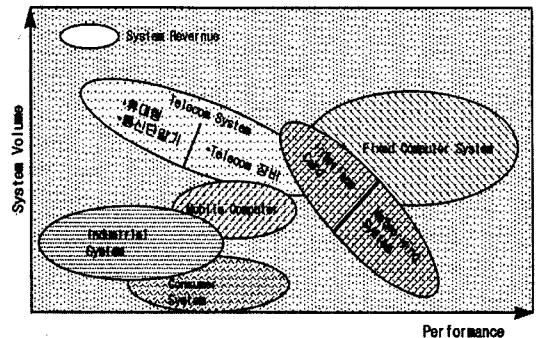
### 3) Game에서의 메모리 응용동향

Game에서의 메모리응용은 Game Set와 Game Pack으로 나누어생각할수있는데 고정된 Game Set에서는 Graphic Memory로 512K~2M byte의 DRAM이 주로 사용되며, 3-D Game기에서는 보다 많은 용량의 메모리를 사용한다. 한편 이동용 Game Set는 시장 특성상 고가의 Color Display를 사용하기 보다는 STN을 사용한 Dot Matrix Game Set가 대부분이며 Buffer Memory로는 32K~12K Byte의 2.5V이하의 Low Voltage SRAM과 32K~512K Byte의 Low VoltageROM이 사용된다. 크기가 아주작은 목걸이형 Game기는 Single Microm을 사용한다. Game Pack에서는 주로 Mask ROM을 활용하여 Game용 Soft Ware를 저장하는데 1M~4M Byte의 다양한 용량의 Pack이 있다. 최근들어 여러 게임의 원하는 각 Stage를 저장한후 원하는 시간에 원하는 부분부터 다시 Game을 할수있는 Data 저장용으로 Flash Memory가 사용되고있다.

### 8. Industrial System에서의 메모리 應用動向

전술한 것처럼 Industrial 메모리 제품은 그 동작온도와 신뢰성이 강화된 제품으로 -45°C~85°C의 범위에서 메모리가 동작한다. Military 제품은 -55°C~125°C의 동작온도 범위를 지원해야 만한다. 대부분의 MOS Memory는 온도변화에 따라 그 동작 특성이 많은 차이가 나게된다. 특히

DRAM의 경우는 70°C이상의 High Temperature에서는 AC Parameter 특성이 열화되어 Industrial이나 Military Application으로는 아직 많은 제약을 갖고있다. 반면 SRAM은 안정한 Latch Type의 Cell 구조로 온도변화에 따른 특성 변화가 DRAM 보다 덜 심하여, Car, Ship, Airplane, Sattelite, F/A장비, Raidar, ITS, GIS, 각종 민생용기기, 산업용장비, Military Equipment 등의 Control Board의 Working 메모리로 활용되고있으며 향후에도 이분야의 지속적인 시장성장이 예상되고있다. [그림 12]에는 메모리 제품의 Application Trend를 System Volume 측면과 Performance 측면에서 도식적으로 나타냈다.



(그림 12) 메모리 Application System Trend

### 9. 向後 메모리의 發展方向

일반적으로 메모리 제품의 선택및 응용은 다음과 같은 몇가지 기본적인 요소에 근거한다. Cost, Availability, Density, Data Bus Width, Data Transfer Rate및 Electrical Interface 특성등이다. 모든 메모리는 이에 근거하여 각각의 System환경에 맞게 개발 발전되고있다. 여기서는 이들 선택요건을 만족시키기 위한 메모리 제품들이 어떻게 발전해 갈것인가에 대하여 개략적으로 살펴볼예정이다.

#### 1) High Performance

일반적으로 EDP(Electronic Data Processing) System에서의 Performance는 System의 Clock Rate와 Data Bus 폭에 주로 기인하며, 메모리 제품의 고속화는 Computer System의 Cache 메모

리, Main 메모리, Graphic Application을 중심으로 급격히 변하고 있는데 NEC에서는 500MHz의 Data 전송률을 갖는 2.5V Core 전압과 1.0V의 Interface 전압을 갖는 4Mbit(128Kx32)의 Synchronous Pipelined Burst SRAM을 개발하였으며, Mitsubishi서는 SOI(Silicon On Insulator)구조로 1V에서 46ns의 Row Address Access Time을 갖는 16M DRAM을 개발하였다. 한편 Graphic Memory로는 약 600MHz의 Data Rate를 지원하는 Packet Interface 방식의 Protocol을 갖은 RAMBUS DRAM이 선을 보이고있다.

### 2) High Density

3-D & Real Time Video Data Processing과 Networking기능이 강화된 Computer System에서의 대용량의 Main 메모리요구는 Cost Effective한 메모리 제조기술의 발달과 함께 더욱 가속화될 것으로 전망되고있다. 일반적으로 2000년대가 되면 Desk Top PC System에서 256MByte이상의 Main Memory가 보편화 될 것으로 전망하고있다. Cache Memory는 Note Book PC와 Desk Top PC를 제외한 High End Computer System 및 통신 System용으로 16M Bit이상의 Density와 400MHz이상의 초고속 제품이 등장할것이다. 한편 Storage Memory로서의 Flash는 대부분의 휴대단말기의 Storage용으로 채용되면서 256M/512M/1G Bit등의 Ultra High Density 시장이 다른 어떤 메모리 제품보다 일찍 형성될것으로 전망되고있다. 한편 Ultra High Density ROM은 Text 출판, 초소형 Audio, 초소형 대용량의 Story Book 등의 응용으로 지속적인 발전을 할것으로 전망되고있다.

### 3) Wide I/O

Data Bus Width의 Wide화는 응용 System마다 서로 다른 각도에서 그 요구가 일고있다. 먼저 PC Main 메모리는 Wide Bus와 Deep Depth를 동시에 추구하고있으며 대부분이 Module로 조립되어 사용되고있다. 일례로 Desk Top PC에서는 System Bus가 64bit이 대부분인데 64Mbit의 DRAM을 이용하여 64M Byte의 Module을 구현하고자 할때 Power 소모가 Issue가 되지않는다면 8Mx8 bit 구조를한 제품이 System 측면이나 Module제작상의

측면에서 가장유리 할것이다.

이와같은 응용은 Cache Memory에서도 비슷하게 나타나고있다. Desk Top PC와 같은 Low End Computer System에서는 Cache Size가 256K~512K Byte정도로 작음으로 32Kx32나 64Kx32 제품을 활용 2 Chip으로 64 bit의 Cache Bus에 대응하고 High End Workstation이나 Mainframe과 같은 High End Application에서는 1MB이상의 Larger Size의 Cache Memory요구로 x18구조의 1M/2M4Mbit의 Cache 메모리를 사용 64bit Bus에 대응하고 Data Cache와 Instruction Cache를 분리하여 사용하기도 한다.

한편 MPEG등의 실시간 동영상 응용의 Graphics System에서는 Depth보다는 Pixel Data의 형성및 빠른 전송을 위하여 일정이상의 Depth에 Wide한 Data Bus를 요구하게된다. 이렇게 함으로써 Component의 수와 Noise도 감소시킬수있으며 지나치게 빠른 System Clock을 사용하지않아도 되게되는 등 Cost와 Performance가 Trade Off를 이룰수있게 한다.

### 4) Low Operating Voltage

이미 언급한것처럼 Battery Operated System과 High Performance를 위하여 Low Voltage화가 이루어지고있는데 Matsushita전기산업은 0.5V의 단일전압으로 100MHz의 동작주파수에 4.4mA의 소비전력을 갖는 96Kbit의 CMOS SRAM을 개발했다. 최근에 개발되는 대부분의 400MHz이상의 Cache Memory는 2.5V Core Voltage와 1.8V 이하의 각종 Signal Interface(LVCMOS, HSTL 등)를 지원하고있다.

### 5) System Integration화

System Integration화는 Single Chip을 이용한 Integration과 Module을 이용한 Integration으로 나누어 볼수있는데 이는 메모리 제품응용이 특정 System에 응용되는 특성을 갖는 Socket 개념으로 바뀌어 가고있음을 암시하고있다.

먼저 Single Chip을 이용한 Integration은 Small Foot Print Area의제공, System Performance향상과 Integration 되어야만 하는 메모리의 Market에서의 Availability등의 요인으로 요구되고있다.

에서의 Availability등의 요인으로 요구되고있다. 이중 Market에서의 Availability측면에서는 Low Density 메모리 제품이 시장에서 Life Cycle이 다 하게 되어 이를 Support하는 업체는 없지만 지속적인 응용이 필요할경우 Integration이 필요하게 된다. Single Chip Integration의 방향은 다음과 같은 맥락으로 진행되고 있다. ASIC제품과 메모리 제품과의 Integration, 메모리와 메모리와의 Integration 그리고 FPGA(Field Programable Gate Array)와 메모리와의 Integration등이다.

다음으로 Module을 이용한 System Integration

은 MCM(Die를 이용한것, Package를 이용한것, Stack 형등), MCP(여러개의 Die를 하나의 Package에 조립한것), Daughter Card(CPU+ Cache 메모리, ASIC+메모리 등)와 Memory Module(DRAM Module, SRAM Module, Flash Module)등의 예를 볼수있다.

10. 풀어야할 課題

1) 설계기술, 1V이하의 Low Voltage Operation 을 지원하기위한 회로기술의 개발, 초대용량의 복잡한 Circuit을 갖는 메모리의 Chip 설계에 대한

〈표 4〉 주요 메모리의 향후 Trend

	1997~	2000~	2003	
DRAM	<ul style="list-style-type: none"> <li>• Main메모리</li> <li>&gt; Density</li> <li>&gt; Voltage</li> <li>&gt; Frequency</li> <li>&gt; Bus</li> </ul>	64M/128M 2.7~3.6V 100MHz~ x4/x8/x16/(x32)	128M/256M/512M 1.8~3.6V 200MHz~ x8/x16/x32	256M/512M/1G 1.3~2.7V 400MHz~ (x8)/x16/x32/x64
SRAM	<ul style="list-style-type: none"> <li>• High Speed 메모리</li> <li>&gt; Density</li> <li>&gt; Voltage</li> <li>&gt; Frequency</li> <li>&gt; Bus</li> <li>• Low Power 메모리</li> <li>&gt; Density</li> <li>&gt; Voltage</li> <li>&gt; Frequency</li> <li>&gt; Bus</li> </ul>	1M/2M/4M 3.3V Core, 2.5V I/O ~200MHz x16/x18/x32/x36  1M/2M/4Mbit 2.3~5.5V 10~20MHz x8/x16	4M/8M/16M 2.5V Core, 1.8V I/O 400MHz~ x16/x18/x32/x36  2M/4M/8Mbit 1.8~5.5V 10~20MHz x8/x16	8M/16M/64M 2V Core, 1V I/O ~200MHz x16/x18/x32/x36 4M/8M/16Mbit 0.9V~3.3V 10~20MHz x8/x16
NVM	<ul style="list-style-type: none"> <li>• ROM</li> <li>&gt; Density</li> <li>&gt; Voltage</li> <li>&gt; Frequency</li> <li>&gt; Bus</li> <li>• NAND Flash</li> <li>&gt; Density</li> <li>&gt; Voltage</li> <li>&gt; Frequency</li> <li>&gt; Bus</li> </ul>	64M/128M 2.7~5.5V ~66MHz x8/x16/x32  64M/128M 2.7~5.5V 10~20MHz x8/x16	128M/256M 2.7~5.5V 100MHz~ x8/x16/x32/x64  128M/256M 2.7~5.5V 10~20MHz x8/x16	256M/512M 2.3~5.5VV 200MHz~ x8/x16/x32/x64  256M/1G 2.7~5.5V 10~20MHz x8/x16

Interface 및 System Integration 형태를 지남에 따른 Logic Verification 기술, Low Voltage에서 동작하는 High Speed 회로기술의 연구등 많은 부분이 지속적으로 연구되어야 할 것이다.

2) 공정기술; 대용량 및 초고속, Low Voltage 메모리 기술의 근간이 되는 것은 메모리 Cell을 개발할 수 있는 공정기술이다. 초대용량의 메모리 개발을 위하여는 Layer의 적층이 늘어 날 수 밖에 없는데 이때 후속 Layer의 안정한 적층 및 신뢰성을 위하여는 Oxidation의 평탄화 기술이 주요하게 되며, 초미세 공정으로 인한 MOS의 각 부분간 Junction의 신뢰성(High Voltage Effect, Leakage, Electro Static Discharge 등) 등이 고려되어야 한다. 한편 Low Voltage와 High Speed 메모리를 위하여는 Scaling Factor를 어떻게 가져가느냐가 중요하게 된다. 이 Factor는 Power 소모, Transister의 Delay, Transister의 Threshold Voltage( $V_{th}$ ), Internal Circuit Loading 등 모든 Device 특성에 직접적인 영향을 주게 된다. [표 5]에는 MOS Device에서의 Scaling Factor에 따른 여러 가지 Device Parameter에 영향을 주는 Table을 나타냈다. 한편 Memory는 다른 Logic 제품(CPU, MPU, ASIC 등)과는 달리 박리 다매의 대표적인 공산품으로 단

위 Wafer 당 Chip 수를 얼마만큼 확보하느냐가 수익에 직결 되는 요인이다. 따라서 보다 큰 Wafer에서는 보다 많은 메모리 Chip을 획득할 수 있으며 특히 256M 이상의 제품에서는 대구경 Wafer(12"/14" 등)의 제조기술의 조기 확보도 주요한 과제 중의 하나이다.

3) 조립기술

조립기술 측면에서는 3가지 부문을 중점 연구해야 할 것이다. 하나는 High Performance와 Smaller System을 위한 Smaller Package의 개발이며, 다른 하나는 Power Dissipation에 의한 열방출이 극대화될 수 있는 Package 구조의 개발이며, 마지막으로 양산성과 표준화가 가능한 Package 구조가 고려되어야 한다는 것이다.

4) Test 기술

Test 기술은 두 가지 측면에서 깊이 연구 되어야 할 것이다. 어떻게 대용량의 메모리의 전 Cell을 빨리 효과적으로 Test해 낼 수 있는 나이다.

최근 한 보고서에 의하면 256M DRAM의 Wafer Level에서의 적정 Parameter 수를 Test 하는데 소요되는 시간이 x16의 경우 40분이상이 된다고 한다. 이는 1Gbit 이상의 메모리에서 맞게 될 Cost 요인인 동시 패, 양산성에 대하여 생각해 하는 요소이

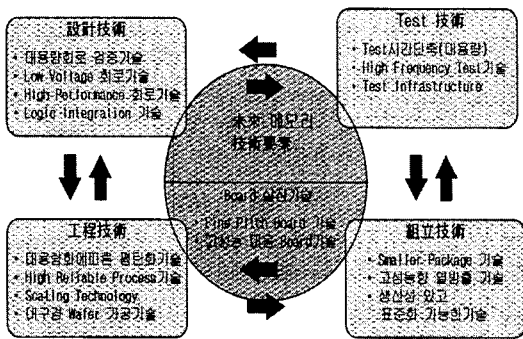
<표 5> Scaling Factor가 MOS Device에 주는 영향

Parameter	Symbol	Constant Field	Constant Voltage	$\propto 1/\kappa^{0.5}$ Voltage
Device Size	-	$1/\kappa$	$1/\kappa$	$1/\kappa$
Gate Oxide Thickness	$t_{ox}$	$1/\kappa$	$1/\kappa$	$1/\kappa^{0.5}$
Substrate Doping	-	$\kappa$	$\kappa^2$	$\kappa^{1.5}$
Supply Voltage	V	$1/\kappa$	1	$1/\kappa^{0.5}$
Electric Field	E	1	$\kappa$	1
Current	I	$1/\kappa$	$\kappa$	$1/\kappa$
Area	A	$1/\kappa^2$	$1/\kappa^2$	$1/\kappa^2$
Capacitance	$C = eA/t_{ox}$	$1/\kappa$	$1/\kappa$	$1/\kappa^{1.5}$
Gate Delay	$VC/I$	$1/\kappa$	$1/\kappa^2$	$1/\kappa$
Power Dissipation	VI	$1/\kappa^2$	$\kappa$	$1/\kappa^{1.5}$
Power Density	$VI/A$	1	$\kappa^3$	$\kappa^{0.5}$
Power-delay Product	$CV^2$	$1/\kappa^3$	$1/\kappa$	$1/\kappa^{2.5}$

다. 결국 기존 Low Density에서의 제품생산시 Timing Consuming Point가 설계및 Wafer Fabrication 공정이었다면 이제 대용량시대에서는 Test가 생산성을 좌우하게 될수 있다는 것이다. 다른 하나인 High Speed 측면에서는 Data Transfer Rate이 500MHz~1GHz 이상이 되게되면 Signal 간의 Timing Margin을 어떻게 측정할것이며, 특히 실측의 Cycle Time을 어떻게 측정혹은 산출해 낼것인가를 Test Board환경과 Test Machine 환경 측면에서 High Speed를 지원할수있도록 하는 문제이다.

### III. 맺음말

이제까지 본고에서 메모리제품의 종류와 개발동향, 응용동향 그리고 차세대 메모리 제품 개발시 중점적으로 검토되어야할 부분에 대하여 개략적으로 살펴보았다. 정보화 시대에 없어서는 안될 메모리 제품은 향후 그어느 분야 보다도 시장이 지속적으로 성장할것이며 초대용량화, 초고속화, 초저전압화가 급속히 진전될것이다. 또한 각종 Logic 및 ASIC제품과의 단일 Chip화와 이기종 메모리간의 단일 Chip화인 System Integration도 각각의 응용처특성에 맞게 가속화될것이다. 이러한 시대에 있어서 메모리 사업에 대한 Technology Development 및 Marketing Positioning을 어떻게 취하여야 할것이기는 매우 중요한 문제이며 이는 많은 시간과 경제력의 투자가 요구되는 것이다. 특히 세계 DRAM시장의 30%이상을 장악하고 있는 우리나라는 DRAM의 용량증대 제조기술은 확고한 위치에 있다고 보이나 초고속화및 초저전압화를 위한 제반 기반기술및 Infra가 미흡한 실정이다. 따라서 국내업체들간의 기술교류및 비상시 상호 협력할수있는 체계를 구축하여 약한 기반기술의 강화를 통하여 미래 정보통신산업에서 핵이될 메모리사업에서 독보적인 위치를 확보해야할것이다.



(그림 13) 미래메모리 대응을 위한 주요 과제

#### 5) 실장기술

실장기술은 Small/Narrow Pitch/High Pin Counts Package의 실장을 위한 PCB 제조기술과 High Speed Component 실장을 위한 실장기술이 발전되어야 한다는 것이다. 실제로 최근의 Chip Scale Package 에서는 0.5mm pitch의 BGA Package가 개발되고있는데 이를 위하여는 50um 이하의 PCB Line 선폭과 Line 간 Space가 필요하게된다. 한편 High Speed 메모리의 실장을 위하여는 System Board상의 Noise Source(Back Plane, Connector, PCB Trace, 각종소자등, Power Supply, Grounding Method등)와 Noise 현상 (Ground Bouncing, Reflection, Cross Talk, Ground Shifting, Vt의변화, Signal Skew, Skin Effect에 의한 EMI등)을 최소화 할수있는 Board 제작이 요구된다. [그림13]에는 향후 메모리개발 및 시장창출에 필요한 기술요소를 나타내었다.

#### 참 고 문 헌

- [1] Tadahiro Kuroda 의 "Overview of Low Power ULSI Circuit Techniques". IEICE Transactions on Electronics, pp 334~335, Apr. 1995
- [2] 日經 BP社, "최신 LSI 개발로 정보통신의 미래를 본다" Nikkei Electronics pp 126~132, 1997년 2월 10일 호
- [3] TechSearch Internaional Inc. 저 Chip Size Packaging Development, Aug. 1995



- [4] 日經 BP社, Nikkei Electronics 1월호~6월호, Nikkei Microdevice 1월호~6월호
- [5] Nathan J. Muller외, LANs to WANs 1990년 Artech House 발간
- [6] Asha Mehrotara, Cellular Radio, 1994년 Artech House 발간
- [7] 잡지 "Mobile Computing & Communications", Apr. 1997
- [8] 잡지 "PC Magazine", May. 1997
- [9] 기술잡지 "Micro Processor Report", Mar. Apr. May. 1997

## \*Glossary

Async; Asynchronous  
 BGA; Ball Grid Array  
 BiCMOS; Bipolar Complementary Metal Oxide Semiconductor  
 BIOS; Basic Input Output Operating System  
 BISDN; Broad Integrated Service Data Network  
 CAM; Content Address Memory  
 COB; Chip On Board  
 CPU; Central Processing Unit  
 CSP; Chip Scale Package  
 DRAM; Dynamic Random Access Memory  
 EDO DRAM; Extended Data Output DRAM  
 EMI; Electric Magnetic Interference  
 EML; Embedded Memory Logic  
 F/A; Factory Automation  
 FiFo; First In First Out  
 FP DRAM; Fast Page Mode DRAM  
 FRAM; Ferroelectric Random Access Memory  
 FT; Flow Through  
 GIS; Geographical Information System  
 GPS; Global Positioning System  
 HPC; Hand Held PC  
 I/O; Input Output  
 ISDN; Integrated Service Data Network

ITS; Intelligent Traffic System  
 L1; Level 1 Cache  
 L2; Level 2 Cache  
 L3; Level 3 Cache  
 LD; Laser Disk  
 LiFo; Last In First Out  
 M/M; Main Memory  
 MCM; Multi Chip Module  
 MCP; Multi Chip Package  
 MCU; Memory Control Unit  
 MML; Memory Memory Logic  
 MOD; Magnetic Optical Disk  
 MPU; Micro Processor Unit  
 MTSO; Mobile Traffic Switching Office  
 NVM; Non Volatile Memory  
 OTPROM; One Time Programmable ROM  
 PCI; Peripheral Component Interface  
 PCMCIA; Personal Computer Memory Card International Association  
 PDA; Personal Data Assistance  
 PSTN; Public Service Telecommunication Network  
 R-L; Register Latch  
 R-R; Register Register  
 RDRAM; RAMBUS DRAM  
 S/W; Soft Ware  
 SAM; Serial Access Memory  
 SB; Synchronous Burst  
 SDRAM; Synchronous DRAM  
 SLDRAM; Synchronous Linked DRAM  
 Sync; Synchronous  
 Vt or Vth; Threshold Voltage  
 VME; Versa Module Eurocard  
 WAN; Wide Area Network  
 WLL; Wireless Local Loop  
 WORM; Write Once Read Many

저자 소개



全 東 守

1958年 8月 1日生

1981年 2月 경북대학교, 전자공학과학사

1983年 2月 경북대학교 전자공학과석사

1983年 1月 17日~현재

삼성반도체 연구위원(이사급) 메모리본부 메모리 응용기술 팀장

주관심 분야 : MEMORY