

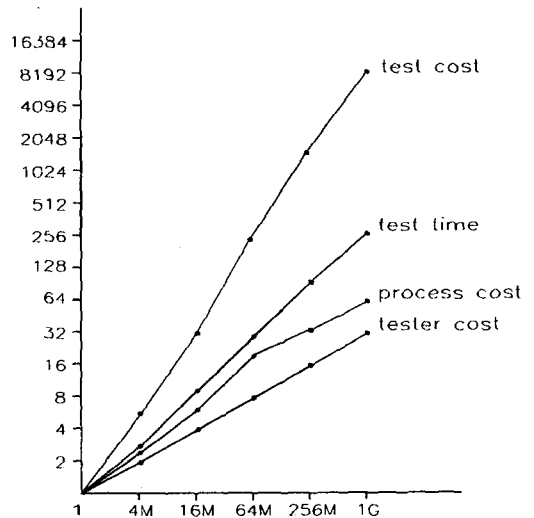
Memory Test의 문제와 展望

한 선 경, 유 영 갑
충북대학교 정보통신공학과

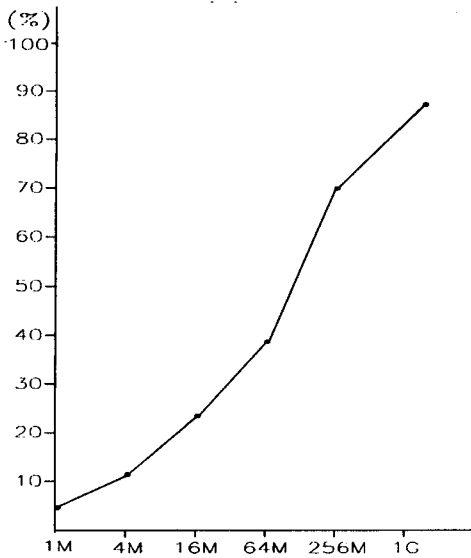
I. 서 론

Memory 내부에서의 고장은 저장시킨 정보를 제대로 재현시켜 공급해주는 기능이 원활하게 수행되고 있지 않은 현상이다. 따라서 특별한 입출력 조건을 주어서 오동작이 발생하도록 유도하여 고장을 효과적으로 찾아내는 테스트가 필요하다. 일반적인 memory의 테스트는 두가지의 중요한 목표를 달성해야 하는데, 그 첫번째가 테스트 시간의 증가에 의한 테스트 비용상승을 억제하는 일이다. Memory는 매 세대마다 그 용량이 네배씩 증가하기 때문에, 종래의 $O(n)$ 의 복잡도를 갖는 테스트를 쓰는 경우, 세대가 바뀔때마다 네배의 테스트 시간을 요구하게 된다. 실제로 4Mbit DRAM이 되면 3분여, 16Mbit DRAM이 되면 약 1시간 정도가 소요되게 된다. 즉 같은 가격의 테스트 장비를 사용하는 경우 테스트 비용은 4배로 증가하게 되는 것이다. 이 비용의 증가가 시장에서의 가격 경쟁력에 부담을 주는 것이다.

또한 테스트 장비의 가격은 매 세대가 바뀔 때마다 계속적으로 상승하기 때문에 실질적인 테스트 비용의 증가는 훨씬 높다. 그림 1과 그림 2는 테스트 장비 가격의 상승과 테스트 시간 증가에



〈그림 1〉 DRAM의 cost structure trend.



(그림 2) DRAM의 제조비용 중 test cost 분 비용 증가 추세

의한 영향을 보여주고 있다. 이에 따르면 1Gbit DRAM의 경우 제조비용의 86%가 테스트 비용에서 유발될 만큼 심각한 문제임을 알 수 있다. 테스트 시간 연장에 의한 생산비용 압박은 테스트 품질과의 타협을 요구하게 된다. 테스트 비용을 절감하기 위하여 복잡한 고장의 진단 기능을 갖는 테스트를 생략하게 되는데, 이렇게 되면 초고집적 memory에서 발견되는 고장들에 대한 테스트는 불충분해질 수 밖에 없다.

초고집적 memory 테스트의 두번째 목표는 집적도에 따르는 테스트의 품질 열화를 방지하는 것이다. memory의 집적도의 증가에 따라 새로운 양상의 고장 유형들이 발견되고 있다. 이들 중에서도 특히 문제가 되는 것은 pattern sensitivity로 분류되는 고장들로서, 이것은 한 저장 셀에 저장되어 있는 정보가 주변 셀의 특정한 데이터 패턴에 따라 파괴되는 현상이다. 이는 집적도가 높아지고, 셀간의 기하학적 근접성이 강해지면서 심화되는 현상으로서 주로 시간 의존적 특성이 강하게 대두되고 있다. 이들에 대한 충분한 테스트는 당분간 심각한 문제로 남아있게 될 전망이다.

최근에는 대용량 메모리들을 내장형으로 활용하

려는 경향이 있다. 즉 시스템 칩상의 일부 기능 블록으로써 메모리를 사용하는 것이다. 이는 메모리의 고장과 외부 회로의 고장을 식별하는 문제와 이미 알려져 있는 observability 문제와 controllability 문제를 가지게 되어 테스트의 경제성과 품질에 중대한 영향을 미치게 될 것이다. 이와 더불어 메모리 자체도 고속화를 해가면서 통신 프로토콜을 입출력 사양으로 채택하는 경향이 있으며, 이 또한 테스트에서 기존의 방식과는 상당히 다른 접근방법을 요구하는 것이다.

테스트의 시간이 연장되는 것은 한 셀에 영향을 미치는 주변 셀의 범위가 집적도 증가에 따라 광범위하게 확장되어, 복잡한 테스트 알고리즘을 사용하여야만 만족할 만한 고장 탐지율을 얻을 수 있게 되기 때문이다. 따라서 종래의 테스트 개념으로는 경제적인 타당성을 갖는 테스트는 불가능하게 된다. memory의 집적도 증가에 따른 테스트 품질의 열화 경향은 특별한 대책이 없는 한 계속 될 전망이다.

고집적 memory의 테스트를 강화하기 위한 균형있는 설계는 테스트 시간 단축에 의한 비용 절감과 테스트 품질유지를 위한 고장 model에서 나온다. 2장에서는 16M bit 또는 그 이상의 memory 제품군에서 발생하는 고장과 결함유형과 이들을 찾아내는 테스트 패턴의 유도과정을 소개하고, 3장에서는 memory 테스트의 최근의 경향에 대하여, 4장에서는 결론을 기술하고 있다.

II. Memory의 결함 유형과 테스트 방법

반도체 memory의 전기적 구조물들의 미세화 경향은 복잡한 결함이나 고장을 유발시키는 주요한 요인이 되고 있다. 특히 제조공정상의 결함발생 요인이 테스트에 반영되지 않으면 테스트 결과의 신뢰성에 악영향을 미치게 되는 것이다. 우선 집적도 면에서 가장 높은 dynamic random access memory(DRAM)에 관한 고장유형은 다음과 같다.

1. 고장유형 분류

비슷한 증상을 보이는 결함이나 고장을 한개의 테스트 패턴으로 모아 검출하므로써 테스트의 효율을 높일 수 있다. 고장이나 결함에 의하여 발생하는 증상을 modeling하고, 이것을 중심으로 분류하게 된다. DRAM에 관련된 failure들은 크게 네 가지 유형으로 분류할 수 있다; stuck-at type faults, space dependency, time dependency 그리고 intermittent faults등이다.

Stuck-at type의 고장·결함 model은 memory 내에서 어떤 storage cell의 내용이 "1"이나 "0"에 고정되어 있는 것처럼 보이는 고장의 집합이다. Memory write 내역에 무관하게 cell 자체가 "1"이나 "0"으로 고정되는 경우도 포함되며, 주변회로 특히 decoder failure도 대표적인 stuck-at 유형의 고장이다. 결국 cell에 대한 테스트를 decoder에 대한 테스트로 대체해도 문제가 되지 않음을 의미한다.

둘째 space dependent pattern sensitivity는 인접한 memory circuit element, 예를 들면 두 개의 storage cell capacitor간의 간격이 너무 좁아서 전기적으로 간섭현상을 일으키는 경우이다. 이는 고집적화가 진행되면서 더욱 심화되고 있다. 이 고장에 대한 테스트는 cell under test(CUT) 주변에 가장 심한 전기적 stress를 줄 수 있는 테스트 패턴을 이용하여 수행된다.

세째, 테스트 신호의 sequence에 따라 memory의 오동작 발생 여부가 결정되는 time dependent pattern sensitivity는 memory의 저전력화와 고속화가 병행으로 이루어지는 과정에서 심각하게 발생하고 있는 유형이다. 특히 테스트 신호의 timing 차이에 의해서도 오동작이 발생하기도 하는데, 이것 역시 각종 구동회로에 의한 dynamic 회로의 충전특성의 열화 현상과, 누설전류가 주요한 요인이다. 고속회로의 저속 동작시의 오동작은 주로 구동회로의 전류누설로 충분한 gate 전압을 공급하지 못하기 때문이다. 이는 DRAM의 word line driver에서 나타나는 심각한 문제로서, 여러층의 물질을 적층시켜 가늘고 긴 word line을 구성하게 되는데, 이 물질들은 word line etching시에 쉽게 제거되지

않고 표면에 미량의 도전성 물질로 남게 된다. 이 물질층은 광학적으로 식별이 곤란하여 최종제품 완성시까지 남아 있어 word line leakage를 발생시키거나 word line간 간섭현상을 유발시킨다.

네번째로는 재현성이 없는 intermittent fault들이다. 이들의 원인은 정확하게 규명되지 못하였지만, 그 중 memory의 package등에 포함되어 있는 방사능 물질에 의한 soft error는 비교적 잘 분석되어져 있다. 특히 soft error 방지를 위한 설계 및 공정 방법등이 연구되어 적용되고 있다. 또한 memory의 동작전압이 강하되면서 우려할 만한 고장요인이 되고 있는 것으로, 갑작스런 power fluctuation등에 의한 오동작이 있다. 이렇게 분류된 네가지 고장유형에 대하여 좀더 자세히 알아보기로 한다.

Memory 고장의 물리적인 요인으로는, gate oxide의 파괴, short channel effect, transistor channel leakage, line open/short, line to line interference, cell to cell leakage 등을 들 수 있다. Memory의 세대가 바뀔때 마다 최소선폭 등이 물리적인 한계에 접근하고 있기 때문에, 물리적인 결함발생과 특성열화 경향은 더욱 심화되고 있다. 이런 물리적인 결함과 특성열화 현상이 memory 회로와 관련지어지면 memory fault로서 나타나 정상적인 operation을 방해하게 된다.

집적도가 낮은 memory에서는 이런 결함과 특성열화 현상의 대부분은 stuck-at type 고장으로 modeling이 가능하다. 이 stuck-at type failure는 complexity가 낮고 비교적 간단한 테스트 pattern으로 쉽게 검출된다. 예를 들면 cell의 pass transistor가 short된 경우, cell의 정보는 bit line precharge에 의하여 항상 high voltage로 충전되고 판독되므로, cell이 high voltage에 stuck된 것처럼 동작한다. 따라서 stuck-at 1 fault model로 cell pass transistor의 short를 검출할 수 있다. 이런 유형의 failure는 cell stuck-at fault, decoder fault, buffer fault, bit/word line crosstalk, transmission line effect 등이 있다.

Analog 특성변동에 의한 failure는 특별한 테스트 sequence를 요구한다. Sense amp recovery

problem의 경우, 반복적인 “1” 기록 후 “0”을 기록 및 판독 또는 연속적으로 “0”을 기록한 후 “1”을 기록 및 판독한다. 이런 테스트 sequence를 모든 sense amp에 대하여 수행하게 되며, 반복적인 “1” 기록 후 “0”을 기록한 회수와 sense amp의 갯수에 따라 테스트 시간이 결정된다. 여기서 반복적인 기록횟수는 refresh 주기에 비례한다. 그러나 대용량 memory에서는 refresh 주기의 연장에 따라 긴 테스트 시간이 요구되기 때문에 이들에 대한 테스트는 현실적으로 불가능하다.

Pattern sensitivity는 초고집적 memory에 심각하게 대두하는 문제이다. 이것은 한 cell에 저장되어 있는 정보가 주변 cell의 영향을 받아서 파괴되는 현상이다. 주요 원인은 인접한 storage cell 간의 누설전류, parasitic capacitance에 의한 간섭현상 등이다. Neighbor-hood interference, layout dependent pattern sensitivity, bit line imbalance 등이 있다.

이 pattern sensitivity를 테스트하는 경우 CUT에 영향을 미칠 수 있는 neighborhood cell의 범위를 정하는 것이 가장 중요하다. CUT에 최대한의 stress를 가할 수 있는 data pattern을 유도하여 neighborhood cell에 저장해야 한다. 일단 neighborhood cell의 범위가 결정되면, 이 cell들에 pattern을 저장해 가는 순서를 정하고, neighborhood cell에 저장되는 각 pattern마다 maximum stress가 가해질 수 있도록 stimuli sequence를 가하는 순서를 정하게 된다.

memory가 초고집적화 되면서 발생하는 주요 결함중 하나가 bit line간의 간섭현상이다. Bit line간의 capacitance가 선간 간격의 축소와 함께 급격하게 증가하는데, 16M bit DRAM의 경우 bit line capacitance의 30% - 40%가 bit line간의 capacitance로 이루어지게 된다^[1]. Bit line의 재질이 aluminum인 경우 그 두께와 단면구조 때문에 더욱 심각하게 되며 이것을 방지하기 위하여 polycide bit line을 형성함과 동시에 twisted bit line 구조를 채택하고 있다. 하지만 64Mbit 이상에서는 더욱 심한 bit line간 crosstalk가 나타날 것이다.

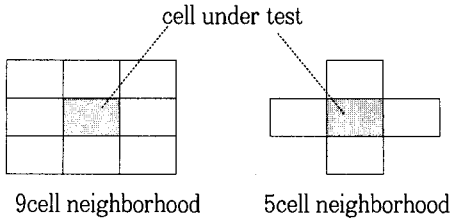
또 하나의 중요한 문제는 threshold 전압의 변동이다. Transistor의 channel 지역의 크기가 급격하게 축소됨에 따라 depletion 지역의 크기도 줄게 된다. 따라서 depletion 지역의 불순물 원자의 절대 숫자가 감소하게 되는데, 이 불순물의 원자 갯수에 조그만 변동이 있어도 threshold 전압이 적지 않게 변동된다.

Multi-bit data (x4 또는 x8) 구조의 memory에서, 또 동작 속도가 향상되면서 Vcc/GND 상의 voltage bouncing이 심각한 문제가 되고 있다. memory IC의 오동작을 유발하는 동작환경 특성에는 전원환경 변화, 데이터 입출력선 전기특성 변화, 입출력 신호 특성 변화, 온도환경 변화 등이 있다. 동작환경 특성변화에 의한 오동작을 테스트할 때는 최악의 경우로 테스트해야만 효과적인 테스트라고 할 수 있을 것이다.

2. 테스트 방법

Memory 제품의 구조와 그 제조공정은 제조회사의 독특한 기술적 배경을 반영하고 있기 때문에, 같은 외양과 비슷한 성능의 제품군 안에서도 전혀 다른 제조공정과 실장 후의 문제점을 가지게 된다. 특히 내부구조에 있어서 storage array의 구성방법, word line/bit line 그리고 sense amp 등의 설계, redundancy 기법, timing 회로 등에 있어서 현격한 구조 차이를 보이는 경우가 흔하다. Memory의 고장 유형의 modeling과 검사 방법에 있어서 이와 같은 구조 및 제조 공정상의 차이가 반영되어야 한다. Adaptive failure modeling은 storage array의 구체적인 구조적 특성, 예컨대 folded bit line scheme의 채택여부, twisted bit line 구조의 채택 여부등을 테스트 pattern 작성에 반영하는 과정을 거치게 된다. 우선 stuck-at type의 고장은 단순한 checkerboard pattern으로 테스트가 가능하다^[1]. 여기에서는 space dependency, time dependency 그리고 intermittent fault를 중점적으로 다룬다.

Space dependent pattern sensitivity의 테스트 pattern 도출은, neighborhood scheme에서 출발한다. 그림 3에 5 cell 또는 9 cell scheme을 보이고



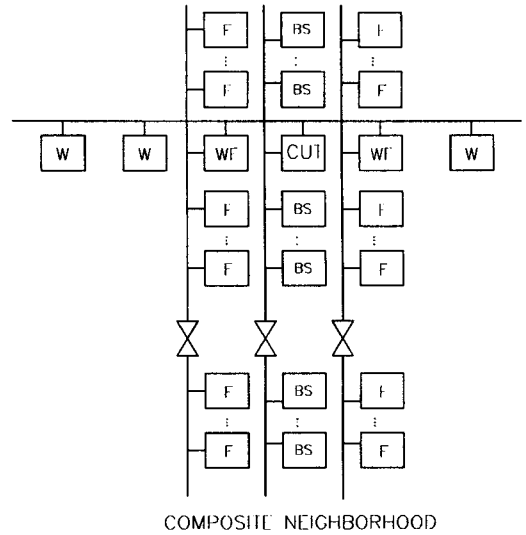
(그림 3) Basic neighborhood scheme. (a)9-cell (b)5-cell

있다. 이것은 CUT 주변에 4개 또는 8개의 cell을 포함하는 neighborhood scheme으로서, 주로 pattern sensitivity의 기초이론의 도구로서 활용되어 왔다. 효과적인 neighborhood scheme은 실질적인 pattern sensitivity에 기초를 두어야 하는데, 고집적 memory에서 발생하기 쉬운 failure, 예컨대 bit line interference 등이 충분히 반영되어야 한다.

Neighborhood cell의 범위를 결정하는 두가지 요인은 물리적 근접성과 전기적 근접성이다. 물리적 근접성은 다른 cell이나 cell에 대한 access 구조에 물리적인 상호작용이 개재된 경우이다. 물리적인 근접성의 결정요인으로서 누설전류를 들 수 있다. Storage cell과 cell 사이의 누설전류, cell과 bit line 간의 누설전류, capacitance, cell간에 공유된 회로 요소 등이 있다.

기하학적으로는 멀리 떨어져 있으면서도 전기적으로는 인접한 cell들이 있다. 대표적인 경우가 bit line을 공유하는 cell 들이며, word line을 공유하는 cell, sense amp를 공유하는 경우가 이에 해당된다. bit line을 공유하는 cell간의 간섭은 cell의 pass transistor를 통한 leakage가 주요한 요인이다. 주변 cell에서의 연속적인 low voltage의 기록은 CUT로부터의 leakage를 한쪽 방향으로 가속시키게 되어 궁극적으로 data를 잃게 하는 것이다.

Cell에 연관된 인접성을 모두 고려하여 neighborhood scheme을 작성하게 된다. 그림 4는 composite neighborhood를 보이고 있다. CUT와 같은 word line을 공유하는 neighborhood cell은 W로 label되어 있고, bit line을 공유하는 cell은 B



- W : WORD LINE NEIGHBORHOOD
- B : BIT LINE NEIGHBORHOOD
- S : SENSE AMP NEIGHBORHOOD
- F : BIT LINE INTERFERENCE

(그림 4) Composite neighborhood scheme.

로, sense amp를 공유하는 cell은 S, 그리고 bit line interference에 의한 인접 bit line의 neighborhood cell은 F로 label되어 있다. 이 neighborhood scheme은 16Mbit 이상의 고집적 memory 구조에 가장 현실적으로 근접하고 있다. 이 scheme을 충분히 이용하기 위해서는, 먼저 테스트 sequence를 효과적으로 작성하여 불필요한 동작을 제거하므로써 테스트 time을 단축시켜야 한다.

일정하게 분포되어 있는 결함을 어떻게 테스트 할 것인가 하는 문제로, defect tolerable 테스트 즉, 응용 범위에 따라서 모든 cell들이 정상적으로 동작할 필요가 없는 경우가 있다. Memory의 대용량화 추세에 따라 memory의 설계와 시험 방법에 있어 지금까지의 방법과는 다른 접근 방법을 요구하고 있다. 예를 들면, 음성이나 화상 데이터를 저장하는 memory는 지금까지처럼 결함의 존재를 절대 허용하지 않는 엄격한 테스트는 필요하지 않다. 약간의 결함을 가진 memory에 저장된 음성이

나 영상신호의 최종 출력전에 적절한 필터링을 실시하는 경우에는 결함 자체를 전혀 인식하지 못하게 된다. 즉 음성이나 화상등 아날로그 신호를 저장하는 경우 신호처리 회로를 내장하여 어느 정도의 결함을 보상할 수 있다. 따라서 이러한 defect tolerance 응용 분야에 대한 memory 테스트 방법이 구체적으로 요구된다. 결함의 형태를 결함이 발생한 위치, 결함이 발생한 주기등으로 구별하여, 필터링으로 보상되는지 또 허용할 수 있는 결함의 형태와 정도를 평가, 분류할 수 있을 것이다. 이는 memory의 수율 향상이나 제조단가를 낮출 수 있는 등의 중요한 역할을 할 것이다.

III. 메모리 테스트의 전망

이제까지의 메모리 테스트는 주로 대용량화에 따른 문제, 즉 테스트 비용의 상승을 억제하기 위한 수단을 강구하려는 것이었다. 과거 20년간 이를 위하여 메모리 테스트의 품질을 상당부분 희생시켜가면서 테스트 시간을 단축시키기 위한 알고리즘들을 정비하여 왔다. 초기의 메모리 테스트는 마그네틱 코어 메모리 테스트 알고리즘을 여과없이 수용하였으며, 이들은 앞서서의 여러 고장 유형을 근간으로 논리적으로 도출되었으며, 마그네틱 코어의 판독 동작이 정보의 파괴가 함께 이루어지는 destructive readout 이라는 점에서 현재의 dynamic RAM 과 유사한 특성을 가지는 관계로 대부분의 마그네틱 코어 테스트가 상당한 정당성을 확보할 수 있었다. 이들 테스트는 상당히 높은 복잡도를 가지는 것으로 메모리 내부에서의 결함 가능성을 충분히 탐지할 수 있도록 만들어진 것이다. 예를 들면 GALPAT 와 같은 테스트 알고리즘은 주소지정에 관한 모든 결함 가능성을 테스트하며 아울러 메모리 셀간의 간섭현상을 메모리의 내부구조와는 상관없이 모두 찾아낼수 있도록 한 것이다.

1. 메모리 테스트를 위한 새로운 패러다임

메모리의 용량의 증가에 따른 테스트 시간의 상승은 소규모 마그네틱 코어에 적용하였던 복잡도가 높은 테스트를 더 이상 활용할 수 없게 된 것이다. 낮은 복잡도를 갖는 테스트 알고리즘으로 만족할 만한 수준의 테스트 품질을 유지하기 위하여는 테스트 동작이 모두 그 메모리에 특별히 발생할 가능성이 있는 결함만을 겨냥해야 한다. 또한 독특한 메모리 구조를 감안하여 메모리마다 다르게 작성될 필요가 있는 것이다. 따라서 테스트 자체도 그 목적과 자주 발견되는 결함의 유형, 메모리의 구조에 따라 다양 해지며, 앞서서의 일반적인 결함 모델을 각 구조체에 맞도록 구체화해야 할 필요가 있게 되었다. 따라서 대학이나 연구소가 중심이 되어 이루어지는 테스트의 일반적인 연구가 메모리 제조현장에서의 문제해결에 큰 도움이 되지 못하고 있는 이유가 여기에 있다. 다만 고집적도에 따르는 근본적인 문제에 대한 접근방식과, 이를 내부 회로를 통한 해결을 위한 built-in 테스트 기법화 방식에서 가치를 찾을 수 있다.

새로운 메모리 테스트의 요구는 메모리가 시스템 칩의 일부 기능 블록으로 활용되기 시작한 점이다. 따라서 기존의 메모리만을 위한 테스트 알고리즘으로는 이들 내장형 메모리를 충분히 테스트할 수 없게 되었다. 시스템과의 상호작용을 시스템 레벨의 명령어 수준에서 검증해야 할 필요가 생긴 것이다. 메모리 테스트는 따라서 소자레벨의 테스트에서 시스템 레벨의 테스트에 이르는 테스트의 전과정이 모두 개입되는 복잡한 작업으로 인식해야 할 것이다. 테스트의 목표와 그 결과를 활용하기 위한 새로운 패러다임을 요구하는 것이다.

2. 최근의 메모리 테스트 동향

메모리 자체의 입출력 방식의 변화도 중요한 진전사항의 하나이다. 최근 현대전자산업(주)를 중심으로 전개되는 프로토콜 방식의 입출력 방식은 메모리 테스트에 통시기기 테스트를 위한 알고리즘의 적용을 강요하게 될 것이다. SYNCLINK 방식으로 일컬어지는 데이터의 패킷전송방식은 회로상에서의 결함과 함께 패킷 전송상에서의 에러발생의 탐지도 고려해야 하는 것이다. 이러한 메모리

를 시스템에 적용하였을 때의 테스트는 메모리 소자의 관점이 아닌 시스템의 집적 측면에서 보는 테스트의 개념이 된다.

메모리 테스트가 새로운 관점에서 조명을 받게 되는 또 하나의 이유는 메모리의 사용이 과거의 데이터저장을 위한 목적 뿐만 아니라 화상, 음성등과 같은 아날로그 데이터의 저장에 광범위하게 활용되기 시작하였다는 것이다. 특히 HDTV 나 멀티미디어의 보급은 이들 사용 목적에 따라 경제성을 최대한 확보하는 측면에서 재검토해야 할 필요가 생긴 것이다. 메모리 칩에서 한 두비트의 고장은 화질이나 음질에 큰 영향이 없다는 것을 감안하면, 과거의 exhaustive 테스트가 과도한 테스트로서 경제성을 외면한 것이라는 것을 쉽게 알 수 있다. 메모리의 테스트는 용도에 따라 달라지게 된 것이고, 같은 메모리 제품도 용도별 분류를 위한 테스트 과정을 거칠 것이라는 것이다. 테스트는 품질유지 뿐만 아니라 생산공정상에서 선별작업의 일부로 간주해야 하는 것이다.

메모리의 기능적 테스트는 디지털 신호의 충실성의 측면에서만 접근하여 온 것이 사실이다. 그러나 고속화를 거치면서 메모리 뿐만아니라 패키지를 포함한 전체 메모리의 동작을 점검해야 하는 요구가 높아지고 있다. 패키지에서의 신호전달의 제약을 벗어나기 위한 다양한 본딩 패드 위치선택이 제시되고 있으며, 패키지의 형태도 더욱 응용분야의 요구에 맞도록 개선되고 있다. 고속화를 위한 chip size packaging 의 등장은 기존의 본딩이 갖는 동작속도의 제약을 극복하기 위한 수단이다. 이들에 대한 테스트는 패키지, 모듈단위의 기능적 검증을 요구하게 된다. 이에 대한 테스트는 그 특성상 이산적인 테스트 패턴의 적용에 상당한 제약이 있음에도 불구하고, 그 적용의 간편함과 기존의 장비등의 활용 측면에서 이산적인 모델의 정립과 이를 통한 테스트 알고리즘을 구현하게 될 것이다. 시스템 레벨의 단계적인 신호 충실성 점점 절차도 당연히 테스트 과정에 포함되며, 이 과정에서 신호처리와 같은 상당히 비 이산적인 요소의 개입을 고려해야 할 것이다.

메모리 테스트의 속제로서 등장한 것이 저전력

화에 따른 동작전압의 감소와 저전력화 회로들의 고장을 모델화하여 알고리즘과 연결하는 문제이다. 먼저 저전압화에 의한 신호크기의 절대적 감소를 감안한 고장 유형을 정립하여 물리적인 오동작과 연계시켜서 테스트의 정당성과 효율을 높이는 일이다. 두 번째 속제는 전하재 사용과 같은 저전력화 회로의 고장과 결함을 모형화하여 오동작 검출에 이용하기 위한 회로모형의 완성이다. 이 두분야는 현재 도입단계로서 현장에서의 결함이 구체적으로 정립되기 시작하고 있어서 보다 현실적인 테스트 방식의 도입까지는 시간적인 여유가 있다고 본다.

IV. 결 론

Memory 테스트의 품질향상과 비용절감을 위하여는 고장 model, 테스트 pattern 도출, 그리고 효과적인 테스트 circuit 등의 문제가 함께 고려되어야 한다. 대용량 memory의 제조 비용에서 테스트 비용의 증가가 극심해지고 있기 때문에, 테스트 비용의 절감여부가 시장경쟁력 결정의 주요한 요인으로 작용하고 있다. 또한 일반적인 테스트 방식이 요구하는 긴 테스트 시간을 줄이기 위한 방법으로 간단한 테스트만을 실시하기 때문에 테스트 품질의 열화가 나타나고 있다. 따라서 테스트 품질의 적절한 보장도 중요한 문제로 떠오르고 있다. 여기에 덧붙여서 응용분야별 동작환경을 고려한 테스트의 문제까지 다루어야 하게 되었다. 이것은 memory의 고속화, 응용분야 다변화에 따른 전용화가 이루어지면서 심각하게 나타나는 문제가 될 것이다. 따라서 테스트는 요구되는 테스트 품질에 따라 차별화가 이루어져서 허용되는 비용의 범위 내에서 이루어져야 할 것이다.

테스트 품질의 차별화에 관하여 이미 완구등에서의 음성저장용 memory의 경우 상당량의 내부 결함이 있어도 음질에 영향이 없는 것으로 알려져 있으며 여기에 대한 테스트 방법도 제시되고 있는 것이 현실이다. 반면에 고속 정보처리와 의료기기

등 인명과 연관된 분야에서는 고도의 테스트가 요구되고 있다. 응용분야별 테스트 품질의 차별화는 고장의 model 정립에 영향을 주게 되는데, 과거 논리회로에서 원용된 stuck-at type 고장보다 더 완화된 고장 model의 등장을 보게 되었다.

Memory chip의 테스트에 있어서 요구되는 새로운 목표는 이들이 이미 단독 칩상태에서의 테스트만으로는 다양한 용도와 기능에 따른 경제성을 유지할 수 없다는 것이다. 경우에 따라서는 기존의 테스트 보다 강화된 알고리즘이 요구되며, 아날로그 메모리의 경우에는 과도한 테스트는 경제성을 저해하는 것이다. 통신 프로토콜을 채택한 메모리와 고속 메모리의 경우 시스템레벨의 기능 검증이 필요하며, 아울러 고속시스템 차원에서의 신호 충실성을 단계적으로 확인하는 과정이 추가되는 것이다. 메모리 테스트는 메모리의 용도와 성능이 향상되는데 따른 부담을 경제성의 측면에서 다시 검토해야 하는 단계에 와 있다.

참 고 문 헌

- [1] M.S.Abadir and H.K.Reghbati, "Functional testing of semiconductor random access memories", ACM Computing Survey, vol. 15, no. 3, pp. 175-198, Sept. 1983.
- [2] M.F.Chang, W.K.Fuchs and J.H.Patel, "Diagnosis and repair of memory with coupling faults," IEEE Tr. Comput., vol. 38, no.4, pp.493-500, April 1989.
- [3] S.Chou et al., "A 60-ns 16Mbit DRAM with a minimized sensing delay caused by bit line stray capacitance," IEEE J. Solid State Circuits, vol. 24, no. 5, pp. 1176-1183, Oct. 1989.
- [4] R. T. Crowley, T. W. Goodman and E. J. Vardaman, Chip Size Packaging Developments, TechSearch International, Aug. 1995.
- [5] R. David and A. Fuentes, "Fault diagnosis of RAM's from random testing experiments," IEEE Tr. Comput., vol. 39, no.2, pp.220-229, Feb. 1990.
- [6] R. Dekker, F. Beenker and L. Thijssen, "A realistic self-test machine for static random access memories", IEEE Test Conf., pp. 353-361, Sept. 1988
- [7] M. Franklin, K. K. Saluja and K. Kinoshita, "A built-in self-test algorithm for row/column pattern sensitive faults in RAM", IEEE J. Solid State Circuits, vol.25, no.2, pp. 514-524, April 1990.
- [8] K. Furutani et al., "A built-in Hamming code ECC circuit for DRAM's", IEEE J. Solid State Circuits, vol. 24, no. 1, pp. 50-56, Feb. 1989.
- [9] T. Furuyama et al., "A latch-up-like new failure mechanism for high-density CMOS dynamic RAM's", IEEE J. Solid-State Circuits, vol. 25, no. 1, pp.42-47, Feb. 1990.
- [10] J. P. Hayes, "Detection of parttern sensitive faults in random access memories," IEEE Tr. Comput., vol. C"24, no. 2, pp. 150-157, Feb. 1975.
- [11] F. Hii, T. Powel and D. Cline, "A built-in self-test scheme for 256Meg SDRAM", IEEE Int'l Workshop on Memory Technology, Design and Testing, pp. 15-21, Aug. 1996.
- [12] T. Katayama et al., "A new failure mechanism related to grain growth in DRAMs", IEEE 29th Proc. of Reliability Physics Symposium, pp. 183-187, April. 1991.
- [13] S. Kikuda et al., "Optimized redundancy selection based on a failure related yield model for 64Mb DRAM and beyond," Digest of Papers IEEE Int'l Solid State Circuits Conf., pp. 104-105, Feb. 1991.

- [14] H. Koike et al., "A 30ns 64Mb DRAM with built-in self-test and repair function," ISSCC Digest of Tech. Papers, pp. 150-151 and 270, Feb. 1992.
- [15] K. Itoh, "Trends in low power RAM circuit technologies", IEEE Proceedings, vol. 83, no. 4, pp. 524 - 543, April 1995.
- [16] T. C. Lo and M. R. Guidry, "An integrated test concept for switched capacitor dynamic MOS RAM's," IEEE J. Solid State Circuits, vol. SC-12, no. 6, pp. 693-703, Dec. 1977.
- [17] Y. Matsuda et al., "A new architecture for parallel testing in VLSI memories", IEEE Test Conf., pp. 322-326. Aug. 1989.
- [18] P. Mazumder and J. S. Yih, "A novel built-in self-repair approach to VLSI memory yield enhancement", Int'l Test Conf., Proc. pp. 833-841, Sept. 1990.
- [19] F. Miyaji et al., "A multibit test trigger circuit for megabit SRAM's", IEEE J. Solid-State Circuits, vol. 25, no. 1, pp.68-71, Feb. 1990.
- [20] S. Mori et al., "Threshold voltage instability and charge retention in nonvolatile memory cell with nitride/oxide", IEEE 29th Proc. of Reliability Physics Symposium, pp. 175 - 182, April. 1991.
- [21] J. Savir, W. H. McAnney, and S. R. Vecchio, "Testing for coupled cells in random-access memories", IEEE Tr. Compt., vol. 40, no. 10, pp. 1177-1180, Oct. 1991.
- [22] T. Takeshima et al., "A 55ns 16Mb DRAM with built-in self test function using microprogram ROM", IEEE J. Solid State Circuits, vol. 25, no. 4, pp. 903-911, August 1990.
- [23] A. Tejeda and G. Corner, "New generation test systems meet VRAM testing challenge," Asian Electronics Engineers, vol. 4, no. 6, pp. 148-152, Sept. 1991.
- [24] A. J. van de Goor, Testing Semiconductor memories ;Theory of Practice, John Wiley & Sons, 1991.
- [25] T. Wada et al., "Variable bit organization as a new test function for standard memories", IEEE J. Solid State Circuits, vol.26, no. 1, pp. 51-53, Jan. 1991.
- [26] H. You and M. Soma, "Crosstalk and transient analyses of high-speed interconnects and packages", IEEE J. Solid-State Circuits, vol. 26, no.3, Mar. 1991.
- [27] Y. You and J. P. Hayes, "Implementation of VLSI self-testing by regularization", IEEE Tr. CAD, vol.19, no.12, pp.1266-1271, Dec. 1988.
- [28] Y. You, "Testing of memories with tolerable defects", Int'l Conf. on Elect., Info. and Comm., pp.214-217, Yanji, China, Aug. 23, 1991.
- [29] Y. You, "Multi-mega bit memory test technology", SEMICON/KOREA '91, Technical Symposium, pp. IV:22-31, Sept. 1991.
- [30] 안승환, "고속 DRAM 신기술 SyncLink 동향", 공학기술, 제 3 권, 3/4호, 100-107쪽, 1996년

저자 소개



劉 泳 甲

1948年 3月 22日生
 1975年 서강대학교 전자공학과 졸업(공학사)
 1981年 미시간 대학교(미국) 전기전산공학과(공학석사)
 1981年 미시간 대학교(미국) 전기전산공학과(공학박사)

1975年 8月~1979年 8月 국방과학연구소 연구원
 1986年 2月~1988年 2月 (주)LG 반도체 책임연구원
 1988年 3月~현재 충북대학교 전기전자공학부 교수
 1988年 10月~1989年 12月 (주)한국실리콘 기술고문
 1993年 1月~1994年 12月 대한전자공학회 충북지부장
 1993年 8月~1994年 8月 아리조나대학교(미국) 객원교수
 1994年 5月~1995年 4月 Radiance Communications, Inc/. (미국) 기술고문

주관심 분야: computer architecture, memory testing, 고속시스템 설계, HDTV, ATM
 가변의 항공기 제어 등



韓 善 景

1969年 11月 1日生
 1991年 충북대학교 정보통신공학과 졸업(공학사)
 1993年 충북대학교 정보통신공학과(공학석사)
 1997年 충북대학교 정보통신공학과(공학박사수료)

주관심 분야: computer architecture, memory testing 고속시스템 설계 등