

---

# 디지털 지연동기루프(DDLL)를 이용한 전력선 전송시스템의 구현

오호근\*, 정주수\*\*, 변건식\*\*\*

## Implementation of Power Line Transmission System Using DDLL

Ho-Keun O\*, Joo-Soo Jeong\*\*, Kun-Sik Byon\*\*\*

### 요약

스펙트럼 확산통신(SS)은 CDMA 시스템의 핵심기술이다. 그러나, 스펙트럼확산 통신 방식에 있어서 가장 중요한 문제는 동기방식이다. 동기방식에는 Delay Locked Loop (DLL), Tau-dither, SO(Synchronous Oscillator) 등이 있다. 그러나, 이러한 것들은 아날로그 동작이기 때문에 조정이 어렵고 크기가 크다는 단점이 있다.

본 연구에서는, Digital Delay Locked Loop (DDLL)을 설계 제작하고 그의 성능을 전력선 전송시스템 실험을 통하여 평가하였다.

### Abstract

Spread Spectrum Communication is a core technique in CDMA system, but the problem for SS Communication schemes is synchronous method. There are DLL, Tau-dither, SO etc, in the synchronous method. But since there are analog operations, the settling is difficult and size is large. In this paper we realized Digital Delay Lock Loop (DDLL) and estimated it's performance through the Power line experiment.

---

\* 동아대학교 전자공학과 석사과정

\*\* 동아대학교 전자공학과 박사과정

\*\*\* 동아대학교 전자공학과 교수

접수일자 : 1997년 9월 19일

I. 서 론

스펙트럼 확산(Spread Spectrum : SS) 통신은 최근 CDMA로 잘 알려져 있는 시스템의 핵심기술이다.<sup>[4]</sup> SS통신은 방해에 강하고 선택호출 할 수 있는 등 열악한 환경 하에서의 통신에 적용할 수 있는 통신방식 중의 하나이다. 그러나 SS 통신 방식에서 가장 문제가 되는 것은 동기이다. 스펙트럼 확산통신은 그 성질상 동기하고 있지 않으면 통신할 수 없다. 스펙트럼 확산 통신의 동기를 해결하는 방법으로 지금까지 DLL(Delay Lock Loop), Tau-dither, 동기발전기(SO)등의 방식이 있다.<sup>[1][7]</sup> DLL은 Tau-dither방식에 비해 변환 손실이 3dB 우수하나 2 channel의 평형을 이루는 문제가 매우 난해하며 또한 회로 크기가 매우 크고 조정이 어렵다는 단점이 있다.<sup>[7]</sup>

Tau-dither회로는 DLL에 비해 변환 손실이 있지만 회로가 간단하고 조정이 용이한 장점이 있다. 또한 동기발전기는 주파수 추적범위가 넓고 감도가 매우 우수하나 안정하지 못하고 입출력간의 위상차가 있다. 그러나 위의 모든 방법은 아날로그적인 동작을 하기 때문에 조정이 어렵다는 문제가 있다. 본 논문에서는 새로운 Digital Delay Lock Loop(DDLL)을 구성하여 실험하며 응용분야로 전력선통신에<sup>[8][9][10]</sup> DDLL을 적용하였을 때의 결과를 제시하였다.

II. DDLL을 이용한 전력선 송수신 회로

1. 송신부

그림1은 DDLL을 이용한 전력선 통신 시스템을 보이며 그림 2는 시스템의 송신부를 보인다.

시스템 클럭(11.0592MHz)에서 분주된 클럭(3.6 KHz)이 들어오면 하강 에지에서 카운터의 값들이 하나씩 증가하게 되며 이때 발생하는 카운터 값들은 ROM(27256)의 어드레스에 접속된다. 각각 63주기 코드를 가지는 63개의 Gold 부호는 시스템의 입출력 어드레스 6800h에서 63개 중의 하나를 선택해서 사용할 수 있도록 래치회로를 두었다. 어드레스가 선택되면 선택된 63개 중 하나의 63주기의 PN코드가 출력될 것이다. 또한 ROM에서 출력되

는 출력값들은 완전히 동기된 구형파로 만들지 못하므로 동기부에서 시스템 클럭이 상승에지에서 동기를 맞추어서 PN코드를 출력하도록 구성하였다. 어드레스 발생부에서 63주기를 갖는 신호를 계속적으로 선택하기 위해서는 루프를 구성하여 63주기의 값들이 ROM에서 출력되도록 회로를 구성하였다.

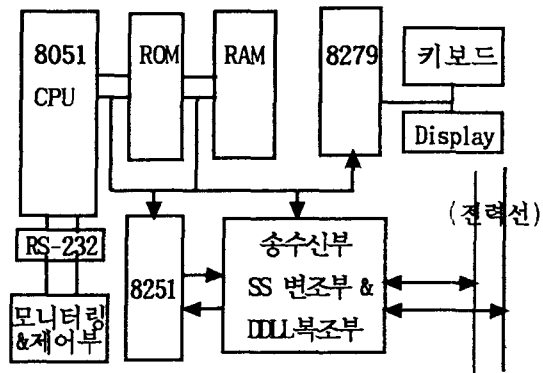


그림 1. DDLL을 이용한 전력선 통신 시스템의 구성도  
Fig. 1. Power line communication system diagram using the DDLL

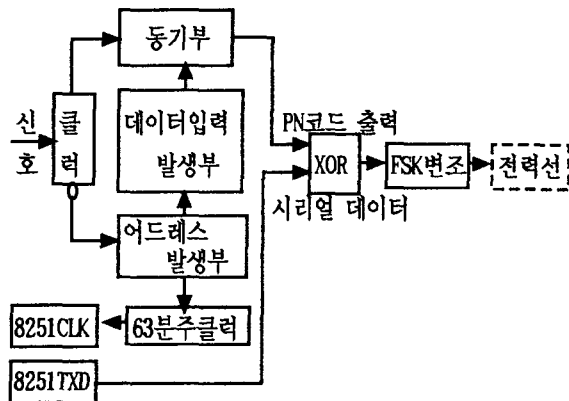


그림 2. 전력선을 이용한 송신부 구성도  
Fig. 2. Transmitter diagram using power line

그리고 어드레스 발생부로부터 63주기 마다 출력되는 펄스를 이용하여 이를 8251의 통신 클럭으로 공급하도록 하였다. 이것은 출력되는 한 비트마다 63주기의 PN코드가 입력되는 것이다. 그리고

CPU로부터 8251에 임의의 데이터가 병렬로 전송되어지면 8251은 63주기 클럭에 동기되어 8251 TXD로 출력되어질 것이며, 출력된 값은 송신부의 입력으로 보내지며 이때 직렬 데이터 비트열과 PN 코드는 XOR(Exclusive-OR)되며 FSK 변조되어 전력선으로 출력된다.(FSK는 LM1893을 이용하였다.)

### 2. PN코드 선택회로

프로세서로부터 PN코드를 선택하기 위해서 6800H 번지에 선택값을 먼저 써주어야 한다. 6800H 번지는 74139로부터 출력되는 CS5를 74374의 출력 인에이블(OC)단자에 연결되어 선택한다. 그리고  $\overline{WR}$  제어선을 CLK단자에 연결함으로써 원하는 데이터가 래치되어 출력된다. 그림3에 PN코드선택회로를 보인다. 74374로부터 출력되는 값들은 ROM의 상위 번지를 가르키며 63중 임의의 PN코드를 선택하게 된다.

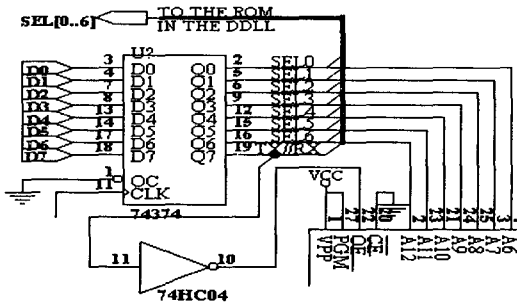


그림 3. 송신 PN코드 선택 회로  
Fig. 3. Selection of transmission PN code

### 3. PN코드 발생 회로

레지스터의 초기값에 따라서 PN코드는 서로 다른 값들이 출력되므로 레지스터에 1~63의 값을 초기값으로 하는 63주기 값들의 프로그램을 C언어로 작성하여 63가지의 경우의 수를 만들어 앞으로의 다중 채널 실험을 위해 ROM 구성하였다. 본 논문에서는 DDLL의 성능평가만을 위해 1개의 PN 코드를 사용했다. ROM을 사용한 PN코드 발생회로도 그림4와 같다.

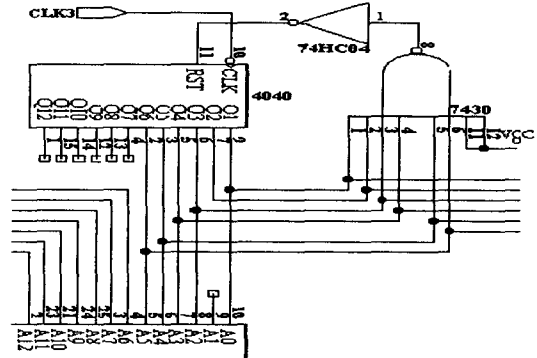


그림 4. 송신 PN 코드 회로  
Fig. 4. Transmission PN code generation circuit

분주 클럭은 4040카운터로 입력되며 하강 에지에서 카운터 동작을 시작한다. 4040의 Q1~Q6출력은 ROM의 어드레스 A0~A5에 연결되어 있으며 63주기의 loop를 구성하기 위하여 8입력 NAND 7430을 이용하여 카운터의 Q1~Q6값이 모두 high 일때 7430의 출력은 low가 되도록 하였다. 4040에서는 모두 0을 출력하는 리셋신호인 RST입력은 high일 때이므로 반전 게이트를 사용하여 RST단자에 연결하였다. 따라서 하나의 63주기 루프가 구성되며 ROM출력은 주기를 갖는 데이터 값을 출력한다. PN코드 동기회로는 D-FF를 사용하여 XOR에 의해 8251로부터의 데이터와 PN코드가 스펙트럼 확산된다.

## III. 수신부

스펙트럼 확산된 신호는 PN 코드를 역확산하여 제거함으로써 복원된다. 기존의 PN역확산 회로는 서로 장단점이 존재하지만 모두 아날로그 회로이기 때문에 조정개소가 많아 어려우며 본 논문에서는 디지털 DLL을 설계 실험한다.

### 1. DDLL(Digital Delay Lock Loop)

그림 5는 본 논문에서 제시한 DDLL의 구성도를 나타낸다. LM1893에 의해 복조된 PN코드와 데이터는 시스템 자체 CLOCK(11.0592MHz)과 함께 새로운 동기 클럭(SYN.CLOCK)을 발생하게 된다.

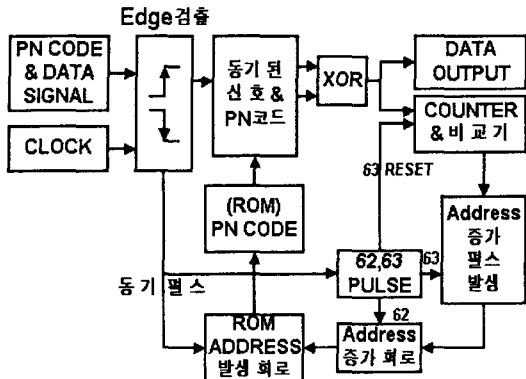


그림 5. DDLL의 구성도  
Fig. 5. DDLL Diagram

이 클럭은 PN코드가 들어 있는 ROM에서 PN코드를 만들게 되며, 입력 신호와 자체 발생 PN코드와의 XOR으로 코드비교를 시작한다. 비교된 펄스 신호는 63주기 리셋후 곧 카운트 된다. 그리고 카운터에 입력된 펄스신호는 비교기에 의해서 펄스 비교에 들어간다. 63 펄스동안 비교 값과 같거나 또는 전부 틀린 경우라면(이때 비교값은 000010) 어드레스 증가 펄스 발생 회로에서 펄스를 만들지 않으며, 만약 비교된 값의 변화가 앞의 두 경우가 아닌 완전히 맞던지 완전히 틀린 경우 이외의 값이 발생하면 62 주기에 의해서 어드레스 증가 펄스를 발생하게 된다. 따라서 이 펄스가 발생함과 동시에 어드레스는 하나 증가하게 되고 곧 증가한 어드레스는 PN코드를 발생하는 어드레스로 로딩된다. 이러한 LOOP를 계속적으로 몇 번 반복 동작후 LOCK이 되며, LOCK이 된 경우는 PN코드가 벗겨진 데이터가 출력된다. Lock이 된 후 (Lock pin은 "LOW"가 됨)비교기에 의해 판단된 값은 변화 없는 상태로 어드레스 증가 클럭에 공급되므로 어드레스의 증가는 없고 또한 어드레스의 로딩도 없게 된다. Lock을 찾기위해서 위의 과정을 반복하여 최악의 경우 63번까지 해서 자기 코드를 찾게된다.

2. 세부 회로 동작

- (1) 클럭 발생회로 및 동기용 에지 검출회로  
전력선 사용주파수에는 외국의 경우 제한이 있

으므로 (약 455KHz 미만) 시스템으로부터 입력된 클럭은 7493을 통해서 분주하여 동기 클럭을 발생하도록 했다. 시스템 출력은 11.0592 MHz를 사용하였으며 에지 검출시 입력되는 신호는 TTL레벨로 입력되어야 한다. 7474는 에지 검출이 있을 때 짧은 펄스를 발생하고 곧 "LOW"상태로 된다. 그림 6은 에지 검출회로 및 지연 동기 클럭 발생 회로의 타이밍도이다.

에지 신호를 감지하기 위해서 7474의 D-FF의 입력을 Vcc로 하였다. 하강과 상승 에지가 있기 때문에 두가지의 경우에 모두 출력단에 변화가 있도록 두 개의 D-FF을 사용하였다. 어느 쪽의 D-FF에서 출력값"1"이 발생하면 에지 신호가 검출된 경우이므로 74193의 ABCD 핀의 값들이 출력에 나타나게 된다. 그리고 7492의 출력 핀이 모두 "0"으로 셋팅되고 카운터를 계속하게 된다. D-FF은 또다시 리셋되므로 다음 펄스의 에지를 검출할 수 있게 된다. 74193의 ABCD 단자에는 1의 값으로 고정 했지만 DIP S/W에 의해서 load되는 지정값을 조정할 수도 있다. 이것은 입력 펄스들의 값이 어느정도 오차를 보정할 수 있음을 말한다. PN코드 값에는 "1" 또는 "0"의 값이 연속적으로 이어질 경우도 있다. 이때는 그림 6과 같이 상승 또는 하강 에지가 계속적으로 발생하지 않으므로 이전의 에지에 의해 동기된 클럭을 발생하도록 되어져 있다.

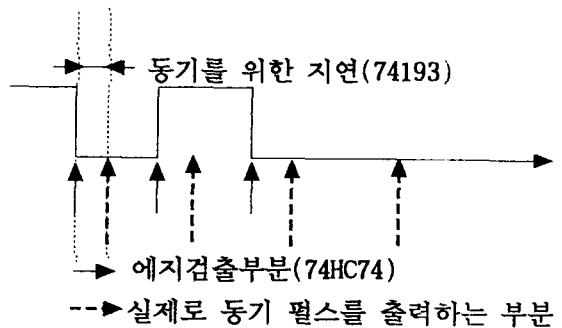


그림 6. 에지검출 회로 및 지연 동기 클럭 발생회로의 타임 차트  
Fig. 6. Time chart of edge detection & delay synchronous clock generation

(2) 수신 PN코드 발생부

본 논문의 PN코드는 시프트 레지스터의 초기값에 0이 아닌 값을 넣어서 만든 63개의 PN코드를 ROM에 입력하여 63개중 하나를 어드레스 방식으로 선택하도록 되어 있다. ROM의 데이터는 ROM의 D0핀으로 출력되며 동기를 위해 D-FF의 입력으로 들어간다. 어드레스 선택은 시스템 I/O 어드레스 6800h에서 선택할 수 있도록 구성 되어져 있다.

그림 7은 PN 코드 선택과 롬 어드레스 선택 회로를 보이고 있다. 74193의 왼쪽 6개 라인은 어드레스의 출력으로 어드레스 A0-A5까지 연결되어져 있어서 롬의 어드레스 선택으로 카운터 동작을 하게된다. 또한 7430은 NAND 게이트로써 6개의 어드레스 선택의 값들이 모두 '1'(high)이 된 경우 low값이 출력되어 74193의 값들을 '0'으로 리셋시켜준다. 또한 라벨 '/SYN. CLOCK'는 그림 7의 하단에 있는 부분으로 동기 클럭의 반전 상태로 어드레스 카운터의 클럭으로 공급된다. 즉, 이 클럭은 'SYN CLOCK'의 하강 에지에서 동작하는 부분에서 입력을 받게 된다. LOAD신호는 Lock이 안된 상태에서 PN 코드의 비교후 어드레스 증가 회로로부터 입력될 값을 74193이 어드레스로써 받아들이는 신호 입력 단자이며 라벨 'LOCK CHECK'의 상태가 'LOW'일 때 lock이 된 상태이다.

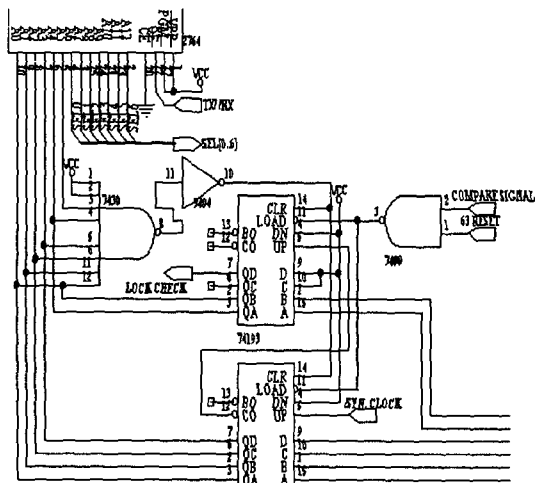


그림 7. PN 코드 출력 및 롬 어드레스 선택 회로  
Fig. 7. PN code output and ROM address selection

(3) XOR 회로

그림 8은 PN코드와 데이터가 합쳐진 입력 신호와 (2)에서 발생한 PN코드와의 신호를 XOR하는 회로이다. (1)에서 동기된 클럭의 상승 에지에서 D-FF의 클럭으로 입력하여 같은 시점에서 XOR 출력을 얻도록 했다.

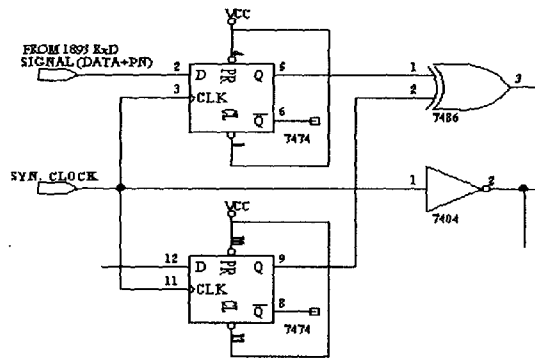


그림 8. PN 코드와 입력신호와 XOR회로  
Fig. 8. XOR operation between PN code and input signal

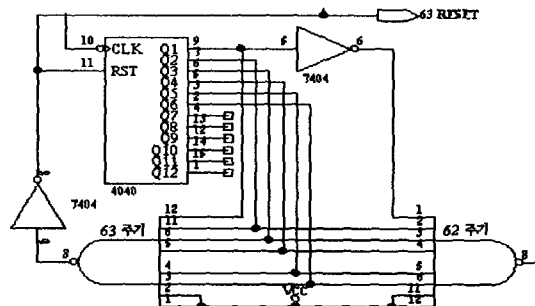


그림 9. 62,63주기 펄스 발생회로  
Fig. 9. 62,63 period pulse generator

(4) 62,63 루우프 주기 회로

그림 9는 카운터의 초기화를 하므로써 PN 코드의 비교 판단을 위한 펄스를 발생하는 부분이다. 루우프를 형성하는 이 회로는 동기 클럭의 하강 에지에서 루우프의 클럭 입력(4040)으로 공급된다. 또한 롬 어드레스의 루우프 63주기 신호가 게이트를 통해서 4040 RST단자로 입력된다. 63주기의

신호가 발생하면 카운터(4040)의 RST입력으로, 62 주기의 펄스 발생은 카운터로 또는 비교기로 부터 어드레스 증가 선택 펄스로 작용하게 된다. 62, 63 주기의 타임 차트는 그림 10에 표시하였다. 여기서 7400의 NAND 게이트는 NOT게이트 대신으로 사용되었다.

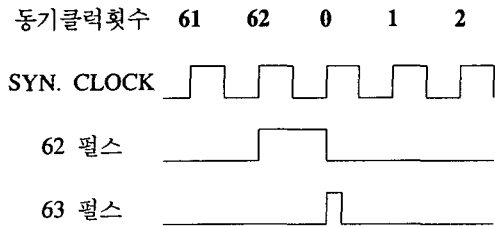


그림 10. 62, 63 주기 타임 차트  
Fig. 10. 62,63 period time chart

(5) 펄스 카운터 회로

그림 11은 XOR로부터 출력된 값을 카운터의 입력으로 보내기 위한 회로를 나타낸다. 여기서 주의 할 것은 동기 클럭의 하강 에지에서 D-FF의 클럭을 사용하는 점이며, 이것은 그림 7에서와 같이 자체 발생하는 롬 PN 코드의 최종 출력부의 상승 에지의 동기 클럭과 차이를 두어서 논리적인 구성이 되도록 했다. 4040의 RST단자는 63주기 회로로부터 입력되는 부분으로 63카운터의 출력의 high에서 초기값을 가지도록 하는 입력단이다.4040 입력의 RST신호가 63주기의 상승 펄스 입력이 된 후 비로소 카운터에는 올바른 값들을 카운터하게 된다.

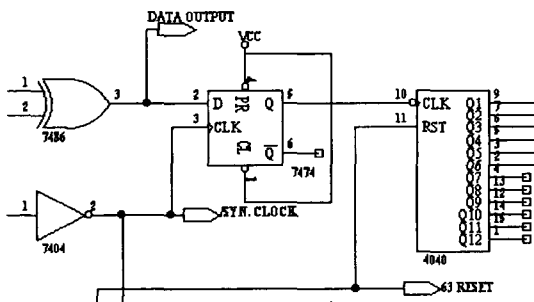


그림 11. 카운터 회로  
Fig. 11. counter circuit

(6) 비교회로

그림 12는 카운터로부터 입력된 값과 비교기의 비교값과의 비교를 위한 회로이다. 입력부에서는 XOR에 의해서 비교된 값들을 D-FF를 사용하여 SYN. CLOCK의 1/2칩 지연된 위치에서 비교된 값을 출력하도록 했다. 비교회로는 두가지로 구분될 수 있는데, 이는 PN 코드가 완전히 같은 경우와 완전히 틀린 경우에는 카운터의 값에 아무값이 입력되지 않을 것이며, 만약 서로의 PN 코드가 틀린 경우는 카운터의값이 증가된 상태가 될 것이다. PN 코드가 틀린 경우는 1이상의 값이 들어오게 될 것이다.

표 1. 비교기 출력 상태  
Table 1. comparator output state

입력 PN ⊕ ROM PN 비교 값	비교 값 출력(A>B)	NOT	비고
0-2(모두 같거나 틀린 경우)	LOW	HIGH	LOCK이 됨
3이상 (LOCK이 안된 경우)	HIGH	LOW	LOCK이 안됨

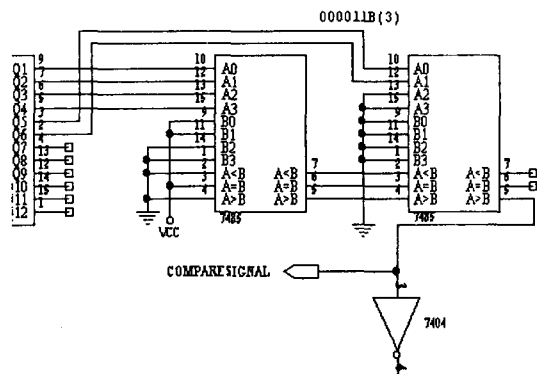


그림 12. 카운터에 의한 비교기  
Fig. 12. Comparator of the counter

PN 코드는 어느 정도의 잡음 영향이 있을 수 있으므로 비교값에 따라서 융통성을 둘 수가 있도록 구성할 수 있기 때문에 LOCK이 된 경우 비교값을 2이하로, LOCK이 안 된 경우 3이상으로 조정하였다. 7485 첫 번째와 두 번째는 서로의 조합으로 4040의 카운터로부터 출력되는 값을 비교할

수 있는 8비트 비교기를 구성되며(여기서는 6비트 만 비교), 또한 비교값의 허용 범위는 DIP S/W로 셋팅할 수가 있다. 비교된 값은 곧 출력되어지며 62주기 펄스에 의해서 펄스로 만들어지게 된다.

(7) 어드레스 증가 펄스 발생회로

(6)에서 비교된 값들은 NOT게이트를 통해서 표 1 과 같은 상태를 보이게 된다. 어드레스 증가 동작은 다음과 같다. 비교된 값들이 7474 D-FF의 입력에서 있다가 62주기 펄스의 시작점에 의해서 결과가 출력된다. 그리고 63주기 펄스에 의해서 D-FF의 출력을 HIGH로 만들므로 비교하는 PN 코드가 틀린 경우는 펄스가 발생하게 된다. 만들어진 하나의 펄스는 4040 카운터의 CLK로 입력되어 롬 어드레스로 사용될 어드레스의 값이 하나 증가하게 된다. 또한 초기에는 4040의 임의의 값으로부터 LOCK을 찾아 갈 것이다. 그리고, 표 1의 'LOW', 'HIGH'의 결과 값은 74193의 LOAD 핀의 제어용으로 사용된다.

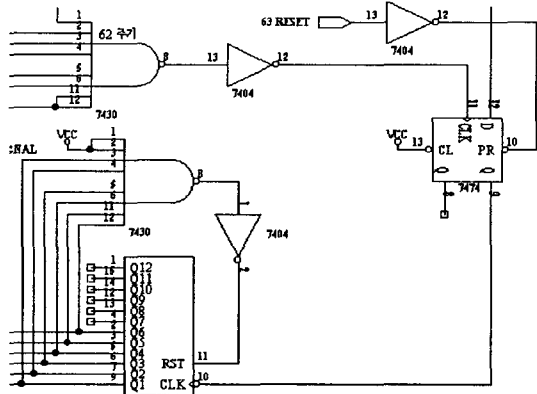


그림 13. 어드레스 증가회로  
Fig. 13. Address increment circuit

(8) 롬 어드레스 로딩

앞에서 만들어진 펄스 생성에 의해서 어드레스 로딩용 카운터의 값은 증가 혹은 그대로의 값을 가지게 된다. 만약 62번 동안의 카운터 비교의 결과로 하나의 펄스가 발생하면 63주기 리셋 펄스에 의해서 그림 14와 같이 동작하여 그림 15의 74193

LOAD 핀에 신호를 보내게 된다. Lock이 안된 경우는 4040의 출력값이 74193으로 로딩이 되고, 계속해서 앞의 동작을 반복할 것이다. 만약 Lock이 된 경우면 63주기 리셋 펄스가 입력이 되더라도 LOAD 신호는 HIGH에 머무르게 될 것이다. 그림 15는 어드레스 로딩 제어신호의 회로부를 보이고 있다. 그리고 LOAD핀은 63 RESET과 비교값과 함께 NAND로 조합되어져 있다.

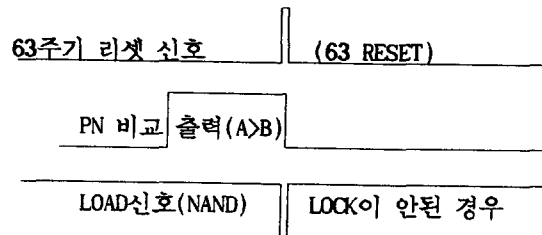


그림 14. 어드레스 로딩 제어신호  
Fig. 14. Address loading control signal

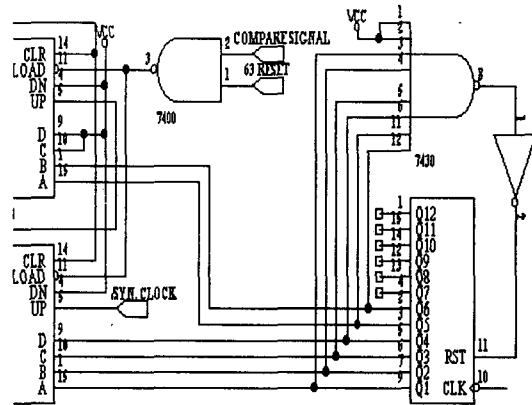


그림 15. 어드레스 로딩 제어회로  
Fig. 15. Address loading control circuit

(9) DLL 복조 출력

63주기의 루우프를 계속적으로 동작을 한 후에는 어느 한 시점에서 LOCK(active low)이 될 것이고, LOCK신호에 의해서 출력을 뽑아내면 된다. XOR의 결과와 LOCK의 출력과의 3-STATE 조합을 구성하여 시스템의 RxD단으로 보내지게 된다.

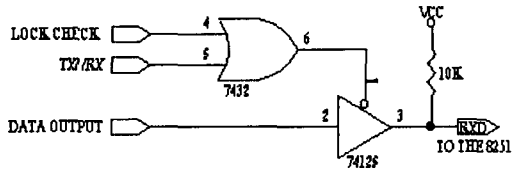


그림 16. DDLL 복조 출력  
Fig. 16. DDLL demodulation output

(10) DDLL 타이밍 차트

앞의 각 부분에 대한 타이밍 차트를 아래와 같이 나타내었다.

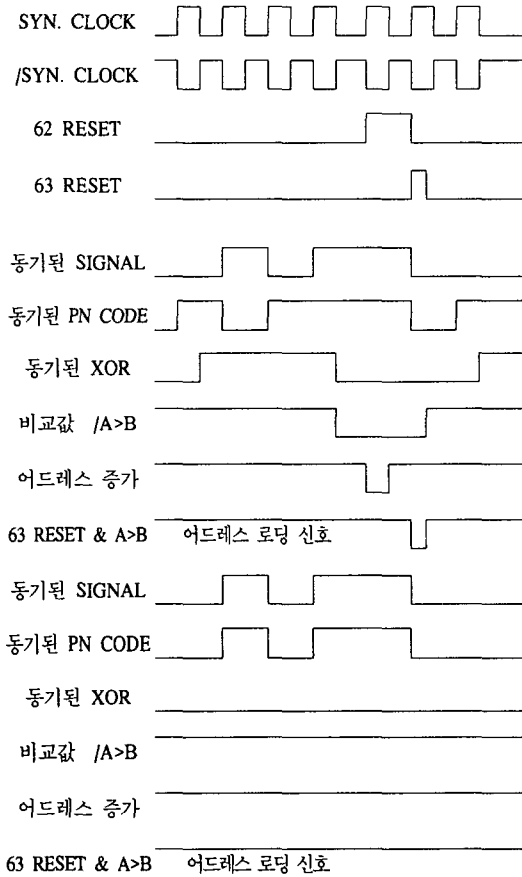


그림 17. 타임 차트 UNLOCK(UP),LOCK(DOWN)  
Fig. 17. Time chart with unlock(up) or lock (down)

IV. 실험 및 검토

본 논문에서는 제안한 디지털 DLL의 성능을 평가하기 위하여 디지털 DLL를 이용한 전력선 통신시스템을 구성하였다. 시스템은 풀링방식으로 구성하였으며 단말은 host에서 address가 할당될 때만 송신을 하게 되어 있다. 송수신부에 들어가는 PNG는 63주기의 PN Gold부호를 63개 발생하여 ROM에 입력하였으며 본 논문에서는 디지털 DLL의 성능을 평가하기 위해 한 개의 PN코드만을 사용하였다. CPU CLK은 11.0592 MHz, 8251의 CLK는 921.6KHz, PNG CLK는 3.4KHz를 사용하였다. 실험결과 그림18은 수신기의 PN+data와 수신기 ROM의 PN code는 일치하기 때문에 이 두파형을 XOR하면 데이터는 0이 됨을 알 수 있으며 그림19는 PN+data와 수신기 ROM의 PNG가 반전되어 있기 때문에 데이터는 1임을 알 수 있다. 그림20은 부하가 없을 때 80M지점에서 수신하였을 때 송신 PNG와 수신부 입력파형을 나타내며 FSK되어 있음을 알 수 있다. 그림21은 240M지점에서의 수신 PNG와 FSK파형을 나타내며 아래 그림은 그의 스펙트럼을 나타내며 FSK스펙트럼을 볼 수 있다. 그림22는 240M의 송수신점 사이에 1KW의 부하를 연결하였을때의 파형으로 스펙트럼 밀도가 저하함을 알 수있으나 복조할 수 있었다. 실험 결과 현재의 속도로 1KW정도의 부하가 송수신기 사이에 있을 때 정상적인 통신이 되며, 송수신점밖에 부하가 있을때는 거리에 무관하게 통신가능 상태가 된다. 상기와 같이 제한한 디지털 DLL은 디지털 논리적으로 동작이 수행되므로 다른 PN동기 회로 보다 동작이 우수하고 제작이 간편하다는 장점이 있다.

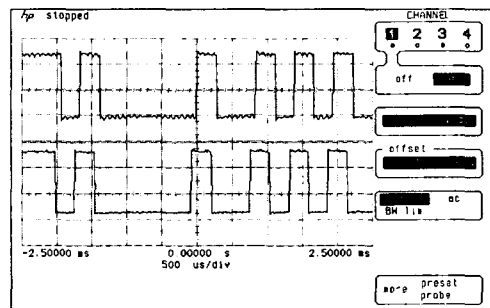


그림 18. 상단(PNG+DATA), 하단(ROM의 PNG출력)  
Fig. 18. Up(PNG+DATA), down(PN code output)



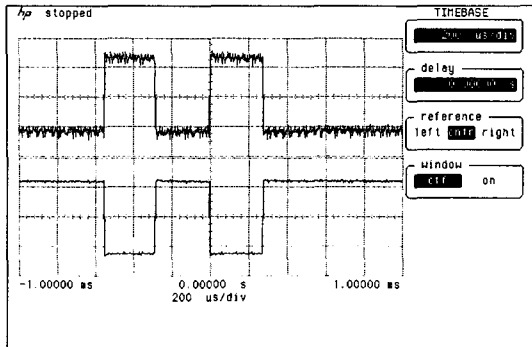


그림 19. 상단(동기에 의한 PNG+DATA), 하단(ROM의 PNG출력)

Fig. 19. Up(PNG+DATA by synchroness), down(PN code output from ROM)

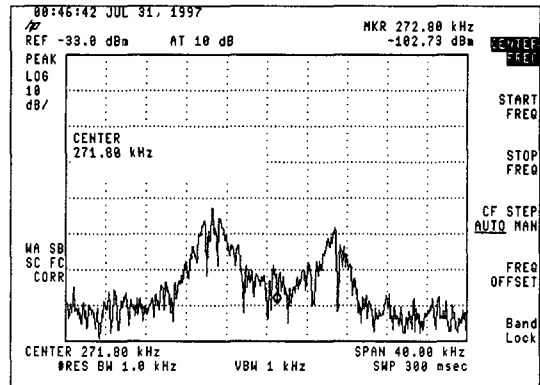


그림 21. (b)240M 송수신거리에서의 스펙트럼 (무부하시)

Fig. 21. (b) spectrum within 240M (unloading)

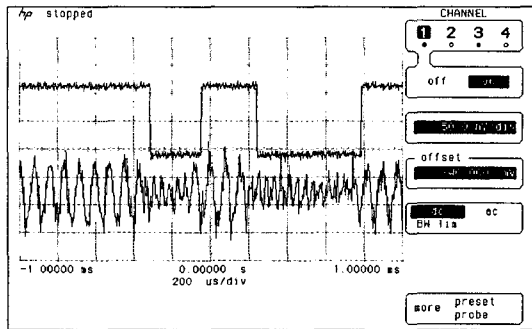


그림 20. 80M 송수신거리에서의 PNG와 송신파형 (무부하시)

Fig. 20. PN code and transmission waveform within 80M (unloading)

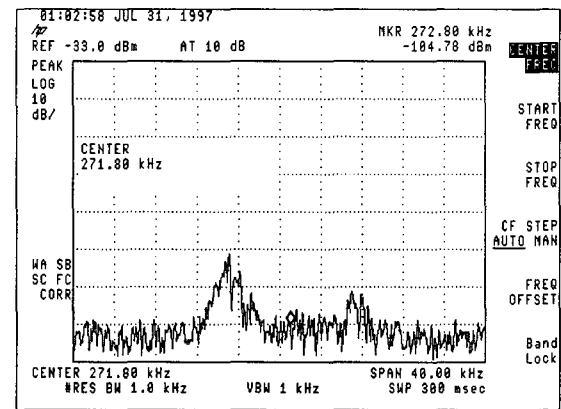


그림 22. 송수신거리 240M사이에서 1KW의 부하가 연결된 출력파형

Fig. 22. waveform with 1KW load within 240M

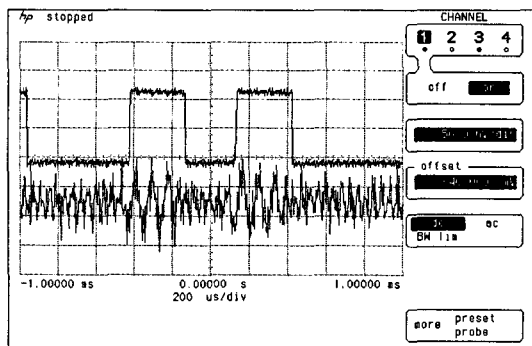


그림 21. (a)240M 송수신거리에서의 PNG와 송신파형 (무부하시)

Fig. 21. (a) PN code and transmission waveform within 240M(unloading)

## V. 결론

본 논문에서는 제안한 디지털 DLL은 기존의 PN 동기회로인 DLL, Tau-dither, 동기발전기등에 비해 동작이 확실하며 논리회로에 의해 디지털적으로 처리하기 때문에 조정이 쉽고 성능이 뛰어난을 알 수 있다. 그러나 이 회로는 coherent시스템에서만 적용할 수 있으며 무선 통신에 적용 했을 경우 잡음 처리나 파형 성형 기술이 뒤 따라야 할 것으로 사료되며, 또한 현재 PNG CLK속도를 좀 더 증가

시킬 수 있도록 회로구성을 개선해야 할 것이다. 또한 부하쪽이 능동이고 host가 수동일때의 시스템 변경도 앞으로 고려하여야 할 것으로 생각된다. 본 회로를 전력선 통신에 적용했을 경우 응용 분야로는 선박내 on-off제어, 가정내 on-off제어, 주차장 차고 관리, 경보기 제어, 학교내 인력의 행선지 관리등에 적용 할 수 있을 것으로 사료된다.

참 고 문 헌

[1] Harry B.Brown, "An improved Tau-dither, Tec-hnique for spread spectrum code tracking", RF design, wireless communications handbook, pp35-38, 1992

[2] Andre' Kesteloot, "Practical Spread Spectrum Clock Recovery with the Synchronous Oscillator", spread spectrum Theory and Prolects, pp.55-57, June, 1989

[3] Vasil Uzunoglu, "The synchronous oscillator", Electronic Engineering, May, 1993.

[4] R.Dixon, "Spread Spectrum systems", New-York wiley 2nd Ed, pp.186-234, 1984.

[5] Marvin Tam et.al, "Theoretical Analysis of-a Coherent Phase Synchronous Oscillator", IEEE Trans. on circuit and system, Vol, 39, No.1, January, 1992.

[6] 이 동욱, 변 건식, 김 명기, "스펙트럼 확산통신방식을 이용한 타국간 간섭제거 비동기 부호분할 LAN구성", 한국통신학회 논문지, Vol.14, No.6, 1989.

[7] 홍 성일, 이 정호, 변 건식, 정 만영, "RF 수신기를 내장한 GPS안테나 시스템의 설계 및 제작", 전자공학회지논문, 제33권, A편, 제6호, June, 1996.

[8] Mitchell Lee, "A New carrier current transceiver IC", IEEE Transactions on consumer electronics, part1, Vol.CE-28, Number3, August, 1982.

[9] Dennis M. Monticelli and Michael B.wright, "A carrier current transceiver IC for Data Transmission over the AC power Lines", IEEE Transaction on consumer electronics, May, 1982.

[10] National Semiconductor, "LM 1839/LM 2893 Carrier-Current Transceiver", 1995.



오 호 근(Ho-Keun O)  
1968년 9월 21일생  
1994년 2월 : 동아대학교 전자공학과 졸업  
1996년 3월~현재 : 동 대학원 석사과정



정 주 수(Joo-Soo Jeong)  
1960년 7월 18일  
1989년 2월 : 동의대학교 전자공학과 졸업  
1991년 2월 : 동아대학교 전자공학과 (석사)

1994년 2월 : 동 대학원 박사과정 수료  
1992년 8월~현재 : 경남전문대학 전자과 조교수

변 건 식(Kun-Sik Byon)

1950년 1월 7일생  
1972년 2월 : 항공대학교 항공전자공학과 졸업  
1980년 2월 : 동아대학교 전자공학과 (석사)  
1987년 8월 : 영남대학교 전자공학과 (박사)  
1989년 8월~1990년 7월 : 국립요코하마대학 객원 교수  
1980년 3월~현재 : 동아대학교 전자공학과 교수