

초고속 통신망 중간 접속 장치의 모델 개발과 버퍼 용량 결정을 위한 시뮬레이션

전 종 암[†] · 강 훈[†] · 김 태 갑^{††} · 박 현 동^{†††} · 류 재 철^{††††}

요 약

초고속 통신망 구축이 활발해지면서 기존의 근거리통신망(Local Area Network)을 초고속 통신망에 접속하는 장치의 개발에 대한 필요성이 증가하고 있다. 이러한 중간 접속장치는 Ethernet, FDDI 등에서 발생하는 패킷을 처리할 수 있어야 할 뿐만 아니라, 점차 그 수요가 증가하고 있는 멀티미디어 데이터를 효과적으로 수용할 수 있도록 설계되어야 한다. 본 논문에서는 이러한 기능을 수행하는 중간 접속장치로써 NDAS(Network Data Access System)를 제안하고자 한다. 이를 위하여 NDAS 시스템의 기능 및 하드웨어 구조 등을 제시하고, 멀티미디어 데이터 트래픽 특성인 Burstiness를 수용할 수 있는 버퍼 용량을 시뮬레이션을 통해 제시하였다.

Modeling and simulation for Network Data Access System

Jong-Arm Jun[†] · Kang Hoon[†] · Tae-Gap Kim^{††} · Hyun-Dong Park^{†††} · Jae-Cheol Ryou^{††††}

ABSTRACT

NDAS(Network Data Access System) is a system that interconnects high speed network(B-ISDN) and Local Area Network(Ethernet, FDDI). Nowadays, the request of multimedia data increases rapidly, so NDAS system must accept and process that request efficiently. Comparing with normal data traffic characteristics, multimedia data traffic characteristics are much complex, so it is necessary to implement the system that can cover such factor. In this paper, we suggest a NDAS hardware system model and also we propose a proper buffer size of NDAS system through the simulation. For measuring the proper buffer size of NDAS, we assumed two different simulation models, one is the case of using only one buffer and the other is the case of using two different buffers for Ethernet and FDDI, respectively. After comparing and analyzing simulation results, we suggest the proper NDAS system buffer size.

1. 서 론

정보 통신 기술이 급속도로 발전하고 사용자들의

서비스 충족 욕구가 날로 다양해지고 세분화됨에 따라 멀티미디어 시대는 한층 더 빠른 속도로 가시화되고 있다. 멀티미디어란 통신과 컴퓨터, 그리고 각종 정보 전달 매체들이 하나로 통합된 종합적인 서비스를 제공할 수 있는 정보 전달의 총체적 수단 이라고 말할 수 있으며 이러한 멀티미디어의 등장을 가능케 하는 것이 바로 흔히 말하고 있는 초고속 통신망이다.

초고속 통신망에서는 점차 다양해지는 사용자의

† 정 회 원 : 한국전자통신연구원

†† 준 회 원 : (주)진인

††† 준 회 원 : 충남대학교 컴퓨터학과

†††† 종신회원 : 충남대학교 컴퓨터학과

논문접수: 1996년 9월 12일, 심사완료: 1997년 7월 23일

정보 통신 서비스 요구를 충족시켜야 하며, 이를 위하여 음성, 저속 데이터, 정지 영상 등 협대역 서비스 뿐만 아니라 고속 데이터, 고품질의 동영상과 같은 다양한 광대역 서비스를 경제적이고 효율적으로 수용, 처리할 수 있어야 한다. 기존의 음성급 서비스는 PCM 64Kbps의 전송 속도만을 제공해도 되지만 광대역 서비스를 제공하기 위해서는 음성급 서비스의 약 2,000배인 155Mbps급의 서비스 용량을 제공해야 한다[1]. 이와 같은 서비스 용량은 슈퍼 컴퓨터의 데이터 서비스 등과 같은 특수한 서비스를 제외하고는 거의 모든 광대역 서비스를 일반 가입자에게 제공할 수 있다. 한편, 컴퓨터의 급격한 성능 향상으로 슈퍼 컴퓨터나 고성능의 그래픽 워크스테이션에서나 가능했던 멀티미디어 서비스들이 보통의 개인용 컴퓨터에서도 가능하게 되어, 이에 따른 멀티미디어 응용 서비스들을 수용할 수 있는 망의 발전이 요구되어 왔다. 이에 따라 Ethernet[4][5], FDDI[6][7][8], DQDB 등의 고속 LAN 프로토콜이 개발되어 상용화되고 있으며, 이와 같은 기존의 LAN을 초고속 통신망에 접속할 수 있는 시스템 개발의 요구가 증가 하고 있다.

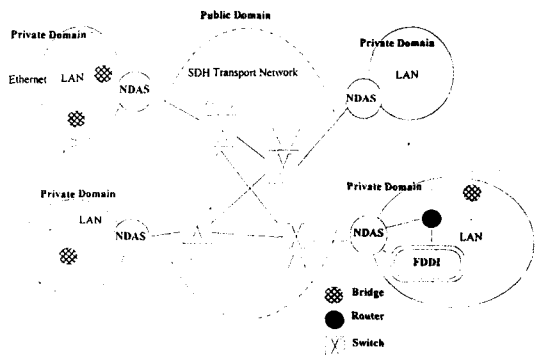
본 논문에서는 NDAS(Network Data Access System)라는 초고속 통신망 접속 장치의 구조를 제안하고자 한다. 망구조, 시스템의 기능, 하드웨어 구조 등을 제시하고, 이러한 장치 개발에 있어서 중요 고려 사항인 시스템 버퍼 용량에 대한 시뮬레이션을 수행하고자 한다. 특히, NDAS 시스템의 시뮬레이션에 있어서 멀티미디어 데이터 전송의 버퍼 용량에 미치는 영향을 분석하고자 한다. 기존의 단순한 데이터 전송과 달리 멀티미디어 데이터 전송의 경우 데이터의 발생이 적다가 갑자기 대용량의 데이터가 발생하는 트래픽 특성을 나타낸다. 본 논문에서는 이를 표현하기 위한 방안. 망구조, 시스템의 기능, 하드웨어 구조 등을 제시하고, 이러한 장치 개발에 있어서 중요 고려 사항인 시스템 버퍼 용량에 대한 시뮬레이션을 수행하고자 한다. 특히, NDAS 시스템의 시뮬레이션에 있어서 멀티미디어 데이터 전송의 버퍼 용량에 미치는 영향을 분석하고자 한다. 기존의 단순한 데이터 전송과 달리 멀티미디어 데이터 전송의 경우 데이터의 발생이 적다가 갑자기 대용량의 데이터가 발생하는 트래픽 특성을 나타낸다. 본 논문에서는 이를 표현하기 위한 방안데이터의 일반적인 특징인 Burstiness와 이

를 시뮬레이션에 반영하기 위한 모델에 관해서 기술한다. 4장에서는 3장의 내용을 기반으로 한 NDAS 시스템의 시뮬레이션을 수행한 결과를 설명하고 마지막으로 5장에서 결론을 맺는다.

2. NDAS (Network Data Access System)

2.1 NDAS 시스템의 망구조

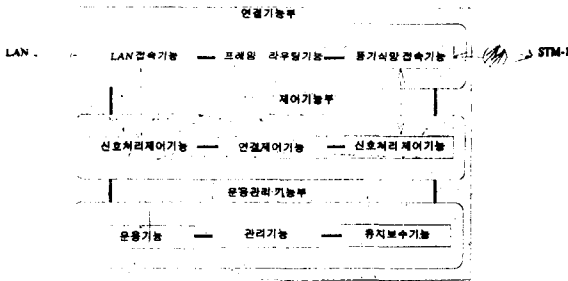
NDAS는 Ethernet[4][5], FDDI[6][7][8], ATM-LAN과 같은 리모트 로컬 데이터 네트워크와 초고속 통신망과의 상호 연결 기능을 STM-1급으로 제공하는 중간 접속 장치이다. NDAS는 사설 장치로서 적용 위치는 지역별 LAN과 기존의 동기식 공중 전송망 사이에서 적용되는 사설망 영역에 속한다. NDAS를 이용한 망 구성도의 예가 (그림 1)에 나타나 있다.



(그림 1) NDAS 시스템 구성도
(Fig. 1) System configuration of NDAS

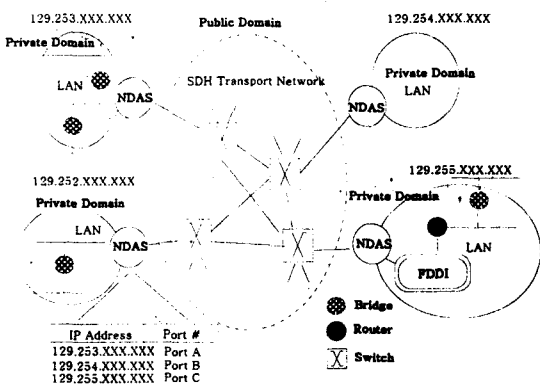
NDAS 시스템의 기능은 (그림 2)와 같이 연결 기능부, 제어 기능부, 운용 관리 기능부로 구성된다. 연결 기능부는 NDAS 접속 프로토콜 모델에서 하위 계층에 해당하는 기능으로 LAN 접속 기능, 동기식 망 접속 기능과 프레임 라우팅 기능으로 구성된다. LAN 접속 기능은 LAN 매체 접속 기능을 포함한 Network 계층까지의 일반 기능을 담당하며 동기식 망 접속 기능으로는 VC(Virtual Container) 다중화/역 다중화 기능과 SDH 망 선로 접속 기능을 담당한다. 프레임 라우팅 기능은 접속된 LAN간 프레임 연결 기능과 LAN 프레임을 특정 동기식 VC(Virtual Container)로 연결하는 기능을 담당한다[5]. 제어 기능부는 연결 및

서비스 제어에 필요한 기능으로 NDAS의 전반적인 LAN간 접속 연결을 제어하는 연결 제어 기능과 이를 통한 LAN 접속 관련 신호처리 제어 기능, NDAS 내 연결 및 자원 처리 제어 기능, 동기식 망 접속과 관련된 신호처리 제어 기능을 담당한다. NDAS 시스템의 운용 관리 기능으로는 운용 기능, 관리 기능, 유지보수 기능 등이 있다.



(그림 2) NDAS의 기능적 구조
(Fig. 2) Functional structure of NDAS

NDAS에서 IP(Internet Protocol) 프레임의 라우팅하는 방법은 브리지와 유사한 IP Router 방식을 채택하여 시스템의 전체 Throughput을 증가시킬 수 있게 처리한다. 즉 TCP-IP 패킷을 unique station address를 사용하여 보내지 않고 Network and Network segment address를 사용하여 전달하는 방법을 사용한다. NDAS는 장거리간의 LAN 트래픽을 그룹으로 묶어서 전달하고, 각 그룹별 실질적인 연결은 지역별 LAN영역에



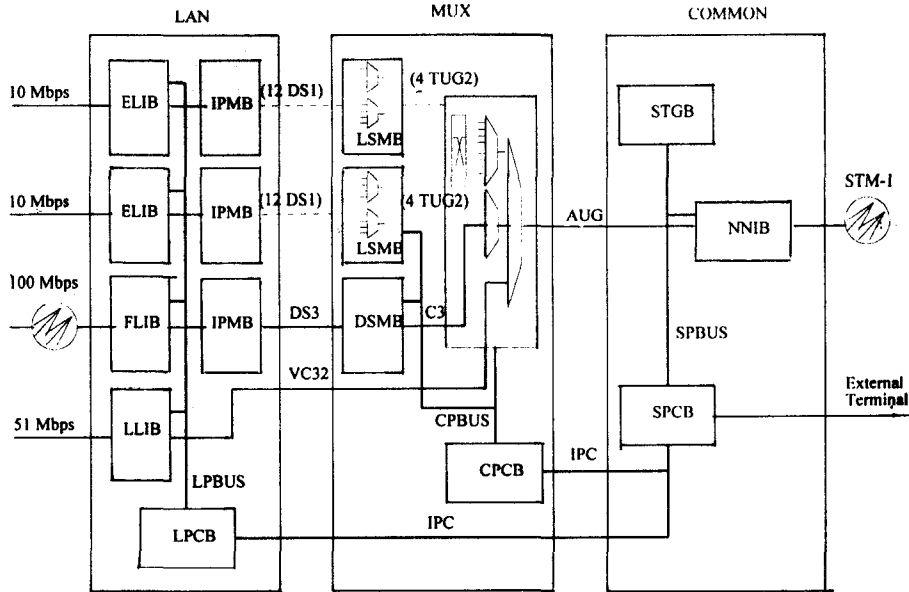
(그림 3) NDAS IP 프레임 라우팅 방식
(Fig. 3) NDAS IP frame routing

서 해결한다. 장거리 떨어진 LAN의 경우 Network Address 만을 사용하여 전달하여도 전반적인 트래픽의 전달에는 문제가 없으며 실제 Station을 찾아가는 것은 해당 지역별 LAN의 Bridge나 Router에서 해결하는 방식을 사용한다. (그림 3)은 NDAS에서 IP 프레임을 라우팅 하는 예를 나타낸 것이다.

2.2 NDAS 하드웨어 구성

NDAS의 하드웨어 구성을 살펴보면 (그림 4)와 같다. 하드웨어 구성은 크게 LAN 접속부, VC 다중화부와 STM-1급의 공통 동기식 다중화 프레임 처리부로 구성된다. LAN 접속부의 기능 중 ELIB(Ethernet Line Interface Board)은 Ethernet 4 Port 접속 기능을 제공하고 Router 기능을 제공하여 IP Address 별로 전달되는 Ethernet 데이터를 관련 IPMB(IP Address Mapping Board)로 전달하는 기능을 제공한다. FLIB(FDDI Line Interface Board)는 FDDI 1 Port 접속 기능을 제공하고 Router 기능을 제공하여 IP Address 별로 전달되는 FDDI 데이터를 관련 IPMB(IP Address Mapping Board)로 전달하는 기능을 제공한다. LLIB(LAN Router Interface Board)은 LAN Router 1 Port 접속 기능을 제공하고 LAN Router 데이터를 VC1/VC32 신호로 매핑하여 HSMB(High Speed Mapping Board)로 전달하는 기능을 제공한다. IPMB(IP Address Mapping Board)은 IP Address 별로 전달되는 LAN 데이터를 DS1, DS3 신호로 Mapping 하는 기능을 제공한다. LPCB(LAN Processor CONTROL Board)는 ELIB(Ethernet Line Interface Board), FLIB(FDDI Line Interface Board), IPMB(IP Address Mapping Board), LRIB(LAN Router Interface Board) 보드의 초기화, 동작 상태, 성능 상태 감시 및 보고 기능 및 LPBUS를 통한 IP 프레임 스위칭 기능을 제공한다. LPBUS는 1 Gbps 급 이상의 고속 버스로서 LAN 데이터를 IP 별로 구분하여 DS1/DS3 신호로 Mapping 하기 위한 공통 버스 기능을 제공한다.

LAN 접속 카드를 통하여 전달된 IP 프레임 데이터는 LPCB(LAN Processor CONTROL Board)내의 공통 Shared Memory에 저장된 후 IP 프레임 어드레스에 따라 해당 IPMB(IP Address Mapping Board)의 Data Buffer에 저장된 후 VC로 매핑된다. 본 연구의 주된 목적은 LAN 데이터의 트래픽 특성이 NDAS 시



ELIB: Ethernet Line Interface Board
 FLIB: FDDI Line Interface Board
 LLIB: LAN Router Line Interface Board
 IPMB: IP address Mapping Board
 LSMB: Low Speed Mapping Board
 HSMB: High Speed Mapping Board

DSMB: Digital Signal Mapping Board
 NNIB: Network Node Interface Board
 LPCB: LAN Processor Control Board
 CPCB: Channel Processor Control Board
 STGB: System Timing Generation Board
 SPCB: System Processor Control Board

(그림 4) NDAS 하드웨어의 보드 구성
 (Fig. 4) Board configuration of NDAS H/W

스텝 버퍼 용량에 미치는 영향을 분석함에 있다.

3. Burstiness의 표현

3.1 Burstiness

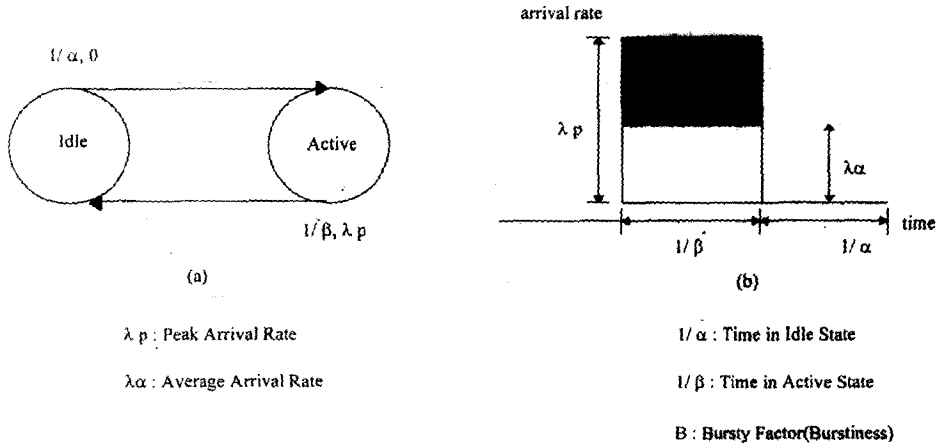
일반적으로 데이터 트래픽의 특성은 데이터가 생성되는 평균 비트율인 $E[s(t)]$, 최대 생성 비트율인 S , 데이터의 Burstiness를 나타내는 $B(S/E[s(t)])$ 로 표현될 수 있다[2]. 이중 데이터 트래픽의 특성을 나타내는 가장 주요한 요인으로 Burstiness가 사용되고 있는데, Burstiness란 데이터의 발생율에 있어서 얼마나 그 변화량이 유동적인가를 나타내는 척도라 할 수 있다. 즉 Burstiness가 큰 데이터 일수록 이를 처리하는 시스템 또한 복잡해 진다는 점이다. 이러한 관점에서 각 서비스별 평균 데이터 생성율과 Burstiness를 살펴 보면 <표 1>과 같다. [1]

<표 1> 멀티미디어 서비스의 트래픽 특성
 <Table 1> Traffic characters of multimedia service

서비스	$E[s(t)]$	B(Burstiness)
Voice	32 Kbps	2
Interact Data	1-100 Kbps	10
Bulk Data	1-10 Mbps	1-10
Standard Quality Video	20-30 Mbps	2-3
High Definition TV(HDTV)	100-150 Mbps	1-2
High Quality Video Telephony	~2Mbps	5

3.2 Burstiness의 모델링

Bursty 트래픽은 기존의 Poisson Process로 모델링하기 어려우므로 Markov Modulated Poisson Process (MMPP)로 모델링 하는 것이 바람직 하다. MMPP model은 Doubly Stochastic Poisson Process로 나타내

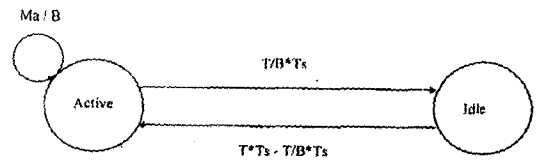


(그림 5) Bursty model
 (Fig. 5) Bursty model

는데 (그림 5)는 패킷이 도착 되는 Active State와 도착 되는 패킷이 없는 Idle State로 구성되는 Two-State MMPP Model을 보여준다. [2]

(그림 5-a)를 살펴보면 $1/\alpha$ 시간 동안은 패킷이 생성되지 않다가 $1/\beta$ 시간 동안은 λp 의 비율로 패킷이 생성되는 과정이 반복되는 것을 알 수 있다. 이를 이용하여 Burstiness를 표현하면 그림 (b)의 B로 나타내어 질 수 있다. 즉 Burstiness가 고려되지 않은 데이터 트래픽의 Burstiness가 존재하지 않기 때문에 일정한 비율로 지속적인 데이터의 발생이 이루어진다. 이에 비해 Burstiness를 가진 데이터 트래픽의 경우 Idle state 동안에는 데이터가 발생하지 않다가 Active state가 되면서 갑자기 많은 양의 데이터를 발생한다. 결과적으로 일정한 시간을 두고 볼 때 총 발생된 데이터의 양은 같더라도 순간적인 데이터의 발생률에는 큰 차이가 나타난다는 것을 알 수 있다.

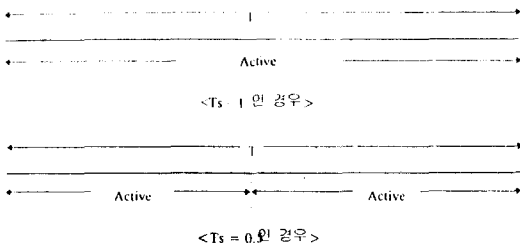
(그림 6)은 (그림 5)에서 제시된 Bursty model을 시뮬레이션에 적용하기 위한 모델링 방안을 나타낸 것이다. 여기에서 B는 Bursty Factor를 의미하고, Ma는 평균 Packet Arrival Interval, T는 Base Time Duration, Ts는 Time Duration Scale Factor를 의미한다. Base Time Duration이란 Active state와 Idle state가 반복되는 주기를 나타내며 Time Duration Scale Factor란 Base Time Duration의 크기를 조절하는 기능을 수행한다.



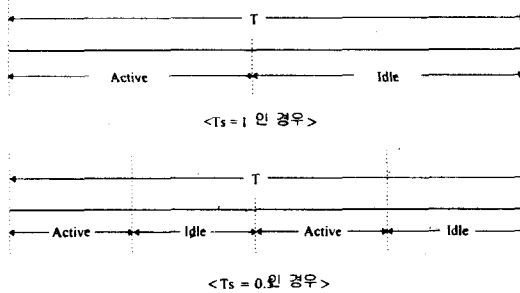
(그림 6) Burstiness의 표현
 (Fig. 6) Representation of burstiness

(그림 6)을 살펴보면 Ethernet과 FDDI의 시뮬레이션 결과로부터 얻어낸 Ma값(Burstiness를 고려하지 않은 순수한 패킷 생성 interval)을 기준으로 Bursty factor(B)의 값이 클수록 패킷 도착 간격(Ma/B)이 짧아지며 active state에 머무르는 시간(T/B*Ts)도 짧아지게 되는 반면 idle state에 머무르는 시간(T-T/B*Ts)은 길어지게 된다. 이는 짧은 시간에 많은 양의 패킷이 한꺼번에 생성됨을 의미하는 것으로 멀티미디어 데이터의 경우처럼 갑자기 많은 양의 데이터가 발생하는 트래픽의 경우를 표현한 것이다.

(그림 7)과 (그림 8)은 Bursty factor와 T값에 따른 데이터의 발생 형태를 설명하고 있다. 여기서 T 값은 시뮬레이션 수행 과정에 필요한 일종의 타임 슬롯(Time slot)이며 Ts 값은 T를 기준으로 한 시간 간격의 비율을 의미하는 것으로 T값에 Ts값을 곱한 값은 active state와 idle state에 머무르는 시간의 합을 의미한다. 즉 Ts값을 이용해서 기본적인 Markov chain의



(그림 7) Bursty factor가 1인 경우
(Fig. 7) Case that bursty factor is 1



(그림 8) Bursty factor가 2인 경우
(Fig. 8) Case that bursty factor is 2

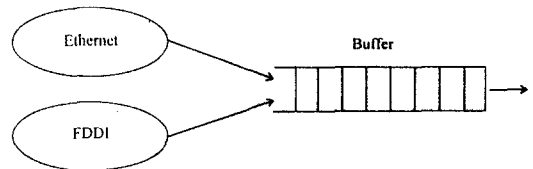
주기(T)를 조절할 수 있게 되므로 다양한 형태의 패킷 생성 패턴을 표현할 수 있게 된다. (그림 7)에서 알 수 있듯이 Bursty factor가 1인 경우에는 T_s 값의 의미가 없어지게 되는데 그 이유는 Markov chain의 주기를 반으로 줄였다(즉 $T_s=0.5$)도 idle state가 발생하지 않기 때문에 다만 active state만 두 번 반복이 되어 항상 패킷이 발생하는 것과 똑같은 경우가 발생하기 때문이다. 반면에 (그림 8)의 경우를 살펴보면 B , T_s 의 의미가 두드러지게 나타나는데 우선 T_s 가 1인 경우에는 Markov chain의 주기가 기본 주기(T)가 동일한 상태에서 Bursty factor(B)의 값이 2이므로 Markov chain의 주기중 절반 동안에 패킷이 절반의 시간 간격으로 발생이 되었다가 나머지 시간에는 패킷이 발생하지 않는 경우이고 T_s 가 0.5인 경우에는 Markov chain의 주기를 둘로 나눈 시간 중에 active, idle state가 2번 반복이 되게 된다. 결과적으로 시간 T 동안에 발생하는 데이터의 양에는 변화가 없이 얼마나 빠르게 혹은 얼마나 오랫동안 데이터가 편중되어 발생하

는가(Burstiness)를 표시할 수 있다.

4. 시뮬레이션

4.1 NDAS 시뮬레이션 모델 및 수행 환경

3장에서 설명한 Bursty model을 바탕으로 Ethernet, FDDI로부터 전송되는 데이터를 처리하는 NDAS 시스템의 버퍼 용량을 결정하기 위한 시뮬레이션 방안으로는 크게 두 가지 방안을 고려해 볼 수 있다. 첫째 방안은 Ethernet과 FDDI로부터 전달되는 패킷을 하나의 NDAS 버퍼에 받아들여 처리하는 방식으로 버퍼 관리상의 문제나 패킷의 형태가 달라서 생기는 전송상의 어려움이 따를 수 있으나 간단하다는 점과 버퍼 선택상의 추가적인 오버헤드(Overhead)가 없다는 장점이 있다.

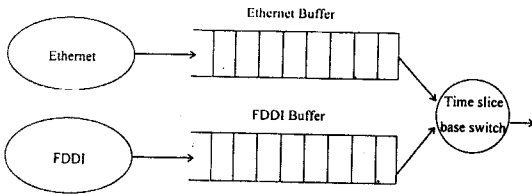


(그림 9) 하나의 버퍼를 사용하는 경우(방안 1)
(Fig. 9) Case that using one buffer

두 번째 방안으로 Ethernet과 FDDI의 패킷이 각각의 버퍼에 저장되는 경우로 같은 형태와 같은 크기의 패킷이 각각의 버퍼에 저장되기 때문에 관리상의 이점이 있을 수 있다. 그러나 서로 다른 두 버퍼 사이의 우선순위 결정 및 처리 방식 및 버퍼 스위칭 알고리즘 등의 결정에 대한 프로세싱 오버헤드 등이 생길 수 있으므로 잘못 디자인 되는 경우 버퍼의 낭비나 성능 저하 등의 결점이 발생 할 수 있다. 본 논문에서 시뮬레이션한 방식은 일단 현재 처리하고 있는 버퍼가 비게 되면 다른 버퍼로 옮겨지게 되고 그렇지 않은 경우에는 각각의 Time Slice를 가지고 프로세싱하는 방식을 사용 한다.

NDAS 시스템의 용량 결정을 위한 시뮬레이션을 위해서 시뮬레이션 전용 언어인 SLAMII[9]를 사용하였으며 수행 기종으로 CRAY 슈퍼 컴퓨터를 사용 하였다. 대상 패킷의 수는 1,000,000개로 설정 하였으며

Ethernet, FDDI 각각 5개의 Station을 대상으로 하였다. Offered load는 Ethernet, FDDI 각각 5 Mbps, 50Mbps로 가정 하였고 Packet Size는 각각 1500 byte, 3200 byte로 가정하였으며 각종 지연 파라미터들을 고려 하였다. Ethernet과 FDDI 각각의 시뮬레이션 모델에 관한 자세한 설명은 부록에서 기술한다.



(그림 10) 서로 다른 버퍼를 사용하는 경우(방안 2)
(Fig. 10) Case that using different buffer

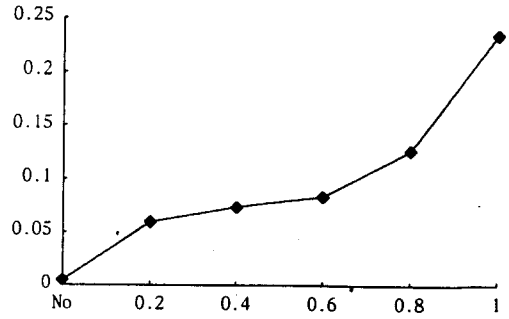
4.2 결과 분석

4.2.1 Ethernet과 FDDI의 패킷이 하나의 버퍼에 저장되는 경우

특별한 버퍼 스위칭 알고리즘이 요구되지 않는 가장 간단한 형태로써 Ethernet, FDDI로부터 들어오는 데이터 패킷을 하나의 버퍼에 저장한 후 처리하는 방식(방안 1)이다. 우선 Bursty(Burstiness 2를 가정)한 트래픽 특성을 나타내는 Station의 비율에 따라 버퍼에 저장되는 평균, 최대 패킷 갯수의 변화를 살펴보면 (그림 11), (그림 12)와 같다.

우선 (그림 11)을 살펴보면, 대체적으로 Bursty 데이터를 발생하는 Station의 비율에 비례해서 버퍼에 저장되어지는 평균 패킷 갯수가 증가하는 형태이다. Burstiness를 전혀 고려하지 않은 경우(Bursty Station의 비율이 0인 경우)에는 Ethernet과 FDDI에서 발생시키는 데이터의 양이 총 55 Mbps이므로 155 Mbps의 처리 용량을 갖는 NDAS 시스템을 고려한다면 평균 패킷 갯수가 거의 0에 가까운 것을 볼 수 있다. 즉 NDAS에 들어오는 패킷들은 평균적으로 볼 때 지연되지 않고 바로 처리가 되어 진다는 것을 의미한다. 그러나 NDAS 시스템에 접속되는 Station들 중 Bursty한 특성을 나타내는 Station들의 비율이 증가 할수록 갑자기 많은 양의 패킷이 도착하는 경우가 생기기 때문에 버퍼에 쌓여서 대기하게 되는 패킷의 갯수가 증가하게 된다.

평균 buffer length [Packets]

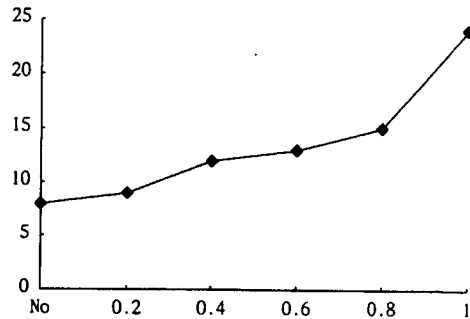


Bursty Station의 비율

(그림 11) Bursty Station의 증가에 따른 평균 패킷 갯수 (방안 1)

(Fig. 11) Average number of packets as the number of bursty stations increase

최대 buffer length [Packets]



Bursty Station의 비율

(그림 12) Bursty Station의 증가에 따른 최대 패킷 갯수 (방안 1)

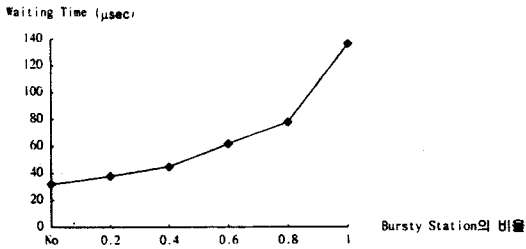
(Fig. 12) Maximum number of packets as the number of bursty stations increase

(그림 12)의 경우도 평균 패킷 갯수와 마찬가지로 대체적으로 Bursty 데이터를 발생하는 Station의 수에 비례해서 최대 패킷 갯수가 증가하는 형태이다. Burstiness가 고려되지 않은 상황에서의 최대 패킷 갯수는 대략 8 정도이며 모든 Station이 Bursty한 트래픽을 발생 시킨다면 약 25 정도의 패킷 갯수를 나타낸다. 즉 최대 패킷 갯수의 경우 Burstiness가 존재하지 않는 데이터 트래픽과 Burstiness가 존재하는 트래

픽 사이에는 무시할 수 없는 큰 차이가 발생 한다는 점을 알 수 있다. 물론 평균 패킷 갯수에서는 패킷 갯수의 증가 폭이 미세하지만 버퍼의 용량 결정에 큰 영향을 미치는 최대 패킷 갯수는 그 변화량이 상당히 크다는 점을 알 수 있다. 최악의 경우 모든 Station들이 동시에 Active 상태일 경우 Bursty factor가 2라고 할 때 평균 Offered load 보다 2배 이상의 패킷이 발생하게 된다.

위의 결과를 토대로, 최대 패킷 갯수를 25로 가정하고 최악의 경우 3200 byte의 FDDI 패킷만이 버퍼에 들어 있다고 가정하면 약 8 Kbyte정도의 버퍼 용량이 요구 된다는 것을 예측 할 수 있다.

한편 Bursty Station의 증가에 따른 평균 Waiting Time의 변화를 살펴보면 (그림 13)과 같다. 평균 패킷 갯수와 유사한 형태의 증가 추세를 보인다는 것을 알 수 있다.

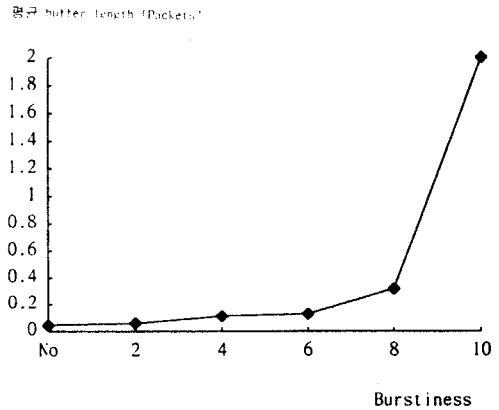


(그림 13) Bursty Station의 증가에 따른 평균 Waiting Time (방안 1)

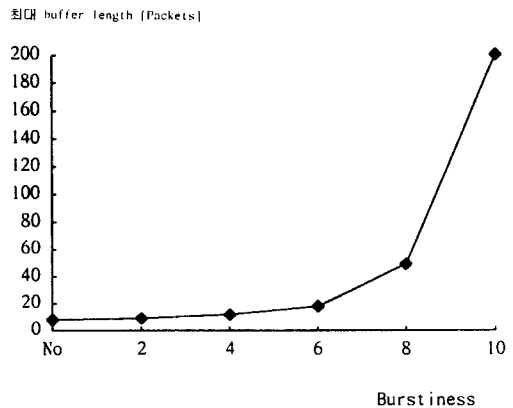
(Fig. 13) Average waiting time as the number of bursty stations increase

다음은 20%의 Station이 Bursty 트래픽을 발생 한다고 가정 할 경우로 Burstiness의 증가에 따른 패킷 갯수를 살펴보면 (그림 14), (그림 15)와 같다.

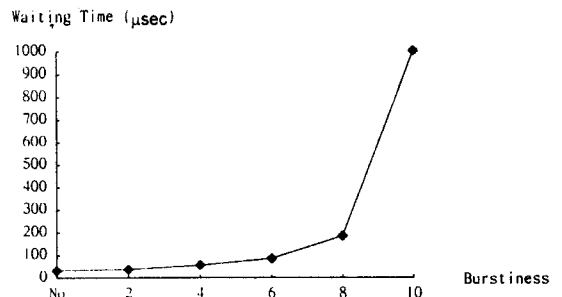
앞에서 살펴본 Bursty한 Station의 비율에 따른 패킷 갯수의 증가치의 경우처럼 대체적으로 비례형의 증가 추세를 보이지만 증가 폭의 측면에서 살펴보면 훨씬 큰 폭의 변화를 보인다는 점을 알 수 있다. 앞의 경우에는 여러 Station들이 Bursty한 데이터를 발생 한다 하더라도 서로 발생되는 시기가 분산되어 있기 때문에 (그림 14), (그림 15)처럼 큰 폭의 변화를 보이지는 않는다고 볼 수 있다. Waiting Time의 경우도 패킷 갯수의 경우와 유사하다.(그림 16)



(그림 14) Burstiness의 증가에 따른 평균 패킷 갯수 (방안 1)
(Fig. 14) Average number of packets as the burstiness increase



(그림 15) Burstiness의 증가에 따른 최대 패킷 갯수 (방안 1)
(Fig. 15) Maximum number of packets as the burstiness increase



(그림 16) Burstiness의 증가에 따른 평균 Waiting Time (방안 1)
(Fig. 16) Average waiting time as the burstiness increase

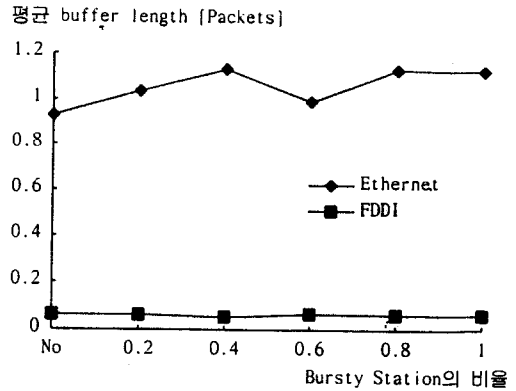
4.2.2 Ethernet과 FDDI의 패킷이 각각의 버퍼에 저장되는 경우

Ethernet과 FDDI를 위한 버퍼를 따로 두고 처리하는 경우로 약간의 버퍼 스위칭 오버헤드를 갖는다. 본 시뮬레이션 모델에서는 Time Slice를 가지고 버퍼 Switching 하는 방법을 사용 하였으며 프로세싱 오버헤드가 작다는 가정하에 이를 감안하지 않았다. 여기서 사용된 Time Slice를 살펴보면 FDDI의 경우 10000 μ sec이고 Ethernet의 경우 1000 μ sec이다. 이는 Ethernet과 FDDI의 offered load가 각각 5 Mbps와 50 Mbps이기 때문에 Time slice도 그에 따라 약 10:1의 비율로 지정한 것이다.

우선 Bursty(Burstiness 2를 가정)한 트래픽 특성을 나타내는 Station의 비율에 따른 평균, 최대 패킷 갯수의 변화를 살펴보면 (그림 17), (그림 18)과 같다.

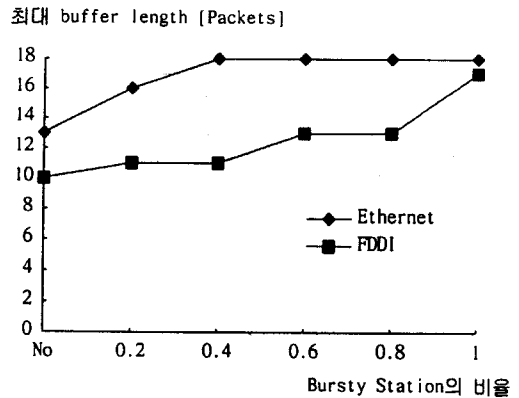
(그림 17)을 살펴보면 하나의 버퍼를 두고 처리하는 경우보다 Burstiness에 따라 큰 변화를 보이지는 않지만 대체적으로 완만한 형태의 증가치를 보인다. Ethernet 버퍼의 경우가 FDDI 버퍼의 경우보다 큰 수치를 갖는데 이는 Ethernet 버퍼를 프로세싱 하는 Time Slice를 FDDI 버퍼의 경우보다 작은 값을 할당했기 때문이다. 최대 패킷 갯수의 경우 Ethernet, FDDI 버퍼 모두의 경우 완만한 증가치를 보이지만 FDDI의 경우가 약간 높은 증가 추세를 보인다. (그림 18)의 FDDI 패킷 갯수와 (그림 17)의 FDDI의 패킷 갯수의 증가치가 상당히 다르다는 점을 발견할 수 있는데 이는 FDDI의 경우가 큰 Time Slice를 가지기 때문에 버퍼의 평균 Length가 작은 상태로 유지되지만 최대 패킷 갯수의 경우에는 Offered Load가 Ethernet에 비해 크기 때문에 그 증가 폭 또한 큰 상태로 유지되기 때문이다.

각각의 버퍼를 사용하는 경우인 (그림 17),(그림 18)을 하나의 버퍼를 사용하는 경우인 (그림 11), (그림 12)와 비교해 보면 그 증가치가 완만한 것을 볼 수 있는데 이는 각각의 버퍼를 두는 경우가 Burstiness에 비교적 영향을 덜 받는다는 것을 의미 한다. 평균 Waiting Time에 있어서는 패킷 갯수의 경우와 달리 변화치가 뚜렷이 나타나지 않는 것으로 나타났으며 Ethernet의 경우가 FDDI 보다 큰 Waiting Time을 갖는데 이는 앞에서 언급한 것처럼 Time Slice가 10000 μ sec를 주기로 1000 μ sec씩 할당이 되기 때문에 당연



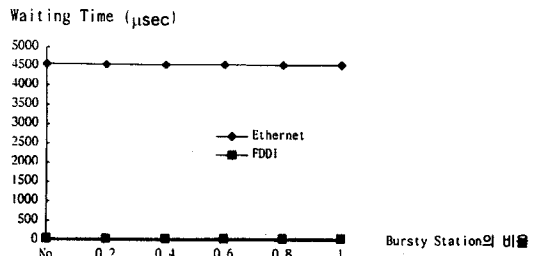
(그림 17) Bursty Station의 증가에 따른 평균 패킷 갯수 (방안 2)

(Fig. 17) Average number of packets as the number of bursty stations increase



(그림 18) Bursty Station의 증가에 따른 최대 패킷 갯수 (방안 2)

(Fig. 18) Maximum number of packets as the number of bursty stations increase (방안 2)

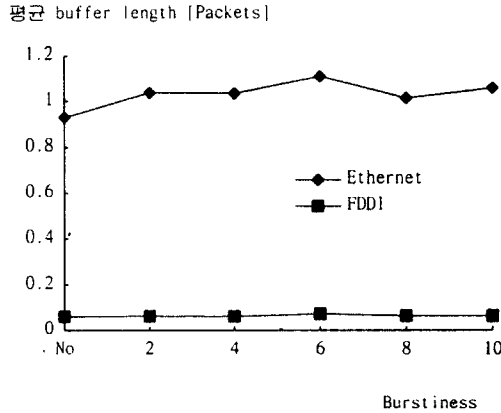


(그림 19) Bursty Station의 증가에 따른 평균 Waiting Time (방안 2)

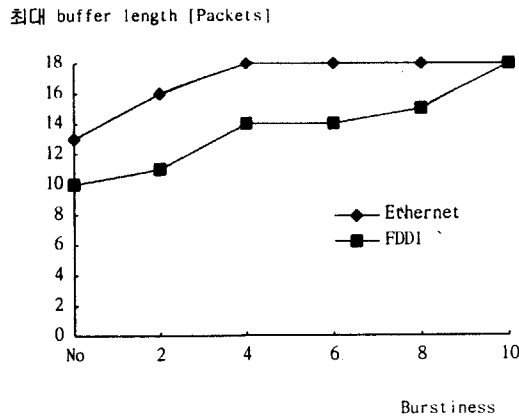
(Fig. 19) Average waiting time as the number of bursty stations increase

히 FDDI의 경우보다 큰 값을 보인다.

다음은 20%의 Station이 Bursty 트래픽을 발생한다고 가정 할 경우로 Burstiness의 증가에 따른 패킷 갯수를 살펴보면 (그림 20), (그림 21)과 같다.

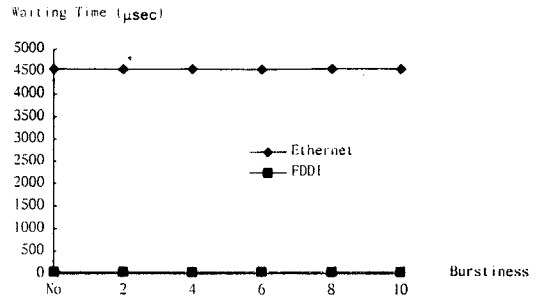


(그림 20) Burstiness의 증가에 따른 평균 패킷 갯수 (방안 2)
(Fig. 20) Average number of packets as burstiness increase



(그림 21) Burstiness의 증가에 따른 최대 패킷 갯수 (방안 2)
(Fig. 21) Maximum number of packets as burstiness increase

Bursty Station의 증가에 따른 패킷 갯수의 경우 (그림 17), (그림 18)의 경우와 거의 유사한 형태의 그래프 곡선을 나타내며 FDDI 패킷 갯수의 경우가 조금 급한 경사의 증가치를 보인다.



(그림 22) Burstiness의 증가에 따른 평균 Waiting Time (방안 2)
(Fig. 22) Average waiting time as the burstiness increase

4.3 NDAS 버퍼 용량 제안

시뮬레이션 결과에 따르면 하나의 버퍼를 사용하는 경우 Burstiness를 고려하지 않을 경우엔 10(32 Kbyte) 개 정도의 데이터 패킷을 저장할 수 있는 버퍼가 적당 하지만 Burstiness가 존재하는 경우 10-25 (32-80 Kbyte) 정도의 크기가 적당하며 대용량의 Burstiness가 큰 데이터 처리를 위해서는 50 (160 Kbyte) 안팎의 저장 용량을 가지는 버퍼 까지도 요구된다. 즉 Burstiness가 없는 상황보다 2-5배 정도의 용량을 요구한다고 볼 수 있다. Ethernet과 FDDI를 위한 버퍼를 따로 두는 경우엔 버퍼 스위칭 알고리즘에 따라 차이가 있을 수 있지만 본 논문에서 사용된 시뮬레이션 모델, 즉 Time slice를 이용한 스위칭 알고리즘을 사용한다면 Burstiness를 고려하지 않을 경우 Ethernet 버퍼는 10-15 (15-23 Kbyte), FDDI의 경우 10 (32 Kbyte) 안팎의 버퍼 용량을 요구한다. Burstiness를 고려할 경우엔 Ethernet의 경우 15-20 (23-30 Kbyte), FDDI의 경우 10-18(32-58 Kbyte) 정도의 버퍼 용량을 요구한다. 두개의 버퍼를 사용하는 경우가 하나의 버퍼를 사용하는 경우 보다 Burstiness가 큰 데이터에 대해서도 버퍼 용량의 변화가 그리 크지 않아 하나의 버퍼를 사용할 때 보다 효과적인 것으로 나타났다.

5. 결 론

정보 통신 기술의 발달과 이에 따른 다양한 서비스의 등장으로 멀티미디어 시대는 한층 더 빠른 속도로 가시화 되고 있다. 이러한 추세는 정보 고속도로로서

그 중요성이 날로 증대되고 있는 초고속 정보 통신망의 등장으로 더욱 구체화되고 있다. 또한 초고속 정보 통신망에서는 기존의 중,소 규모의 통신망(Ethernet, FDDI)과의 연동이 중요한 과제로 부상되고 있으며 현재 대부분의 일반 사용자들이 사용하고 있는 컴퓨터 통신망은 Ethernet, FDDI등의 중,소 규모의 네트워크로써 이들을 효과적으로 초고속 통신망으로 연결 시키는 기능을 수행하는 장치의 개발이 요구되고 있다. 통신망의 기술상 혹은 이론상의 발전이 거듭되어 과거에 비해 앞선 기술이 개발되었다 하더라도 기존의 컴퓨터 통신망을 일시에 대체 한다거나 새로운 형태의 통신망으로 변경시키는 것은 현실상 어려운 일이기 때문에 기존의 통신망을 새로운 통신망에 흡수할 수 있는 중간 장치의 개발은 매우 중요하다고 할 수 있다.

본 논문에서 이러한 기능을 수행하는 중간 접속 장치로써 NDAS 시스템을 제안하였다. 이를 위하여 NDAS 하드웨어 구성 제안 및 시스템 버퍼의 용량 결정을 위해서 우선 멀티미디어 데이터 트래픽의 종류 및 특성을 분석하여 데이터의 Burstiness를 표현하기 위한 모델을 제안 하였다. 이 모델에 따르면 데이터의 발생은 Active state와 Idle state로 구분되며, 평균적인 데이터 발생량에 기준을 둔 데이터 발생 비율인 Bursty factor를 두어 순간적으로 많은 양의 데이터가 집중되는 현상을 표현하였다[1][3]. 즉, 같은 양의 Offered load를 갖는 네트워크라 할지라도 Bursty factor가 큰 데이터일 경우 순간적인 데이터 집중현상이 발생함으로 Bursty factor가 작은 경우보다 큰 시스템 버퍼 용량을 요구한다는 점을 고려 하였다. 또한 시스템 버퍼 용량 결정을 위한 시뮬레이션에서는 SLAM II[9]를 사용하여 앞서 기술된 Bursty model을 SLAM II 네트워크 모델로 표현하고, NDAS내에 버퍼를 하나를 두어 처리하는 경우와 Ethernet, FDDI 패킷 각각을 위한 버퍼를 따로 둔 경우의 버퍼 용량의 차이를 비교 분석 하였다. 시뮬레이션의 결과에 따르면 하나의 버퍼를 사용할 때 데이터의 Burstiness를 고려한다면 Burstiness를 고려하지 않을 때 보다 최대 2.5배 까지의 버퍼 용량이 요구되며 두개의 버퍼를 사용할 경우 버퍼 스위칭 오버헤드를 감안 하지 않는다면 Ethernet, FDDI 모두 대략 1.5배의 버퍼 용량이 요구되지만 하나의 버퍼를 두는 경우보다 Burs-

iness의 영향을 덜 받는 것으로 조사 되었다.

참 고 문 헌

- [1] Martin de Pricker, "Asynchronous transfer mode Solution for broadband ISDN", Ellis Horwood, 1991.
- [2] K.M. Khalil, Y.S. Sun, "The Effect of Bursty Traffic on the Performance of Local Area Network", IEEE, 1992.
- [3] Tony Y. Mazraani, Gurudatta M. Parulkar, "Performance Analysis Of The Ethernet Under Conditions Of Bursty Traffic".
- [4] William Stallings, "Data and Computer Communications", Second Edition, Macmillan, Inc., pp. 325-371, 1994.
- [5] Andrew S. Tanenbaum, "Computer Networks", Prentice-Hall International Editions, pp.141-170, 1989.
- [6] Albert Jayasumana, "FDDI and FDDI-II: Architecture, Protocols, and Performances", Artech House Boston. London
- [7] Anura P. Jayasumana, "Performance of FDDI Networks under Normal And Faulty Conditions", IEEE ICC '91, June 1991.
- [8] 김대영, FDDI(Fiber Distributed Data Interface), 전자공학회지
- [9] 이영해, 백두권 저, 시스템 시뮬레이션, 경문사, 1991.

부 록

1. Ethernet 시뮬레이션

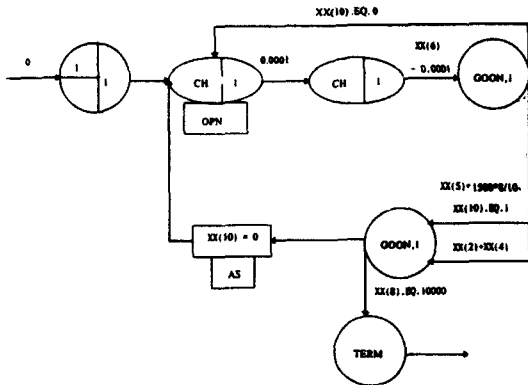
가. 시뮬레이션을 위하여 다음과 같은 사실을 가정 하였다.

- Station 수: 5개
- 10 Mbps의 전송 속도
- 5 Mbps의 offered load, 1500 byte의 fixed packet size
- 패킷이 생성되는 간격은 exponential 분포를 따름

- 시간 단위로 μsec 사용

나. 동기화(Synchronization) 모델링

Station 사이의 채널에 대한 경쟁을 조절(Collision 발생시 재경쟁 유발)하고 전송을 동기화 시키는 부분으로 시뮬레이션이 종료 될 때 까지 수행되는데, 하나의 Entity가 생성 되어서 작업을 진행하며 시뮬레이션의 종료와 함께 소멸 된다. (그림 1)이 Entity는 Station의 수에 관계 없이 하나만 생성된 후 Synchronization 작업을 위해 관리 된다. 동기화를 위해 생성된 패킷은 OPN 노드를 거치면서 채널을 열어 각 Station으로 하여금 경쟁에 참여 할 수 있는 기회를 제공한 후 경쟁에 참가한 Station의 갯수(XX(10))에 따라 다시 채널을 열어 다시 경쟁을 유발할 것인지 패킷을 전송할 것인지, 충돌(collision) 처리 후 다시 채널을 열 것 인지를 결정한다.

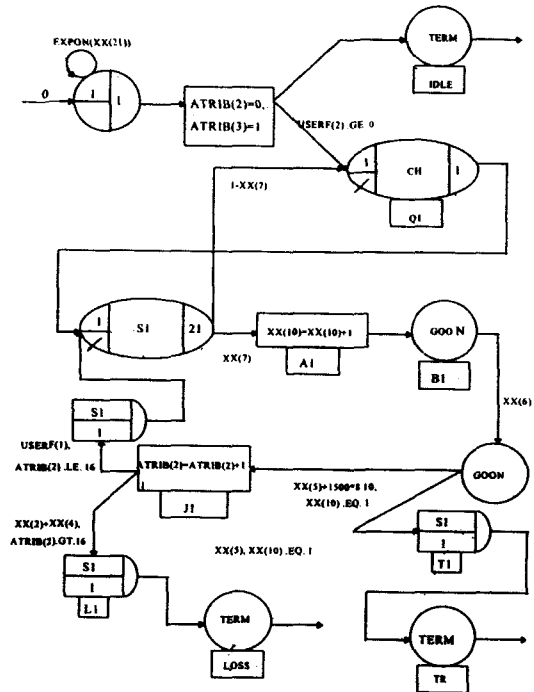


(그림 1) Ethernet 프로토콜SLAM II 네트워크 모델 (Synchronization)
(Fig. 1) Ethernet protocol SLAM II network model (Synchronization)

다. Station 모델링

패킷을 생성해서 전송을 시도하는 부분으로 충돌 발생시 임의의 시간(random Time) 동안 Waiting한 후 재전송을 시도하며 Synchronization 부분에 의해 동기화 된다. (그림 2) 각 Station마다 각각의 생성 간격 (generation interval)은 Offered load와 Bursty factor에 의해서 계산된다. Station의 수는 5개로 가정 하였으며 ATRIB(2)는 충돌이 발생한 횟수가 기록될 변수

이고 ATRIB(3)은 Station 수를 표시하는 부분이다. 레이블 IDLE은 Ethernet상에서의 Burstiness를 표현하기 위해서 만들어진 부분으로 IDLE 상태에서 만들어진 패킷이 소멸되는 부분이다. USERF(2)는 현재의 시스템 상황이 active인지 idle인지를 체크하는 사용자 정의 함수이다.



(그림 2) Ethernet 프로토콜SLAM II 네트워크 모델 (Station)
(Fig. 2) Ethernet protocol SLAM II network model (Station)

Q1부분은 생성된 패킷이 버퍼에 저장된 후 채널과 시스템 자원을 얻기 위하여 대기하는 부분이며 버퍼 노드를 빠져 나온 개체는 경쟁에 참가 하기 위해 XX(10) 값을 증가 시키고 이후에 다른 Station들도 이 부분을 수행한 후 경쟁에 참가한 개체의 수(XX(10)값)에 따라 전송을 수행할 것인지, 충돌이 발생했음을 알리고 대기 상태에 들어갈 것인지를 결정 한다. 이때 대기 시간은 USERF(1)에 의해서 계산된다. 만약 충돌이 발생하지 않았을 경우 이 패킷은 전송 시간

만큼의 시간을 진행 시킨 후 소멸된다. 이러한 Station의 모든 동작은 Synchronization 부분에 의해서 조정되고 동기화 된다.

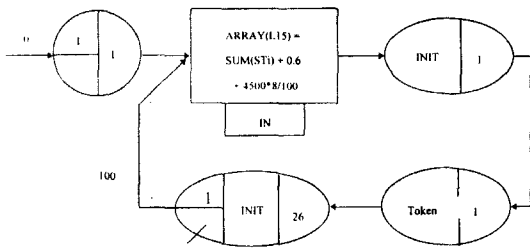
2. FDDI 시뮬레이션

가. 시뮬레이션을 위하여 다음과 같은 사실을 가정하였다.

- Station 수: 5개
- 100 Mbps의 전송 속도
- 50Mbps의 offered load, 3200 byte의 fixed packet
- 패킷이 생성되는 간격은 exponential 분포에 따름
- 시간 단위로 (sec 사용)

나. 초기화(Initialization) 모델링

CREATE 노드에서 단 하나의 엔티티를 생성해서 FDDI Station들을 초기화하는 부분으로 시뮬레이션이 시작 될 때나 중간에 에러가 발생해서 FDDI 링을 다시 초기화 시켜야 할 경우에 사용되는 부분이다. (그림 3) 초기화를 마치고 나면 Token이라는 Gate을 열어 전송을 시작할 Station을 결정 한다. 초기화를 수행하고 난후 INIT라는 Gate을 닫고 다른 Station에 의해 다시 열릴 때 까지 대기한다.

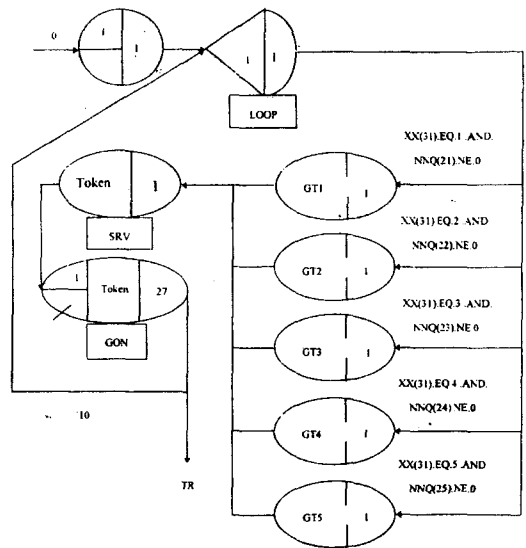


(그림 3) FDDI 프로토콜 SLAM II 네트워크 모델
(Fig. 3) FDDI protocol SLAM II network model

다. 토큰 제어 모델링

Token을 받을 Station을 결정하는 부분으로 전송을 마친 Station이 Token이라는 Gate을 열어 다음 Station을 결정하게 된다. (그림 4) 이때 다음 Station에 무조건 Token이 전달되는 것이 아니라 만약에 다음 Station의 버퍼가 비어 있을 경우엔 그 다음 Station으로 Token이 전달되고 만약 또 비어 있을 경우는 위와 같

은 과정이 반복되어 Token을 수신할 Station을 결정한다. 물론 각 Station에 Token이 전달될 때마다 Token passing Time이 소비된다. 이 부분도 Initialize 부분처럼 CREATE 노드에서 단 하나의 엔티티가 생성되어서 다음 Token을 수신할 Station을 찾은 후 해당 Gate를 열어주고 나서 버퍼에서 다음 Token전달이 필요 할 때 까지 대기하게 된다.

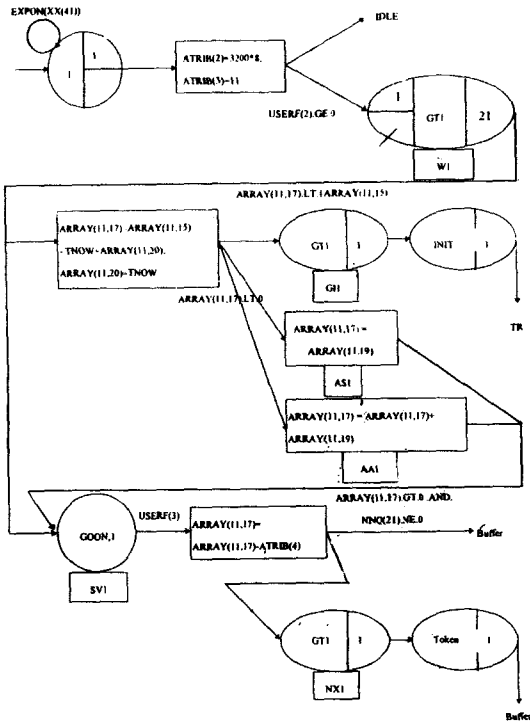


(그림 4) FDDI 프로토콜SLAM II 네트워크 모델 (Token control)
(Fig. 4) FDDI protocol SLAM II network model (Token control)

라. Station 모델링

FDDI 패킷이 offered load와 Burstiness를 고려해서 계산된 패킷 생성 interval인 XX(41)를 평균값으로 갖는 Exponential 분포로 생성된다. ATTRIB(2)에 패킷의 크기를 정해주고 USERF(2)에 의해서 현재의 상태가 active인지 idle인지를 체크 한다. 각각의 Station들은 GT라는 Gate 변수를 가지고 있어서 이를 가지고 토큰의 소유 여부를 표현한다. 만약 토큰을 이전의 Station으로부터 전달 받으면 그때부터 전송을 시작 한다. 즉 GT라는 Gate이 열릴 때까지 버퍼에 대기하고 있던 패킷은 TRT값을 조사해서 만약 그 값이 TTRT값의 2배 이상으로 감소 했으면 초기화 과정을 수행 하기 위하여 INIT라는 Gate을 열고 0보다 작은

때에는 동기 데이터 전송만을 수행하며 그렇지 않을 경우엔 STI값과 THT값을 ARRAY(17)번에 저장 함으로써 동기, 비동기 데이터 서비스를 모두 수행 한다. 주어진 서비스 시간을 다 소비하거나 버퍼가 비게 되면 자신의 Gate을 닫고 Token이라는 Gate을 열어 다음 Station으로 Token을 전달 한다. 이를 SLAMII 네트워크 모델로 표현하면 (그림 5)와 같다.



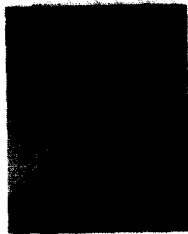
(그림 5) Station 모델링
(Fig. 5) Station modeling



전 종 압

1987년 경북대학교 전자공학과 졸업(학사)
 1989년 연세대학교 전자공학과 졸업(석사)
 1989년~현재 한국전자통신연구원 ATM 처리연구실 선임연구원

1997년~현재 한국과학기술원 전기 및 전자공학과 박사과정
 관심분야: High-Speed Access Network, High Speed Network Planning, Wireless ATM LAN



강 훈

1980년 연세대학교 전자공학과 졸업(학사)
 1989년 Iowa state University 졸업(석사)
 1993년 Iowa state University 졸업(박사)
 1993년~현재 한국전자통신연구원 통신망연구실 실장

관심분야: ATM-LAN, 고속 근거리 통신망, Access Network



김 태 갑

1995년 충남대학교 컴퓨터학과 졸업(학사)
 1997년 충남대학교 컴퓨터학과 졸업(석사)

1997년~현재 (주)전인
 관심분야: 시스템/네트워크 보안, 디지털 위성통신

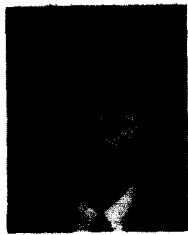


박 현 동

1995년 충남대학교 전산학과 (학사)
 1995년 충남대학교 대학원 컴퓨터학과(석사)

1997년~현재 충남대학교 대학원 컴퓨터학과 박사과정

관심분야: 네트워크 보안 시스템, 암호학



류 재 철

1985년 한양대학교 산업공학과 (학사)
 1988년 Iowa State Uwveraity 전산학과(석사)

1990년 Northwestern Uwveraity 전산학과(박사)
 1991년~현재 충남대학교 컴퓨터학과 부교수

관심분야: 통신망관리, 컴퓨터 및 통신보안, 분산처리