

3V CMOS Fully-Balanced 상보형 전류모드 적분기 설계

Design of A 3V CMOS Fully-Balanced Complementary Current-Mode Integrator

이근호*, 방준호*, 조성익**, 김동용*
(Geun-Ho Lee*, Jun-Ho Bang*, Seong-Ik Cho**, Dong-Yong Kim*)

요약

본 논문에서는 저전압 아날로그-디지털 혼성모드 신호처리를 위한 3V CMOS 연속시간 완전균형 적분기가 설계되었다. 설계된 완전균형 적분기의 기본구조는 NMOS와 PMOS 트랜지스터를 이용한 상보형 회로이며, 이러한 상보형 회로는 적분기의 트랜스컨덕턴스를 증가시킬수 있는 장점이 있다. 그리고 트랜스컨덕턴스의 증가는 적분기의 단위이득 주파수, 폴 그리고 영점을 증가시킨다. 소신호해석과 SPICE 시뮬레이션을 통해 기존의 적분기들과 비교하여 이러한 개선점들을 증명하였다. 0.8 μ m CMOS 공정 파라미터를 이용하여 완전균형 상보형 적분기의 응용회로로서 3차 능동 저역통과 필터를 설계하였다.

ABSTRACT

A 3V CMOS continuous-time fully-balanced integrator for low-voltage analog-digital mixed-mode signal processing is designed in this paper. The basic architecture of the designed fully-balanced integrator is complementary circuit which is composed of NMOS and PMOS transistor. And this complementary circuit can extend transconductance of an integrator. So, the unity gain frequency, pole and zero of integrator are increased by the extended transconductance. The SPICE simulation and small signal analysis results show that the UGF, pole and zero of the integrator is increased larger than those of the compared integrators. The three-pole active low-pass filter is designed as a application circuit of the fully-balanced integrator, using 0.8 μ m CMOS processing parameter.

1. 서론

최근 집적회로 공정기술은 저전압 CMOS 공정기술을 이용하여 아날로그 회로와 디지털 회로가 동일 칩상에서 공존하는 추세로 발달되고 있다. 이러한 경향에 의해 최근에 급속하게 주목받고 있는 방식이 전류모드(current-mode) 방식에 의한 신호처리이다. 기존의 전압모드 설계 방식 회로는 높은 임피던스의 영향 때문에 그 주파수 대역폭이 매우 제한을 받고 있으나, 전류모드 방식의 회로는 낮은 임피던스의 영향이 주로 고려되므로 수백 MHz 이상의 주파수 특성을 얻을 수 있어서 아날로그/디지털 회로가 공존하는 혼성 저전압/저전력 집적회로의 설계에 매우 유용하게 이용될 수 있다. 따라서 각종 통신시스템에 필수적으로 응용되고 있는 능동필터의 설계에 있어서도 전류모드 방식에 의한 설계법이 적용되고 있는 추세이

다. 이러한 추세에 따라 최근 들어 전류모드 능동필터 설계에 관한 많은 논문이 발표되고 있다.^[1-3] 이러한 전류모드 능동필터의 설계에 전류모드 적분기가 기본 블록으로 중요하게 이용되고 있으며, 다양한 용도에 따라 여러 가지 구조로 설계되고 있다.^[4-5]

본 논문에서는 전류모드 적분기의 구조 개선을 통하여 이득 및 주파수 특성을 향상시킬 수 있는 방법을 제안하였다. 현재 이용되고 있는 대부분의 적분기 구조는 종속 연결형태의 구조를 이루고 있으며, 단위이득주파수를 확장하기 위해 g_m (transconductance) 값을 크게 할 경우 비우성극점(nondominant pole)과 영점(zero)으로 인한 위상 추이 때문에 필터 구현시 주파수 대역폭의 확장에 제한을 주고 있다.

이와 같은 문제점을 해결하기 위해 CMOS 상보형 적분기를 이용하여 완전균형 상보형 적분기를 제안하였다. 제안된 적분기는 단위 이득 주파수 특성 및 이득이 개선되었다. 한편 영점 및 비우성 극점을 제거할 수 있음을 소신호 해석과 SPICE 시뮬레이션을 통하여 검증하고, 제안된 적분기의 응용회로로서 3V의 단일 공급전압하에서 150MHz

* 전북대학교 전기전자회로합성연구소

** 현대전자 메모리 연구소

접수일자: 1997년 3월 7일

의 차단주파수를 갖는 전류모드 능동필터를 설계하여 주파수 및 이득오차 등의 필터특성을 조사하고 기존의 전류모드 적분기에 의해 설계된 필터와 비교하여 그 특성이 우수함을 입증한다.

II. 기존 적분기 형태와 해석

2.1 NMOS형 전류모드 적분기의 해석

80년대 후반 전류모드 방식에 의해 설계된 회로는 저전압, 저전력 특성을 얻어내기 위하여, 또한 디지털 회로와 공존하여 혼성으로 집적화하기 위한 목적으로 제안되었고, 이를 이용하여 전류모드적분기가 설계되었다. 그리고 전류모드 적분기는 90년대에 들어 발생하는 여러 가지 문제점을 보완하기 위해 그림 2.1과 같은 NMOS 전류모드 적분기로 개선되어 아날로그 회로설계에 응용하고 있다.¹⁶⁾

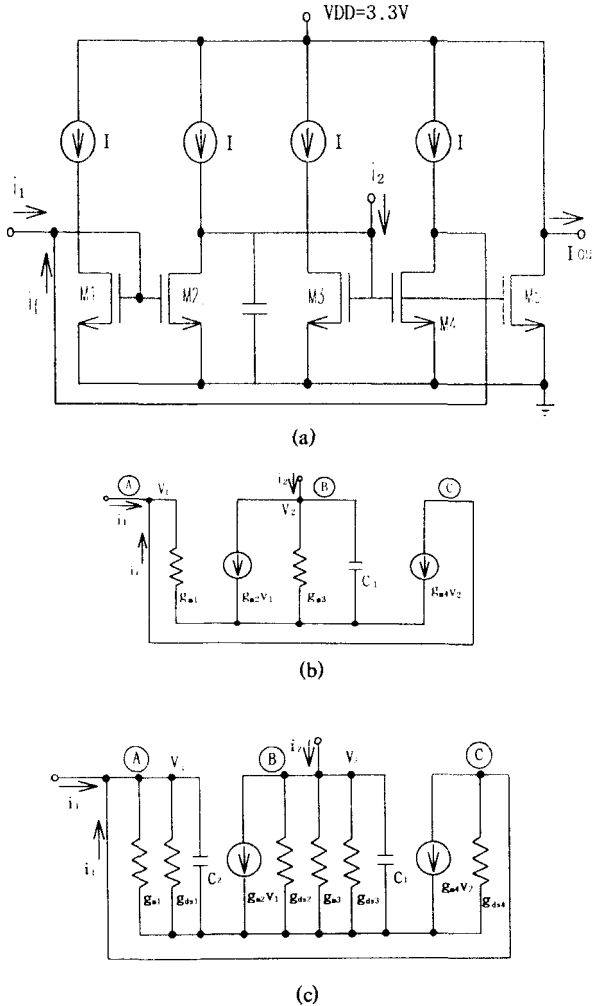


그림 2.1 NMOS 전류모드 적분기

- (a)구성도 (b)1차 소신호 등가회로
- (c)2차 소신호 등가회로

Fig. 2.1 NMOS current-mode integrator

- (a)Architecture (b)First-order small signal equivalent circuit
- (c)Second-order small signal equivalent circuit

그림 2.1(a) 적분기의 출력컨덕턴스(g_{ds})와 기생커패시턴스(C_2)를 무시한 1차 등가회로 그림 2.1(b)에서 모든 트랜지스터들이 이상적인 특성을 갖는다고 할 때, 노드 ㉠, ㉢와 ㉣에서 KCL방정식을 이용하여 식을 정리하면 다음 식(2.1)을 얻을 수 있다.

$$i_f = \frac{g_{m4}}{sC_1} (i_1 - i_2) \quad (2.1)$$

또한 i_f 는 적분기의 캐환전류이며, 출력전류 i_{out} 는 캐환전류 i_f 의 k 배로 설계되므로 최종적으로 얻을 수 있는 출력전류는 다음의 식 (2.2)와 같다.

$$i_{out} = k i_f = k \frac{g_{m4}}{sC_1} (i_1 - i_2) \quad (2.2)$$

식(2.2)에서 k 가 1일 때 최대의 동작범위를 가지므로 단위이득 주파수 (ω_0)는 g_{m4}/C_1 임을 알 수 있다.

그림 2.1(c)의 2차 소신호 해석에서는 1차 해석에서 무시하였던 기생 커패시터 (parasitic capacitor) C_2 와 g_m 에 대해서 상대적으로 작은 값을 갖는 출력컨덕턴스 (g_{ds})등을 포함하여 해석한다. 이때 각 MOS에서 얻어지는 트랜스컨덕턴스 값들은 모두 각각 같은 크기로 설계하였으므로 $g_{m1} \sim g_{m4}$ 를 g_m 으로, $g_{ds1} \sim g_{ds4}$ 를 g_{ds} 값으로 대신하여 각 노드에서 KCL 해석법을 통하여 식을 구해 정리하면 식(2.3a)와 같다.

$$i_f = \frac{\left(-\frac{g_{ds}}{C_2}\right) \left[\left(s - \frac{g_m^2}{g_{ds}C_1}\right) i_1 - \left(-\frac{g_m}{C_1}\right) \right] + \left(s + \frac{g_m + g_{ds}}{C_2}\right) i_2}{\left(s + \frac{4g_{ds}}{C_1}\right) \left(s + \frac{g_m}{C_2}\right)} \quad (2.3a)$$

$$i_f = \frac{k_1(s - z_1) - k_2(s - z_2)}{(s - p_1)(s - p_2)} \quad (2.3b)$$

구해진 식(2.3a)을 식(2.3b)의 기본식과 비교하여 보면 첫 번째 단의 영점(z_1)은 $g_m^2/g_{ds}C_1$ 이며, 두 번째 단의 영점(z_2)은 g_m/C_2 ($g_m \gg g_{ds}$ 이므로)임을 알 수 있다. 또한 우성극점(dominant pole: p_1)은 $-4g_{ds}/C_1$ 이고, 비우성극점(nondominant pole: p_2)은 $-g_m/C_2$ 값임 역시 알 수 있다. 아울러 $\omega_0 = p_1 A_0$ 의 식에서 구할 수 있는 전류이득 값(A_0)은 $g_m/4g_{ds}$ 이다.

2.2 CMOS 상보형 적분기의 해석

연속시간 상보형 전류모드 적분기의 구조는 그림 2.2(a)와 같이 NMOS 전류모드 적분기에서 단위 이득 주파수 특성을 개선하기 위한 방법으로 제안된 회로이다. 그 특성을 소신호 등가회로를 통해 해석하여 본다.¹⁷⁾

그림 2.2(b)의 1차 소신호 등가회로에서 적분기를 구성하고 있는 5개의 트랜지스터들이 이상적인 특성을 갖는다고 가정하고 노드 ㉠, ㉢와 ㉣에서 KCL 방정식을 적용하여 정리하면 다음의 식(2.4)를 얻을 수 있다.

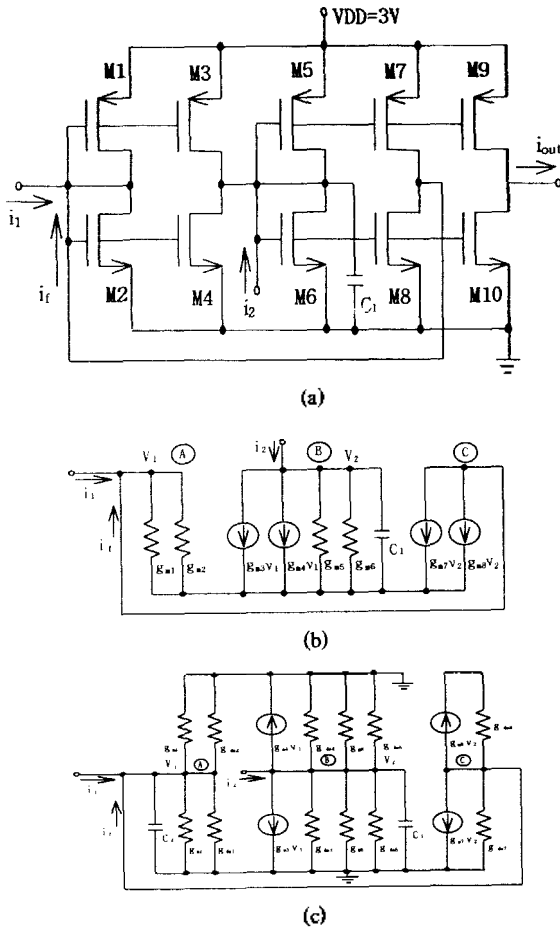


그림 2.2 CMOS 상보형 적분기
(a)구성도 (b)1차 소신호 등가회로
(c)2차 소신호 등가회로

Fig. 2.2 CMOS complementary integrator
(a)Architecture (b)First-order small signal equivalent circuit
(c)Second-order small signal equivalent circuit

이때 MOSFET M1과 M3, M2와 M4, M5와 M7, 그리고 M6과 M8은 모두 전류미러 형태로 구성되어 있으므로 이들의 트랜지스터의 크기를 모두 같은 크기로 설계하게 되면, 이들에 의하여 발생하는 각각의 모든 트랜스컨덕턴스 값들은 $g_{m1} = g_{m3}$, $g_{m2} = g_{m4}$, $g_{m5} = g_{m7}$, $g_{m6} = g_{m8}$ 가 된다.

$$i_f = \frac{g_{m7} + g_{m8}}{sC_1} (i_1 - i_2) \tag{2.4}$$

여기에서 적분기의 출력 전류 i_{out} 는 피이드백 전류 i_f 의 k 배로 설계되므로 최종 출력 전류는 식(2.5)와 같다.

$$i_{out} = k \frac{g_{m7} + g_{m8}}{sC_1} (i_1 - i_2) \tag{2.5}$$

식(2.5)식 역시 k 가 1일 때 전류모드 적분기가 최대의 동적 범위를 가지므로 이때 상보형 적분기의 단위이득 주파수(ω_0)는 $(g_{m7} + g_{m8})/C_1$ 와 같다.

그림 2.2(c)의 2차 소신호 등가회로에서 지금까지 1차 소신호 해석을 통해 무시하였던 C_2 와 g_{ds} 를 고려하여, 이 역시 KCL 해석법을 통해 아래의 식(2.6)~식(2.8)을 얻을 수 있다. 이때 각 MOS에서 얻어지는 트랜스컨덕턴스 값들은 각각 같은 크기로 설계할 수 있으므로 $g_{m1} \sim g_{m8}$ 의 값은 g_m 으로 $g_{ds1} \sim g_{ds8}$ 의 값은 g_{ds} 로 대신하였다.

$$(2g_m + 2g_{ds} + sC_2)v_1 = i_1 + i_f \tag{2.6}$$

$$2g_mv_1 + (2g_m + 4g_{ds} + sC_1)v_2 = i_2 \tag{2.7}$$

$$2g_mv_2 + 2g_{ds}v_1 = -i_f \tag{2.8}$$

식(2.6), 식(2.7) 및 식(2.8)을 정리하면 적분기의 폐환 전류를 포함한 여러 가지 특성은 다음의 결과식과 같다.

$$i_f = \frac{\left(\frac{-2g_{ds}}{C_2}\right)\left[\left(s - \frac{2g_m^2}{g_{ds}C_1}\right)i_1\right] - \left(\frac{2g_m}{C_1}\right)\left[\left(s + \frac{2g_m + 2g_{ds}}{C_2}\right)i_2\right]}{\left(s + \frac{8g_{ds}}{C_1}\right)\left(s + \frac{2g_m}{C_2}\right)} \tag{2.9a}$$

$$i_f = \frac{k_1(s - z_1) - k_2(s - z_2)}{(s - p_1)(s - p_2)} \tag{2.9b}$$

CMOS 상보형 적분기를 해석한 위 식에서 첫 번째 단의 영점(z_1)은 $2g_m^2/g_{ds}C_1$, 두 번째 단의 영점(z_2) 값은 $-2(g_m + g_{ds})/C_2$ 으로 각각 나타나고 있으며, 우성극점(p_1)은 $-8g_{ds}/C_1$ 값으로 비우성극점(p_2)은 $-2g_m/C_2$ 으로 나타난다. 또한 $\omega_0 = p_1 A_0$ 의 식에서 구할 수 있는 단위이득 값(A_0)은 $2(g_{m7} + g_{m8})/4g_{ds}$ 즉, $g_m/2g_{ds}$ 으로 나타낼 수 있다.

2.3 완전균형 상보형 적분기의 제안

앞절의 적분기들에 대한 전달함수 결과식(2.3a)와 (2.9a)를 다시 나타내 보면 다음과 같다.

$$i_f = \frac{\left(\frac{-g_{ds}}{C_2}\right)\left[\left(s - \frac{g_m^2}{g_{ds}C_1}\right)i_1\right] - \left(\frac{g_m}{C_1}\right)\left[\left(s + \frac{g_m + g_{ds}}{C_2}\right)i_2\right]}{\left(s + \frac{4g_{ds}}{C_1}\right)\left(s + \frac{g_m}{C_2}\right)}$$

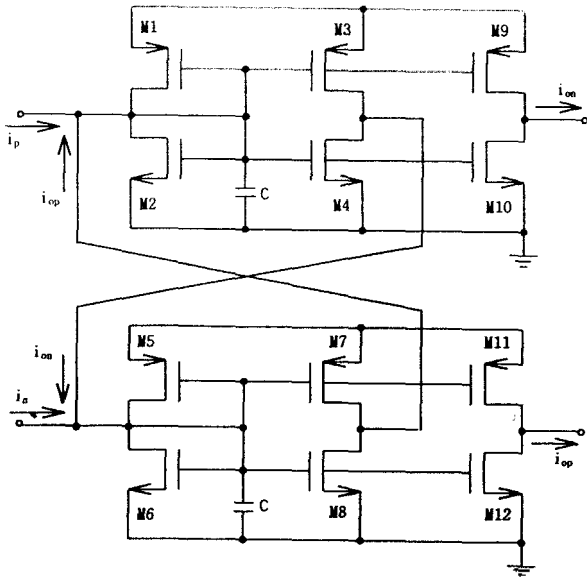
$$i_f = \frac{\left(\frac{-2g_{ds}}{C_2}\right)\left[\left(s - \frac{2g_m^2}{g_{ds}C_1}\right)i_1\right] - \left(\frac{2g_m}{C_1}\right)\left[\left(s + \frac{2g_m + 2g_{ds}}{C_2}\right)i_2\right]}{\left(s + \frac{8g_{ds}}{C_1}\right)\left(s + \frac{2g_m}{C_2}\right)}$$

위 식들에서 얻어진 극점 p_1 , p_2 와 g_{ds} 및 C_2 의 관계를 수식으로 정리하면 다음의 식(2.10a), 식(2.10b)와 같다.

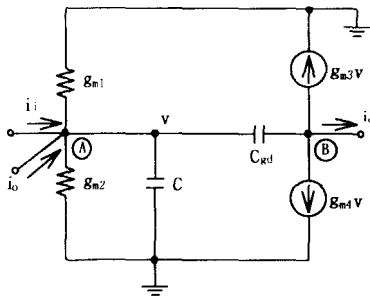
$$p_1 \propto g_{ds} \tag{2.10a}$$

$$p_2 \propto \frac{1}{C_2} \tag{2.10b}$$

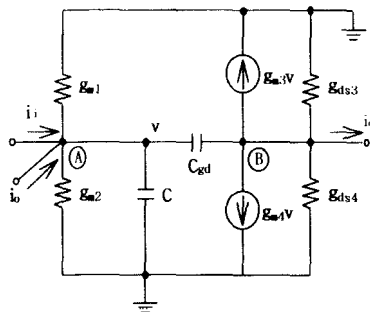
결국 g_{ds} 는 극점 p_1 을 주파수 평면상에서 이동시키고 있으며, C_2 는 비우성극점 p_2 를 위상추이 시키고 있다. 이러한 문제점은 적분기들의 주파수 확장에 제한요인이 되고 있다.



(a)



(b)



(c)

그림 2.3 완전균형 상보형 적분기

(a)구성도 (b)1차 소신호 등가회로

(c)2차 소신호 등가회로

Fig. 2.3 Fully-balanced complementary integrator

(a)Architecture (b)First-order small signal equivalent circuit

(c)Second-order small signal equivalent circuit

언급된 문제들은 커패시터 C_1 을 C_2 를 무시할 수 있을 정도로 크게 해주는 방법과 출력컨덕턴스(g_{ds})의 크기를 축소함으로써 개선시킬 수 있다. 하지만 이와 같은 방법은 전자의 경우 커패시터 값의 불균형을 초래하고, 후자의 경우에는 MOSFET의 비선형함을 야기하여 적분기의 안정성에 큰 영향을 미치게 된다.

따라서 본 논문에서는 이러한 영향들을 야기시키지 않고 문제점을 해결하기 위한 방법으로 그림 2.3(a)와 같은 병렬형태의 구조를 제안하고자 한다. 그림 2.3(a)와 같이 구성하면 전류모드 적분기의 단위이득 주파수 특성을 개선하고, 적분기에 존재하는 영점 및 극점을 제거시킬 수 있으며 그 안정성의 유지에 큰 장점이 있다.

그림 2.3(a)의 완전균형 상보형 적분기를 그림 2.3(b)와 같이 절반 회로(half-circuit) 소신호 등가회로로 간략화시킬 수 있다. 여기서 i_p 는 비반전입력, i_n 은 반전입력이다. 그림 2.3(a)의 적분기가 완전대칭일 때 그림 2.2(b)의 1차 소신호 등가회로의 절점 (A), (B)에서 KCL을 적용하여 식을 구하면 다음의 식(2.11), 식(2.12)와 같다.

$$(g_{m1} + g_{m2})v + s(Cv + 2vC_{gd}) = i_i + i_o \quad (2.11)$$

$$(g_{m3} + g_{m4})v - 2v sC_{gd} = i_o \quad (2.12)$$

이때 제안된 전류모드 적분기를 구성하고 있는 트랜지스터들이 각각 전류미러를 구성하고 있으므로 그들의 트랜스컨덕턴스(g_m)값들은 같은 크기로 대체할 수 있으므로 식(2.11)과 식(2.12)를 계산하여 정리하면 아래의 식과 같이 된다.

$$i_o = \frac{(g_{m1} + g_{m2})}{sC} i_i \quad (2.13)$$

$$i_{op} - i_{on} = \frac{g_{m1} + g_{m2}}{sC} (i_p - i_n) \quad (2.14)$$

그림 2.3(b)에서 무시하였던 출력 컨덕턴스(g_{ds})를 포함한 2차 소신호 등가회로인 그림 2.3(c)에서 KCL 해석법으로 식(2.15)과 식(2.16)을 얻을 수 있다. 이들의 트랜스컨덕턴스(g_m)값들은 같은 크기로 대체할 수 있다.

$$2g_m v + sCv + 2v sC_{gd} = i_i + i_o \quad (2.15)$$

$$2(g_m - g_{ds} - sC_{gd})v = i_o \quad (2.16)$$

식(2.15)과 식(2.16)으로부터 다음을 얻을 수 있다.

$$i_o = A \frac{(1 - \frac{s}{z_1})}{(1 - \frac{s}{p_1})} i_i \quad (2.17)$$

여기에서 존재하는 영점 z_1 과 극점 p_1 은 다음과 같이 표

연할 수 있다.

$$z_1 = \frac{(g_m - g_{ds})}{C_{gd}} \quad (2.18)$$

$$p_1 = \frac{2g_{ds}}{(C + 4C_{gd})} \quad (2.19)$$

또한 전류이득은 다음의 식(2.20)과 같다.

$$A = \frac{(g_m - g_{ds})}{g_{ds}} \quad (2.20)$$

따라서 적분기의 단위이득 주파수는 식(2.21)과 같이 얻을 수 있다.

$$\omega_0 = p_1 A = \frac{2(g_m - g_{ds})}{C + 4C_{gd}} \cong \frac{2g_m}{C} \quad (2.21)$$

$$(\because g_m \gg g_{ds}, C \gg C_{gd})$$

2.4 특성비교 및 시뮬레이션

완전균형 상보형 적분기에 대한 소신호 해석의 결과, NMOS 전류모드 적분기와 CMOS 상보형 적분기보다 표 2.1과 같이 그 특성이 개선될 수 있음을 확인할 수 있다.

표 2.1 소신호 해석 결과
Table 2.1 Small signal analysis results

Architecture	NMOS integrator	CMOS integrator	fully-balanced integrator
Dominant pole (p_1)	g_{ds} / C_1	g_{ds} / C_1	$2g_{ds} / (C + 4C_{gd})$
Nondominant pole (p_2)	g_m / C_2	$2g_m / C_2$	Removed
Zero (z_1)	$g_m^2 / g_{ds} C_1$	$2g_m^2 / g_{ds} C_1$	$(g_m - g_{ds}) / C$
Zero (z_2)	g_m / C_1	$2g_m^2 g_{ds} / C_2$	Removed
Unity gain frequency(f_u)	g_m / C_1	$2g_m / C_1$	$2g_m / C$
Unity gain (A_u)	g_m / g_{ds}	$g_m / 2g_{ds}$	$(g_m - g_{ds}) / g_{ds}$

NMOS 전류모드 적분기, CMOS 상보형 적분기 그리고 완전균형 상보형 적분기에 대한 시뮬레이션 결과는 그림 2.4와 같다.

표 2.1의 소신호 해석 결과에서 보면 제안된 완전균형 상보형 적분기는 단위이득주파수 확장을 위해 트랜스컨덕턴스 값을 크게 하였을 때 가장 분해시되는 비우성극점과 영점이 제거됨을 알 수가 있다. 이는 주파수 대역폭에 영향을 주는 요인을 제거함으로써 적분기의 단위이득주파수를 확장할 수 있음을 보여준다. g_{ds} 값은 g_m 값에 비해 무시될 수 있을 정도로 작기 때문에 단위이득(A_u)이 증가함을 알 수가 있다. 또한 이상과 같이 이론적인 해석을 통해 얻은 개선점을 증명하기 위해 $0.8\mu m$ 공정을 이용하여 시뮬레이션 하였을 때 그림 2.4에서 보여지는 바와 같이 완전균형 상보형 적분기의 이득은 NMOS 전류모드

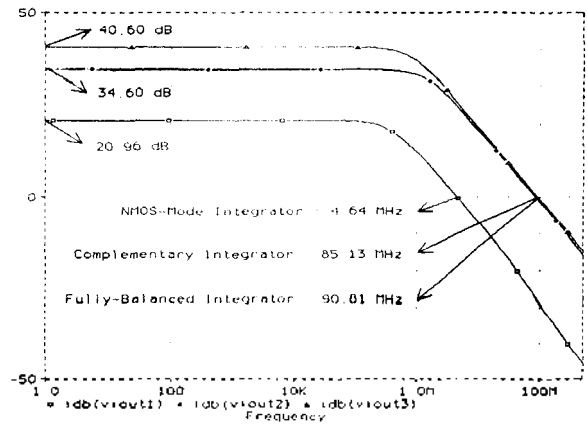


그림 2.4 세 적분기의 시뮬레이션 결과
Fig. 2.4 Simulation results of three integrators

적분기의 20.96dB와 CMOS 상보형 적분기의 34.60dB보다 큰 40.60dB의 값을 얻었음을 알 수 있다. 또한 단위이득주파수는 NMOS 전류모드 적분기의 4.64MHz와 상보형 적분기의 85.13MHz 보다도 넓은 90.81MHz의 값을 얻었음을 알 수 있다. 따라서 본 논문에서 제안한 적분기는 기존의 적분기에 존재하는 영점과 비우성극점의 제거로 인하여 단위이득 및 주파수 특성이 개선되었다.

따라서 제안된 적분기를 이용하여 설계된 시스템 역시 우수한 특성을 지닐 수 있으리라 생각된다. 그러므로 각각의 적분기를 이용하여 능동필터를 설계하여 비교함으로써 응용 가능성을 보여주하고자 한다.

III. 완전균형 전류모드 능동필터 설계

고주파 능동필터 설계에 있어서 적분기는 가장 중요하고 기본블럭이며, 이용되는 적분기의 주파수와 선형성이 그 동작특성을 결정짓는다. 따라서 본 논문에서 제안하여 그 특성개선이 증명된 완전균형 상보형 적분기를 이용하여 능동필터를 설계하고자 한다.

필터의 설계 방법으로는 제일 먼저 설계할 필터를 설정하고, 설정된 필터의 설계사양에 따라 필터함수를 선정하며 그에 맞는 수동필터 회로를 설계한다. 설계된 수동필터를 능동필터로 변환하기 위해 수동회로의 신호흐름선도 즉, SFG(Signal Flow Graph)를 작성하고, 신호흐름선도에 따라 블럭다이어그램을 작성하여 최종적으로 능동필터를 구성하는 단계로 이루어진다.

3.1 완전균형 전류모드 능동필터 설계

전류모드 능동필터의 설계사양을 표 3.1과 같이 설정하였다. 공급전압을 3V로 설정하였으며, 필터함수는 3차 저역통과 체비세프 함수로 하였고, 필터구조는 수동 복중단 계자형 회로망으로 하였는데, 계자형 회로망은 수동회로를 능동회로로 변환하는 과정에서 낮은 감도 특성을 유지할 수 있는 장점을 갖는다. 또한 전류모드 능동필

터의 장점에 부합되도록 비교적 높은 차단주파수에 비하여 낮은 소비전력을 갖도록 설정하였다.

표 3.1 전류모드 저역필터 설계사양

Table 3.1 Specification of the current-mode lowpass filter

Parameter	Specification
Filter function	Third-order Lowpass, Chebyshev
Passive filter type	Doubly-terminated ladder network
Passband ripple	0.1 dB
Cutoff frequency	150 MHz
Power supply voltage	3 V
Power dissipation	< 6 μ W/pole

설정된 설계사양에 의하여 설계된 전류모드 3차 수동 저역통과 필터는 그림 3.1과 같으며 소자값은 표 3.2와 같다.

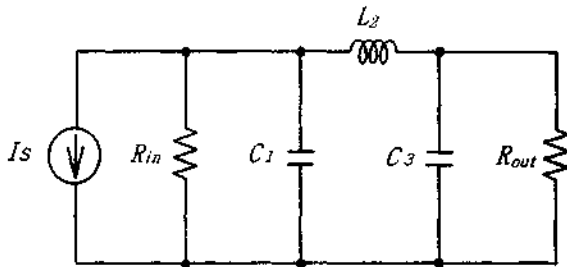


그림 3.1 전류모드 3차 수동저역필터
Fig. 3.1 Current-mode third-order passive filter

표 3.2 수동필터의 소자값

Table 3.2 Component value of the passive filter

Passive component	Value ($\omega_c = 1\text{rad/sec}$)
R_{in}	1 Ω
C_1	1.4328 F
L_2	1.5937 H
C_3	1.4328 F
R_{out}	1 Ω

그림 3.1의 전류모드 수동필터를 전류모드 능동회로로 변환하기 위하여 작성한 신호흐름선도는 그림 3.2와 같다. 신호흐름선도의 작성시에 L과 C로 구성된 전류모드 수동필터의 각 소자에 흐르는 전류들은 식(3.1)~식(3.3)으로 표현되며 이 식들에 의하여 신호흐름선도가 구성된다.

$$I_1 = \frac{1}{SC_1} (I_S - I_1 - I_2) \quad (3.1)$$

$$I_2 = \frac{1}{SL_2} (I_1 - I_2) \quad (3.2)$$

$$I_3 = \frac{1}{SC_3} (I_2 - I_3) \quad (3.3)$$

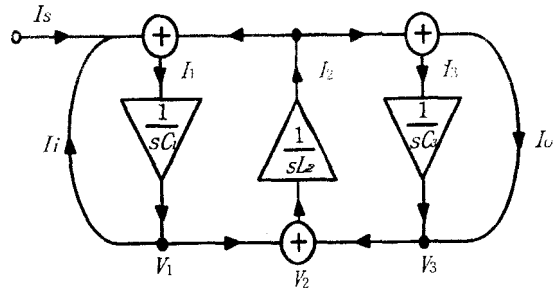


그림 3.2 신호흐름선도
Fig. 3.2 SFG(Signal flow graph)

식(3.1), 식(3.2) 및 식(3.3)을 통해 블럭다이아그램 구성을 위한 신호흐름선도는 그림 3.2와 같이 구성된다. 그림 3.2에서 적분항은 앞장에서 제안된 바 있는 완전균형 상보형 전류모드 적분기에 의하여 모의되며, 각 노드점 사이의 덧셈기는 전류모드 적분기의 입력단에서 함으로 모의되어 최종적으로 필터설계를 위한 블럭다이아그램이 그림 3.3과 같이 구성된다.

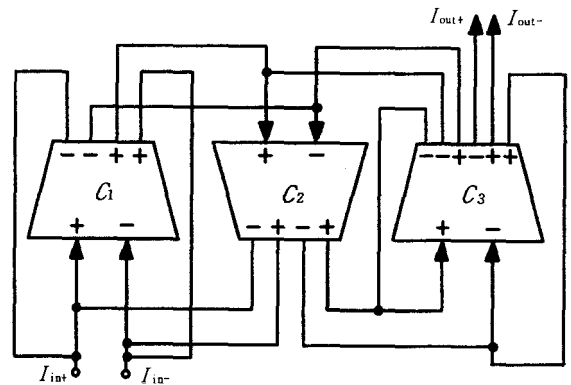


그림 3.3 전류모드 3차 저역통과 필터의 블럭다이아그램
Fig. 3.3 Block diagram of the current-mode 3rd-order lowpass filter

표 3.3 전류모드 적분기의 커패시턴스

Table 3.3 Capacitances of current-mode integrators

Passive component (X_i)	Transconductance (g_m)	Cutoff frequency (ω_{co})	Integration capacitor (C_i)
$C_1 (= 1.4328 \text{ F})$	670 μ	150 MHz	$C_1 (= 1.018 \text{ pF})$
$L_2 (= 1.5937 \text{ H})$	670 μ	150 MHz	$C_2 (= 1.132 \text{ pF})$
$C_3 (= 1.4328 \text{ F})$	670 μ	150 MHz	$C_3 (= 1.018 \text{ pF})$

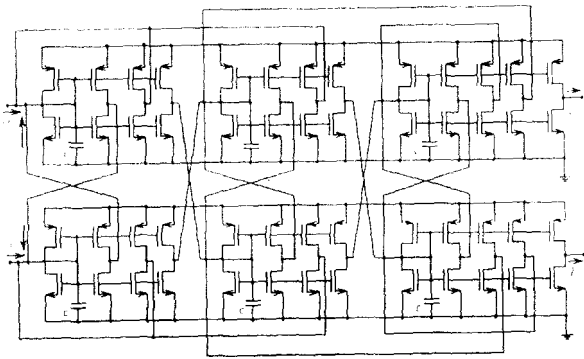


그림 3.4 설계된 전류모드 3차 능동 저역통과 필터
Fig. 3.4 Designed current-mode 3rd-order lowpass filter

그림 3.3의 블럭다이어그램에 의하여 전류모드 능동필터는 3개의 전류모드 적분기로 직접 모의되며, 전류모드 적분기 내부의 적분 커패시터의 값을 결정함으로써 설계가 완료된다. 각각의 전류모드 적분기 적분 커패시터 C_i 는 식(3.4)를 통해 구할 수 있다.

$$C_i = \frac{g_m X_i}{\omega_{c0}} \quad (3.4)$$

식(3.4)에서 g_m 은 전류모드 적분기의 트랜스컨덕턴스이며, X_i 는 i 번째 회로의 규준화(normalized)된 수동 소자 값이고, ω_{c0} 는 전류모드 능동필터의 차단주파수이다. 제안된 전류모드 적분기의 g_m 값과 설계된 전류모드 필터의 차단주파수를 식(3.4)에 대입하여 얻어낸 적분 커패시턴스들을 표 3.3에 나타내었다.

3.2 시뮬레이션 및 고찰

NMOS 전류모드 적분기, CMOS 상보형 적분기와 완전균형 상보형 적분기를 이용하여 동일한 설계사양하에서 설계된 전류모드 3차 능동 저역필터의 시뮬레이션된 주파수 특성비교는 그림 3.5와 같다.

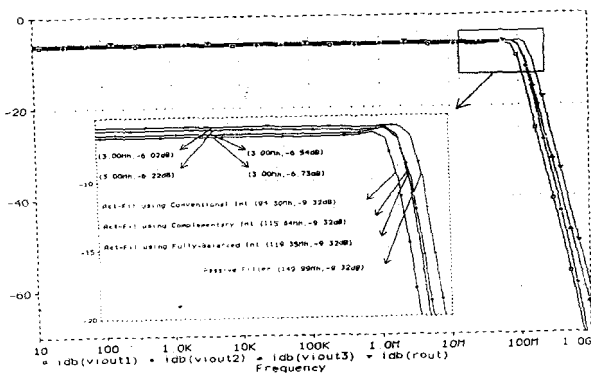


그림 3.5 설계된 필터들의 주파수응답 특성
Fig. 3.5 Frequency response of the designed current-mode filters

현대 0.8 μ m 공정파라미터를 이용한 그림 3.5의 주파수 응답특성 시뮬레이션에서 얻어진 결과에서 알 수 있듯이, 본 논문에서 제안된 완전균형 상보형 적분기를 이용한 필터의 특성이 기존의 NMOS 전류모드 적분기와 CMOS 상보형 적분기 등 기존의 적분기를 이용한 필터 특성에 비하여 선형성, 차단주파수 및 오차등이 크게 개선되었다.

특히, 필터의 특성을 결정하는 3dB 차단주파수 및 이득오차 특성은 NMOS 전류모드 적분기를 이용한 필터보다도 CMOS 상보형 적분기를 이용한 필터의 특성이 우수하였으며, 제안된 완전균형 상보형 적분기를 이용하여 설계된 필터는 기존의 적분기들을 통해 설계된 필터들보다도 필터설계사양에 더욱 근접하는 우수한 특성을 보였다.

IV. 결 론

본 논문에서는 최근 주목받고 있는 전류모드 설계방식을 이용하여 새로운 구조를 갖는 완전균형 상보형 전류모드 적분기를 설계하였고, 소신호 해석 및 시뮬레이션을 통하여 기존의 적분기들보다 개선되었음을 증명하였다. 0.8 μ m공정을 이용한 시뮬레이션 결과를 통해 단위이득 주파수를 비교하여 보면 NMOS 전류모드 적분기는 4.64 MHz, 상보형 적분기는 85.13MHz인 반면 제안된 완전균형 상보형 적분기는 90.81MHz로 가장 크게 나타나고 있다. 또한 완전대칭구조로 인해 영점과 비수극점을 제거함으로써 위상추이 초래로 인한 단점을 개선시킬 수 있었다. 제안된 fully-balanced 적분기의 시스템 응용여부를 판단하고, 개선된 특성을 비교, 분석하기 위해 각각의 3차 저역통과 능동필터를 설계하여 시뮬레이션 하였다. 그 결과를 기존의 적분기들로 구성된 필터들과 비교하였을 때 단일공급전압에서 이득 및 차단주파수를 개선시킬 수 있음을 확인하였다.

설계된 완전균형 상보형 적분기는 VHF용 통신시스템, 이동통신용 IF회로, 마그네틱 디스크 드라이버의 Read-channel 시스템 등에서 신호의 선별 및 복원처리 기능을 하는데 필수적인 능동필터의 설계시 적절하게 응용될 수 있다. 특히, 수동회로가 사용된 각종 회로에서 저전력 고주파 특성을 갖는 능동회로 설계에 유용하게 이용될 수 있을 것이다.

참 고 문 헌

1. T. S. Fiez and D. J. Allstot, "CMOS switched-current ladder filters," IEEE J. Solid-State Circuits, vol. 25, pp. 1360-1367, Dec. 1990.
2. J. Ramirez-Angulo, M. Robinson, and E. Sanchez-Sinencio, "Current-mode continuous-time filters: Two design approaches," IEEE Trans. Circuits and Systems II: Analog and Digital Signal Processing, vol. 39, no. 6, pp. 337-341, June 1992.
3. H. Khorramabadi and P. R. Gray, "High frequency CMOS

continuous-time filters," IEEE J. of Solid-State Circuits, vol. SC-19, no. 6, pp. 939-948, Dec. 1984.

4. S. S. Lee, R. H. Zele, D. J. Allstot, and G. Liang, "A continuous-time current-mode integrator," IEEE Trans. Circuits and Systems, vol. 38, pp. 1236-1238, Oct. 1991.
5. R. H. Zele, D. J. Allstot, and T. S. Fiez, "Fully-differential CMOS current-mode circuits," in Proc. IEEE ISCAS, pp. 2411-2414, 1992.
6. R. H. Zele, S. S. Lee and D. J. Allstot, "A 3V-125 MHz CMOS Continuous-Time Filter" in Proc. IEEE ISCAS, pp. 1164-1167, 1993.
7. J. H. Bang, "A New Integrator and Frequency Automatic Tuning Circuit for Realization of the Low-Voltage and Low-Power CMOS Current-mode Filter," Ph.D. Thesis, Chonbuk National University, Korea, 1996.
8. T. Georgantas, Y. Papananous, and Y. Tsvividis, "A Comparative Study of Five Integrator Structures for Monolithic Continuous-Time Filters," IEEE J. of Solid-State Circuits pp. 1259-1262, June 1993.
9. R. H. Zele, S. S. Lee, and D. J. Allstot, "A high-gain current-mode operational amplifier," in Proc. IEEE ISCAS, pp. 2852-2855, 1992.
10. S. L. Smith, E. S-Sinencio, "3v High-Frequency Current-Mode Filters," in Proc. IEEE ISCAS, pp. 1459-1462, 1993.

▲이 근 호(Geun-Ho Lee) 1969年 3月 29日生



1994年 2月: 전북대학교 공과대학 전기공학과 졸업(공학사)
 1997年 2月: 전북대학교 대학원 전기공학과 석사졸업(공학석사)
 1997年 3月~현재: 전북대학교 대학원 전기공학과 박사과정
 1996年 5月~현재: 전북대학교 전기전자회로합성연구소 조교

※주관심분야: 회로 및 시스템, VLSI설계

▲방 준 호(Jun-Ho Bang) 1966年 9月 29日生



1989年 2月: 전북대학교 공과대학 전기공학과 졸업(공학사)
 1991年 2月: 전북대학교 대학원 전기공학과 석사졸업(공학석사)
 1996年 2月: 전북대학교 대학원 전기공학과 박사졸업(공학박사)

1996年 6月~현재: 전북대학교 전기전자회로합성연구소 연구원

※주관심분야: 아날로그 집적회로

▲조 심 익(Seong-Ik Cho) 1961年 2月 10日生



1987年 2月: 전북대학교 공과대학 전기공학과 졸업(공학사)
 1989年 2月: 전북대학교 대학원 전기공학과 석사졸업(공학석사)
 1994年 2月: 전북대학교 대학원 전기공학과 박사졸업(공학박사)

1996年 5月~현재: 현대전자 Memory연구소 선임연구원
 ※주관심분야: 회로 및 시스템

▲김 동 용(Dong-Yong Kim) 1945年 7月 31日生



1967年 2月: 전북대학교 공과대학 전기공학과 졸업(공학사)
 1973年 2月: 전북대학교 대학원 전기공학과 석사졸업(공학석사)
 1985年 2月: 캐나다 마니토바 대학교 전기공학과 박사졸업(공학박사)

1975年 1月~현재: 전북대학교 전기전자제어공학부 교수
 1986年 10月~1988年 9月: 전북대학교 전자계산소 소장
 1992年 5月~현재: 한국과학재단 한일기초과학교류위원회 전문위원

1993年 3月~현재: IEEE 호남지부 지부장

1996年 4月~현재: 전북대학교 전기전자회로합성연구소 소장
 ※주관심분야: 회로 및 시스템, VLSI설계