

일괄검사를 위한 BIST 설계의 FPGA 구현

이 강 현[†]

요 약

본 논문에서는 FPGA에 회로를 설계할 때, 일괄검사가 가능한 BIST의 효율적인 BILBO(이하 EBILBO)를 설계한다. 제안된 일괄검사 알고리즘은 회로의 복잡도와 규모가 큰 회로에서 하나의 핀(pin)으로 정상속도에서 회로검사가 가능하다. BIST 설계에서, 필요한 검사패턴은 의사 랜덤패턴으로 생성하고, 출력은 다중 입력 쉬프트 레지스터에 의한 병렬 신호분석으로 검사하였다. 제안된 알고리즘은 VHDL로 동작적 기술하므로 검사패턴 생성과 응답분석 및 압축에 대한 모델을 용이하게 변경할 수 있다.

FPGA상에 설계된 회로에서, 구현된 BIST의 EBILBO의 면적과 성능은 ISCAS89 벤치마크 회로를 통하여 평가하였다. 600 셀(cell) 이상의 회로에서 EBILBO 면적은 30% 이하로 감소하고, 검사패턴은 500K 정도로 신속성 있게 생성되고, 고장검출률의 범위는 88.3%에서 100%임을 확인하였다. 일괄검사의 BIST를 위한 EBILBO 동작은 정상모드와 병행하여 실시간으로 검사모드를 $s + n + (2^s/2^p - 1)$ 시간 내에 동시에 수행할 수 있다(CUT의 PI 수: n, 레지스터 수: s, p는 다항식의 차수). 제안된 알고리즘은 VHDL 코딩으로 설계와 검사가 병행될 수 있는 라이브러리로 구축되어 DFT에 광범위하게 응용되어질 수 있다.

A FPGA Implementation of BIST Design for the Batch Testing

Kang Hyeon Rhee[†]

ABSTRACT

In this paper, the efficient BILBO(named EBILBO) is designed for BIST that is able to batch the testing when circuit is designed on FPGA. The proposed algorithm of batch testing is able to test the normal operation speed with one pin-count that can control all part of large and complex circuit. PRTPG is used for the test pattern and MISR is used for PSA. The proposed algorithm of batch testing is VHDL coding on behavioral description, so it is easily modified the model of test pattern generation, signature analysis and compression.

The EBILBO's area and the performance of designed BIST are evaluated with ISCAS89 benchmark circuit on FPGA. In circuit with above 600 cells, it is shown that area is reduced below 30%, test pattern is flexibly generated about 500K and the fault coverage is from 88.3% to 100%. EBILBO for the proposed batch testing BIST is able to execute concurrently normal and test mode operation in real time to the number of $s + n + (2^s/2^p - 1)$ clock(where, in CUT, # of PI: n, # of register, p is order # of polynomial). The proposed algorithm coded with VHDL is made of library, then it will be widely applied to DFT that satisfy the design and test field on sme time.

※본 논문은 1994년도 조선대학교 학술연구비에 의하여 연구되었습니다.

† 정 회 원: 조선대학교 전자, 정보통신공학부

논문접수: 1996년 10월 21일, 심사완료: 1997년 5월 19일

1. 서 론

최근의 LSI/VLSI는 회로의 복잡도가 증가하여 검사가 중요한 문제로 대두되고 있다. 따라서 회로검사를 위한 여러가지 접근이 연구되고 있다. 복잡도가 증가된 회로의 검사방법은 순차회로를 조합회로와 레지스터로 분할하여 접근을 한다. 순차회로는 레지스터의 처리 때문에 검사방법이 복잡하고 많은 검사패턴의 수가 필요하고 또한 생성이 어렵다. 그러므로 효율적인 검사방법의 구현을 위하여, 레지스터를 회로검사 동작에 용이하게 이용할 수 있는 검사기능 모듈(test function module)의 필요성이 요구된다[1, 2].

이러한 기능 모듈은 검사용이화 설계(design for testability: DFT)를 위하여 회로에 내장되어 자체검사(built-in self test: BIST)[3]가 가능해야 하는데 BILBO(built-in logic block observation) 회로[4]는 CUT(circuit under test)내의 레지스터를 이용하여 검사패턴 발생과 신호분석을 한다. 그러나 칩의 복잡도와 회로 규모가 커지면서 기존의 BILBO는 검사의 개연성(probability)이 약하므로 회로동작 시에 보다 다기능의 실시간 검사가 요구된다.

이를 위하여 순차회로를 PI, PO만의 블록 박스로 취급하여 전수검사(exhaustive testing)로 간주하는 검사실험(checking experiment) 방법[5]이 제안되었고, 출력신호를 분석하는 데이터 압축안을 사용하여 관측수를 줄이는 방법[6], CUT 외부에 검사/리셋 모드를 사용하여 적은 검사모드를 제공하는 방법[7], 그리고 검사패턴 생성과 출력신호 분석을 동시에 실행하는 C(concurrent)BILBO[8] 등이 연구되었다.

본 논문에서는 FPGA의 BIST 구현을 위한 실시간의 일괄검사 알고리즘을 제안한다. 제안된 검사 알고리즘의 구현을 위하여 효율적(efficient)인 BILBO(이하 EBILBO)를 설계한다. EBILBO는 단위 검사시간 내에 기존의 BILBO, Modified BILBO, Concurrent BILBO, Scan BIST[8] 등의 normal, latch, scan, LFSR(linear feedback shift register)의 실행모드가 자동으로 일괄처리 되며, 실시간의 검사패턴 생성과 관측성(observability)이 동시에 실행된다. 그리고 순차회로의 설계와 병행하여 제안된 BIST 모듈을 동시에 설계, 합성할 수 있도록 ISCAS89 벤치마크 회로를 구조적 및 동작적 기술(structural and behavioral description)

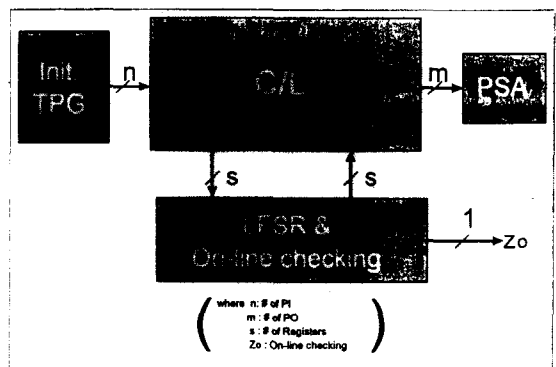
의 혼성 VHDL 코딩으로 시뮬레이션하고 이를 검토 비교하여 그 유효성을 입증한다.

본 논문은 4장으로 구성되어 있다. 제2장에서는 일괄검사를 위한 BIST의 EBILBO를 설계하고, 제3장에서, 설계합성 및 실행결과의 분석, 검토를 하고 제5장에서 결론을 맺는다.

2. 제안된 BIST의 EBILBO 설계

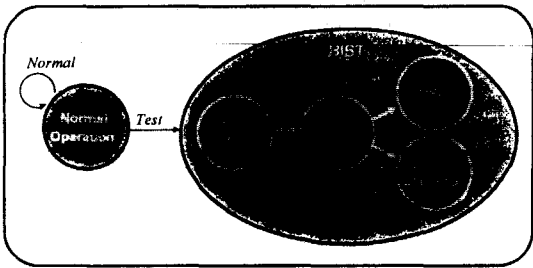
CUT의 검사비용은 스캔 설계비용과 검사패턴 생성비용으로 이루어진다. 그리고 기존의 검사방법의 단계는 normal, latch, scan, LFSR의 4가지 모드가 같이 독자적으로 선택이 되고 별도의 모드 제어편에 의해 실행이 된다.

본 논문에서는 순차회로의 검사비용을 감소하기 위하여, 회로 내의 레지스터들을 하나의 블록으로 구성하여 회로의 각 검사모드가 회로동작의 클럭에 의해 자동으로 변환되어 일괄처리되어 실행되는 BIST의 일괄검사 알고리즘을 제안한다. 이를 위하여 제안된 BIST 구조는 자체검사 동안에 (그림 1)과 같이 초기 검사패턴(initial test pattern: Init. TP) 인가부분, 조합(combination logic: C/L)회로, LFSR(linear feedback shift register)에 의한 의사 랜덤 검사패턴 생성(pseudo random test pattern generation: PRTPG)과 실시간 측정(on-line checking), PO의 병렬 신호분석기(parallel signature analyzer: PSA)로 구성된다.



(그림 1) 제안된 BIST의 구조
(Fig. 1) The BIST structure proposed

그리고 일괄검사를 위한 검사모드 동작과 이에 필요한 클럭 수는 <표 1>과 같다. 검사모드의 동작은 Init. TP, LFSR, PSA의 세 가지 동작이 회로크기에 따른 그림 1의 n, m, s에 의해 필요한 클럭 수에 의해 자동 변환되어 CUT를 자체 검사할 수 있는 일괄검사가 된다. 이의 검사 흐름도는 (그림 2)와 같다.



(그림 2) 제안된 BIST의 일괄검사 흐름도
(Fig. 2) Flow diagram of the batch testing BIST proposed

<표 1> 제안된 검사순차의 동작
(Table 1) The test sequence operation proposed

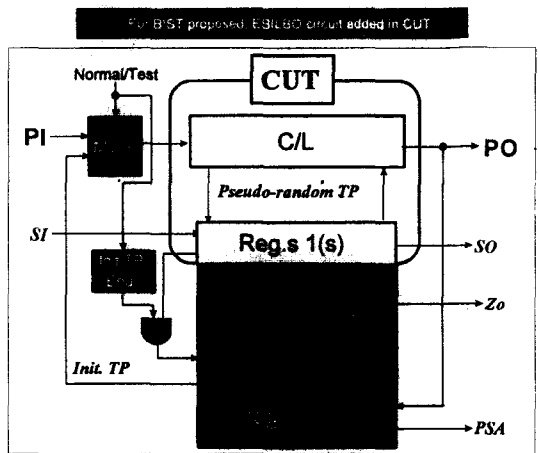
Order	Operation	# of CLKs	Required Remark
1	Init. TP	$s + n$	Initial TP generated by singular cover of PIs
2	LFSR, On-line checking	$(2^s/2^p - 1)$	Test pattern generation & On-line checking of internal nodes.
3	PSA		Parallel signature analyzer of POs
Total # of CLK		$s + n(2^s/2^p - 1)$	$p = 0, 1, 2, 3, \dots$

제안된 BIST의 검사용이화 설계의 향상을 위하여 (그림 1)과 <표 1>에서 제어도, 관측도, 검사도는 다음과 같이 한다.

1. 제어도: CUT의 PI에 대한 게이트 함수의 특이커버 (singular cover)[9]로 초기 검사패턴을 용이하게 생성, 인가한다.
2. 관측도: 구성된 EBILBO에서 실시간 측정은 s개의 레지스터에서 회로동작의 중간관측과 CUT의 PO에서 PSA로 최종관측으로 신호분석을 검사동작과 동시에 실행한다.

3. 검사도: 구성된 EBILBO의 LFSR에 생성된 검사패턴을 다항식에 의해 <표 1>의 2^p 으로 감소할 수 있는 신축성 있는 의사 랜덤 패턴을 생성하여 검사시간의 단축에 따른 검사도를 향상한다.

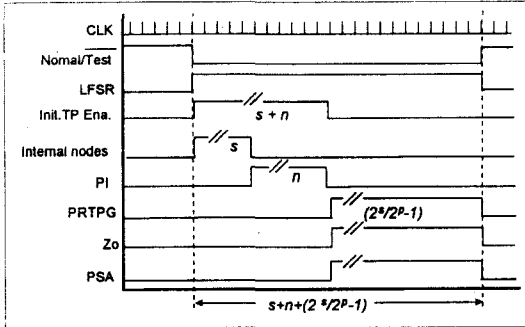
순차회로의 레지스터를 본 논문에서 제안한 (그림 1)의 일괄검사 BIST를 위한 EBILBO의 구성은 (그림 3)과 같다.



(그림 3) 제안된 일괄검사 BIST의 EBILBO 구조
(Fig. 3) EBILBO structure for the batch testing BIST proposed

CUT의 PI, PO가 n, m이고 s개의 레지스터로 구성되어 있으며, CUT가 Normal/Test의 선택신호에 의하여 정상동작과 검사동작으로 구분되어 실행된다. 정상동작에서 n개의 PI는 CUT의 입력에 인가되고 s개의 레지스터는 회로의 기억소자로 동작후 PO로 출력한다. 검사동작에서는 Reg. 2로 n개의 초기 검사패턴(Init. TP)을 <표 1>과 같이 n개의 클럭 동안에 입력받고, Reg. 1에 인가된 CUT의 내부 논리값은 실시간 측정으로 Zo에서 관측하고, $2^s/2^p - 1$ 개의 클럭 동안에 의사 랜덤 검사패턴이 신축성 있게 생성되어 CUT의 내부노드에 입력되면서 PO 값은 PSA의 Reg. 3에 인가되어 최종 관측이 이루어진다. 이의 타이밍 차트는 (그림 4)와 같다.

EBILBO는 (그림 3)의 CUT 중에서 s개의 레지스터에 추가하여 랜덤 패턴이 $1/2^p$ 으로 신축성 있게 가변



(그림 4) 제안된 일괄검사의 EBILBO 타이밍 차트
(Fig. 4) EBILBO timing chart of the batch testing proposed

되는 의사 랜덤 검사패턴 생성기와 실시간 측정기능을 갖는 모듈, Normal/Test 선택의 2:1 MUX, 초기 검사패턴을 스캔 입력하는 n개의 레지스터, 최종 신호 분석을 하는 m개의 레지스터로 구성한다.

그리고 제안된 일괄처리의 자체검사 알고리즘은 (그림 5)와 같다. 여기서 Factor의 NORMAL_TEST는 회로의 정상동작과 검사동작의 선택신호이며, SI는 초기 검사패턴을 Reg. 1에 인가하는 직렬입력으로 제어도와 관련이 되고 SO는 Reg. 1의 내용을 직렬 출력하는 관측성과 관련된다. 그리고 PSA는 PO의 병

```

/* Algorithm of BIST for the batch testing */
Factor : NORMAL_TEST, SI, SO, PSA, Zo, PI, PO;
begin BIST
  begin
    NORMAL : NORMAL_TEST == high;
    CLK event'1
      PO <= Reg_1 <- PI; /* Normal operation */
    end NORMAL
  begin
    TEST : NORMAL_TEST == low;
    CLK event'1
      PI <= Reg_1 <- SI; /* Initial test patterns by
        singular cover */
      Zo <= Reg_2; /* On-line checking */
      Pseudo random test patterns <= Reg_2; /* Test
        pattern generation */
      PO <= C/L <= Pseudo random test patterns;
        /* Output */
      PSA <= Reg_3 <- PO; /* Parallel signature
        analysis */
    end TEST
  end BIST

```

(그림 5) 제안된 BIST 알고리즘
(Fig. 5) Algorithm of proposed BIST for the batch testing

렬신호 분석하는 검사도와 관련이 되고, Zo는 Reg. 1의 내용을 실시간으로 관측할 수 있는 관측성과 관련된다.

NORMAL_TEST 핀의 값이 1이면 회로는 정상동작을 하고, 0이면 검사동작이 일괄처리 된다. 일괄처리의 단계는 초기 검사패턴 인가, 실시간 측정, 의사 랜덤 패턴 생성, 병렬 신호분석이 자동으로 회로 클럭에 의해 Reg. 1, 2, 3에서 실행이 된다.

3. 설계합성 및 검토

본 논문에서 제안된 FPGA의 일괄검사를 위한 BIST의 구현을 위하여 ISCAS89 벤치마크 순차회로의 내부 레지스터를 EBILBO로 설계, 합성하였다. 설계는 VHDL로 코딩하는데 CUT의 조합회로는 구조적 기술로, 레지스터를 포함하는 EBILBO는 제안된 일괄검사 알고리즘에 따라 동작적 기술로 하여 시뮬레이션을 Intergraph(Veri-Best)의 ECAD 툴로 실행하였다. 그리고 설계합성은 FPGA 4K 셀과 실행은 20Mhz에서 이루어 졌으며, 회로동작의 클럭 상승에

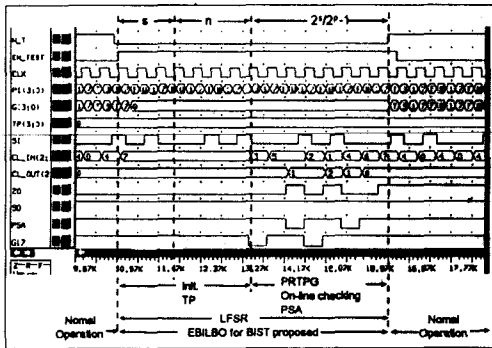
```

process(NORMAL_TEST, TP_EN, PI, INIT_TP)
begin
  if NORMAL_TEST = '1' then
    G <= PI;
  else
    if TP_EN = '1' then
      G <= INIT_TP;
    else
      G <= PI;
    end if;
  end if;
end process;
process
begin
  wait until CLK'event and CLK = '1';
  MODE_SEL <= To_Int(CLK_COUNT);
  CLK_COUNT <= CLK_COUNT + '1';
  EBIL_OUT <= LFSR;
  TP_EN <= '0';
  if NORMAL_TEST = '1' then
    EBIL_OUT <= EBIL_IN;
    CLK_COUNT <= "0000";
  else
    TP_EN <= '1';
    P_COUNT <= PO xor PSA ;
    PSA <= P_COUNT;
    if((MODE_SEL=0) and (MODE_SEL > 0) and (MODE_SEL < 4)) then
      REG2 <= SI & REG2(3 downto 1);
    elsif ((MODE_SEL > 3) and (MODE_SEL < 7)) then
      LFSR <= SI & LFSR(2 downto 1);
      SO <= LFSR(0);
    else if (MODE_SEL = 7) then
      INIT_TP <= REG2;
    elsif ((MODE_SEL > 7) and (MODE_SEL < 15)) then
      LFSR <= (LFSR(2) xor LFSR(0)) & LFSR(2 downto 1);
      ZO <= LFSR(0);
    end if;
  end if;
end process;

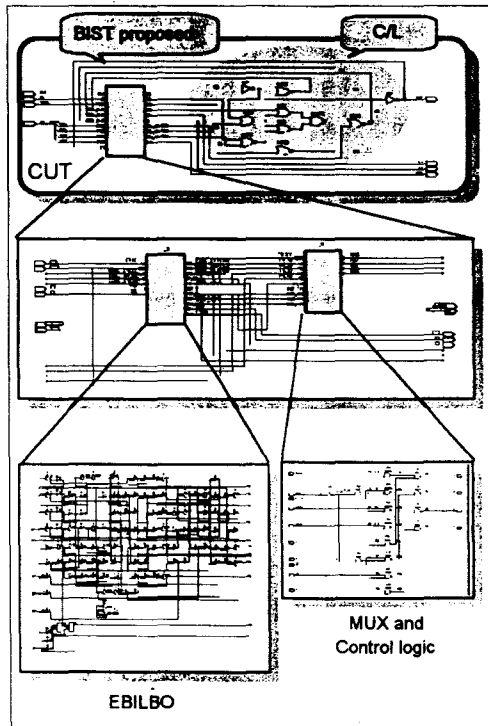
```

(그림 6) S27 EBILBO의 VHDL 코딩의 프로세스 문
(Fig. 6) Process statement of S27 EBILBO VHDL coding

동기 하여 하나의 핀(NORMAL_TEST) 신호에 의해서 CUT의 필요한 n의 PI 수, m의 PO 수, s의 내부 레지스터 수에 따라 일괄검사의 BIST가 자동으로 실행된다. (그림 6)은 S27 회로에 제안된 일괄검사를 위한



(그림 7) S27의 제안된 BIST의 시뮬레이션 실행결과
(Fig. 7) Simulation result of S27 with BIST proposed

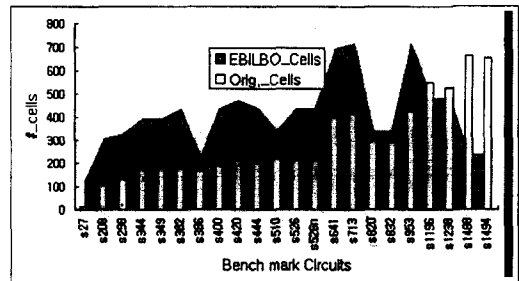


(그림 8) S27의 제안된 BIST의 EBILBO 설계합성
(Fig. 8) EBILBO design synthesis of S27 with BIST proposed

BIST의 EBILBO에 대한 VHDL 코딩의 동작적 기술 프로세스 문이다.

시뮬레이션 실행결과는 (그림 7)과 같고 설계 합성된 회로는 (그림 8)과 같다.

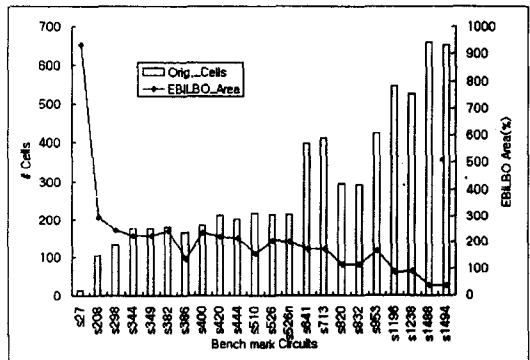
그리고 <표 2>는 각 벤치마크 회로에 대한 실행결과이다. 여기서 (A)항은 FPGA에서의 각 벤치마크 회로의 셀 수를 나타내고, 본 논문의 BIST를 위한 EBILBO를 구현했을 때 FPGA에서의 셀 수는 (B)항이다.



(그림 9) 원 셀과 EBILBO 셀 수의 비교
(Fig. 9) Comparison between number of original cells and EBILBO cells

그리고 각 벤치마크 회로의 크기와 제안된 (그림 4)의 EBILBO의 크기에 따른 FPGA의 셀 수는 (그림 9)와 같고, 이의 면적 비는 (그림 10)과 같다.

(그림 10)에서 CUT가 대규모 회로일수록 제안된 BIST의 EBILBO의 크기가 상대적으로 30% 정도로



(그림 10) 원 셀에 대한 EBILBO의 면적비
(Fig. 10) Area ratio of EBILBO vs. original cells

〈표 2〉 제안된 BIST의 EBILBO의 실행결과
 (Table 2) EBILBO operation results of BIST proposed

Bench mark Circuits	PI	PO	(A)	(B)	EBILBO FF area(%)	Area overhead added(A : B)	Test length(p)	Test time on 20MHz, (μ sec.)	Fault coverage (%)
			Orig. Cells(FF)	EBILBO Cells(FF)					
s27	4	1	13 (3)	121 (27)	22	9.31	8 (0)	0.70	100
s208	11	2	104 (8)	305 (61)	20	2.93	256 (0)	13.70	99.2
s298	3	6	133(14)	325 (68)	21	2.44	16,384 (0)	819.77	96.3
s344	9	11	175(15)	392 (87)	22	2.24	32,768 (0)	1,639.55	91.4
s349	9	11	176(15)	392 (87)	22	2.23	32,768 (0)	1,639.55	94.8
s382	3	6	179(21)	435 (98)	23	2.43	524,288 (2)	26,215.55	87.8
s386	7	7	165 (6)	223 (48)	22	1.35	64 (0)	3.80	88.3
s400	3	6	185(21)	435 (98)	23	2.35	524,288 (2)	26,215.55	88.5
s420	19	2	212(16)	469(108)	23	2.21	65,536 (0)	3,278.50	96.4
s444	3	6	202(21)	435 (98)	23	2.15	524,288 (2)	26,215.55	90.1
s510	19	7	217 (6)	337 (72)	21	1.55	64 (0)	4.40	88.1
s526	3	6	214(21)	435 (98)	23	2.03	524,288 (2)	26,215.55	91.6
s526n	3	6	215(21)	435 (98)	23	2.02	524,288 (2)	26,215.55	92.4
s641	35	24	398(19)	690(155)	22	1.73	524,288 (0)	26,217.05	94.7
s713	35	23	412(19)	713(175)	25	1.73	524,288 (0)	26,217.05	97.8
s820	18	19	294 (5)	337 (81)	24	1.15	32 (0)	2.70	88.1
s832	18	19	292 (5)	337 (81)	24	1.15	32 (0)	2.70	89.3
s953	16	23	424(29)	711(153)	22	1.68	524,288(10)	26,216.60	87.7
s1196	14	14	547(18)	478(109)	23	0.87	262,144 (0)	13,108.75	91.5
s1238	14	14	526(18)	478(109)	23	0.91	262,144 (0)	13,108.75	92.4
s1488	8	9	659 (6)	236 (50)	21	0.36	64 (0)	3.85	96.3
s1494	8	9	653 (6)	236 (50)	21	0.36	64 (0)	3.85	95.7

감소되고 있다. EBILBO의 셀에서 FF은 20~25% 정도의 면적을 차지하고 있다. 〈표 2〉의 실행결과로부터 벤치마크 회로의 PI, PO, FF을 독립변수로 취급할 때, 회귀출력에 의해 EBILBO의 셀 크기를 식(1)과 같이 산출할 수 있다.

$$EBILBO_Cells = 8.3 \cdot PI + 2.14 \cdot PO + 16 \cdot ORIG_FFS + 57.7 \quad (1)$$

식(1)에서 EBILBO 셀의 크기는 CUT 내부의 FF, PI, PO 수의 순으로 의존됨을 알 수 있다. 그리고 의사 랜덤 검사패턴 수는 5K 범위 이내에서 생성이 되도록 〈표 1〉의 p를 0, 2, 10을 적용하였으며 FPGA의 동작이 20Mhz 상에서 EBILBO 동작의 검사패턴 생성(LFSR)과 응답분석(Zo, PSA)이 0.7μs에서 26ms 이내에서 실행되었고, 단일 stuck-at 고장검출률[10]은 p

= 10의 87.7%에서 p=0의 100%임을 확인하였다. 그리고 벤치마크회로의 PI, PO, FF 수와 EBILBO의 셀 수에 대한 상관관계는 표 3과 같다. 22개의 벤

〈표 3〉 PI, PO, 원 FF과 EBILBO의 상관관계 표
 (Table 3) Correlation table of PI, PO, original FFs and EBILBO

	PI	PO	Orig. FFs	EBILBO Cells
PI	1.0000(22) Ps = .	--	--	--
PO	.7366(22) Ps = .000	1.0000(22) Ps = .	---	---
Orig. FFs	.0229(22) Ps = .919	.2335(22) Ps = .296	1.0000(22) Ps = .	---
EBILBO Cells	.6062(22) Ps = .003	.6583(22) Ps = .001	.8036(22) Ps = .000	1.0000(22) Ps = .

치마크 회로에 대한 각 회로의 독립 요소로서 PI, PO, FF와 EBILBO 셀간의 상관관계에 따른 Pearson 계수 Ps는 모두 0.05 이하이므로 식(1)의 성립과 본 논문에서 제안한 일괄검사의 BIST를 위한 EBILBO의 구현은 신뢰성이 있다.

4. 결 론

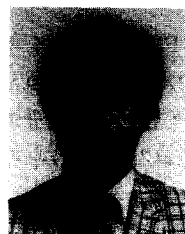
본 논문에서 제안한 BIST의 EBILBO는 동시에 4가지 모드의 검사동작이 일괄처리 실행되므로 검사시간과 검사비용을 감소할 수 있다. 그리고 정상/검사동작의 제어편이 1이므로 핀 수가 제한된 FPGA 설계에서 유용성이 높다. 반면에 EBILBO의 면적은 기존의 BILBO 구조에 비해 증가하지만, 검사시간에 비해 EBILBO가 차지하는 면적이 상대적으로 증가하지 않으므로 유용하다. 면적에 대한 감소는 EBILBO에 대한 VHDL의 동작적 기술보다 구조적 기술에 의한 설계합성으로 해결할 수 있으나, 동작적 기술이 설계시간의 단축과 설계, 합성에 용이하다. 그리고 본 논문의 EBILBO에 대한 특성을 VHDL의 구성 라이브러리(component library)에 구축하여 대규모 회로의 설계에 있어서 검사도와 병행하여 VHDL코딩을 할 수 있다. 제안된 BIST는 CUT의 크기에 따라 EBILBO의 면적과 검사에 대한 제반사항을 산출할 수 있으므로 DFT의 검사용이화 설계를 위한 예측기반의 설계사양을 명세화할 수 있다. 그리고 앞으로의 연구는 VHDL의 동작적 기술에 의한 합성회로에서의 순차회로를 조합회로와 레지스터(or FF)로 보다 용이하게 분리, 처리하는 작업이 선행되어야 할 것이다.

참 고 문 헌

[1] Rochit Rajsumam "Digital Hardware Testing: Transistor Level Fault Modeling and Testing", Artech House, 1992.
 [2] A. Miczo, Digital Logic Testing and Simulation, John Wiley & Sons, 1987.
 [3] E. J. McClusky "Built-In Self-Test for Sequential Machine", Proc. Intn'l. Test Conf., pp. 334-341, September, 1987.
 [4] B. Konemann, J. Mucha, and G. Zwiehoff "Built-

in Logic Observation Techniques", on Proc. Int. Test Conf., pp. 200-2004, 1982.

[5] E. P. Hsieh, "Checking Experiments for Sequential Machines", IEEE Trans. on Computer, vol. C-20, No. 10, pp. 1152-1167, October 1971.
 [6] S. Z. Hassan, "Signature Testing of Sequential Machines", IEEE Trans. on Computer, vol. C-33, No. 8, pp. 762-764, August 1984.
 [7] S. Z. Hassan, "An Efficient Self-Test Structure for Sequential Machines", Proc. of IEEE 1986 Int'l Test Conf. (ITC-86), Washington, D.C., pp. 12-17, Sept. 8-10, 1986.
 [8] L. T. Wang, and E. J. McCluskey, "Concurrent Built-In Logic Block Observer (CBILBO)", Proc. of IEEE 1986 Int'l Symposium on Circuits and Systems (ISCAS-86), pp. 1054-1057, May, 1986.
 [9] 이강현, 김용득, "시스템 진단을 위한 실장 MUX의 검사패턴 생성 알고리즘", 대한전자공학회 논문집, 제30권 B편 제4호, pp. 85-91. 1993.
 [10] 이강현, 김용득, "LSI/VLSI의 의사-전수검사를 위한 Fault simulator 개발에 관한 연구", 대한전자공학회 논문집, 제32권 B편 제4호, pp. 39-45. 1995.



이 강 현

1977년 조선대학교 전자공학과 학사
 1981년 조선대학교 대학원 전자공학과 석사
 1991년 아주대학교 대학원 전자공학과 박사
 1977년~현재 조선대학교 전자, 정보통신공학부 교수

1991년 미 스탠포드 대학교 CRC 협동연구원
 1996년 12월~1997년 2월 호주 Wollongong 대학교, Sydney 대학교 방문교수
 1995년 조선대학교 RRC 산학협력실장
 1996년~현재 조선대학교 전자, 정보통신공학부 학과장
 관심분야: 멀티미디어 VLSI 시스템 설계