

[논문] 태양에너지  
*Solar Energy*  
Vol.17. No.4, 1997

## 저가 지상전력을 위한 다결정 실리콘 태양전지 제작

김 상 수, 임 동 건, 심 경 석, 이 재 형, 김 홍 우, 이 준 신

\* 성균관대학교 전기 전자 및 컴퓨터공학부

## The Fabrication of Poly-Si Solar Cells for Low Cost Power Utility

**S.S.Kim, D.G.Lim, K.S.Shim, J.H.Lee, H.W.Kim, and J.Yi**

*School of Electrical and Computer Engineering, Sung Kyun Kwan University*

### 요 약

다결정 실리콘에서 결정입계는 광생성된 반송자들의 재결합 중심으로 작용할 뿐 아니라 전위장벽으로 작용하여 태양전지의 변환효율을 감소시킨다. 결정입계의 영향을 줄이기 위해 열처리, 결정입계에 대한 선택적 식각, 결정입계로 합물전극을 형성하는 방법, 다양한 전극 구조, 초박막 금속 형성 후 전극형성 등 여러가지 요소들을 조사하였다. 질소 분위기에서 900°C 전열처리, POCl<sub>3</sub> 확산을 통한 게터링, 후면전계 형성을 위한 Al 처리로 다결정 실리콘의 결함밀도를 감소시켰다. 결정입계에서의 반송자 손실을 감소시키기 위한 기판 처리로 Schimmel 식각액을 사용하였다. 이는 texturing 효과와 함께 결정입계를 선택적으로 10 $\mu$ m 깊이로 식각하였다. 결정입계를 우선적으로 식각한 후면으로 Al을 확산하여 후면에서의 재결합 손실을 감소시켰다. 전극 핑거(grid finger) 간격이 0.4mm인 세밀한 전극 구조에 결정입계로 0.4 $\mu$ m 깊이로 합물전극을 추가로 형성하여 태양전지의 단락 전류 밀도가 개선되었다. 80% 이상의 광투과율을 보인 20nm 두께의 크롬 박막 형성으로 직렬 저항을 감소시켰다. 본 논문은 저가의 고효율, 지상 전력용 태양전지를 위해 결정입계에 대한 연구를 하였다.

## Abstract

Because grain boundaries in polycrystalline silicon act as potential barriers and recombination centers for the photo-generated charge carriers, these defects degrade conversion efficiency of solar cell. To reduce these effects of grain boundaries, we investigated various influencing factors such as thermal treatment, various grid pattern, selective wet etching for grain boundaries, buried contact metallization along grain boundaries, grid on metallic thin film. Pretreatment above 900°C in N<sub>2</sub> atmosphere, gettering by POCl<sub>3</sub> and Al treatment for back surface field contributed to obtain a high quality poly-Si. To prevent carrier losses at the grain boundaries, we carried out surface treatment using Schimmel etchant. This etchant delineated grain boundaries of 10 μm depth as well as surface texturing effect. A metal Al diffusion into grain boundaries on rear side reduced back surface recombination effects at grain boundaries. A combination of fine grid with finger spacing of 0.4mm and buried electrode along grain boundaries improved short circuit current density of solar cell. A ultra-thin Chromium layer of 20nm with transmittance of 80% reduced series resistance. This paper focused on the grain boundary effect for terrestrial applications of solar cells with low cost, large area, and high efficiency.

## 1. 서론

태양전지를 사용한 전력은 아직 기존의 상용전력에 비해 생산 단가가 높아서 생산단가를 낮추면서도 변환 효율이 높은 태양전지의 제작이 필수적이다<sup>1)</sup>. 다결정 실리콘 태양전지는 단결정 태양전지의 70~80%에 달하는 변환 효율 달성이 가능하며, 웨이퍼 가격이 50% 정도 낮다. 태양전지의 효율은 광학적, 전기적 손실에 의해 제한을 받기 때문에 손실을 최소화시키기 위한 공정으로 전열처리(pretreatment), 게터링(gettering), 수소화 처리(hydrogen passivation)와 산화막 성장(oxidation) 등이 진행되고 있다<sup>2-4)</sup>. 다결정 실리콘은 결정입계(grain boundary)와 같은 결함들을 많이 포함하고 있어 태양전지의 광변환 효율을 저하시킨다. 결정입계는 전위장벽을 형성하여 반송자의 흐름에 장벽을 주거나 계면에 존재하는 트랩 때문에 빛에 의해 생성된 반송자는 결정입계에서 재결합한다. 재결합은 다결정 태양전지의 소수 반송자 수명을 단축하

고 변환효율을 감소시킨다<sup>5)</sup>.

본 연구에서는 다결정 실리콘 기판의 결정입계의 영향을 살펴보기 위해 전열처리 전, 후의 전기적 특성을 규명하였다. p-n 접합 후에 하부 전극과 기판 계면 또는 결정입계에서 발생하는 반송자 재결합 손실을 감소시키기 위해 기판 하부의 결정입계를 우선적으로 식각한 후에 후면 전계(back surface field)를 형성하였다. 기판 표면 결함에 의한 영향을 감소시키기 위해 다양한 상부 전극 형태를 시도하였다. 결정입계로 인한 반송자 손실을 감소시키기 위해 결정입계를 선택적으로 식각한 후 결정입계로만 상부 함몰전극을 형성하였고 직렬저항 성분을 줄이기 위해 상부 초박막 Cr금속으로 20nm이하의 금속 박막을 성장한 후 상부전극을 형성하였다. 본 논문은 태양전지의 저가, 대면적화를 위해서 다결정 실리콘을 사용하였고 고효율화를 위해 결정입계의 영향을 줄이기 위한 여러 가지 방법을 연구하였다.

## 2. 실험 방법

본 연구의 실험은 기판의 크기가 10cm×10cm, 두께가 350μm, 비저항이 1~5 Ω-cm인 p-형 다결정 실리콘 웨이퍼를 출발 물질로 사용하였다. 결정입(grain)수는 10cm×10cm 기판에 약 59개의 결정이 존재하였다. 결정입 크기 범위는 5~50mm이고 평균 크기는 16.9mm이다. 본 연구의 실험 순서와 특성 규명 요소들을 그림 1에 도시하였다.

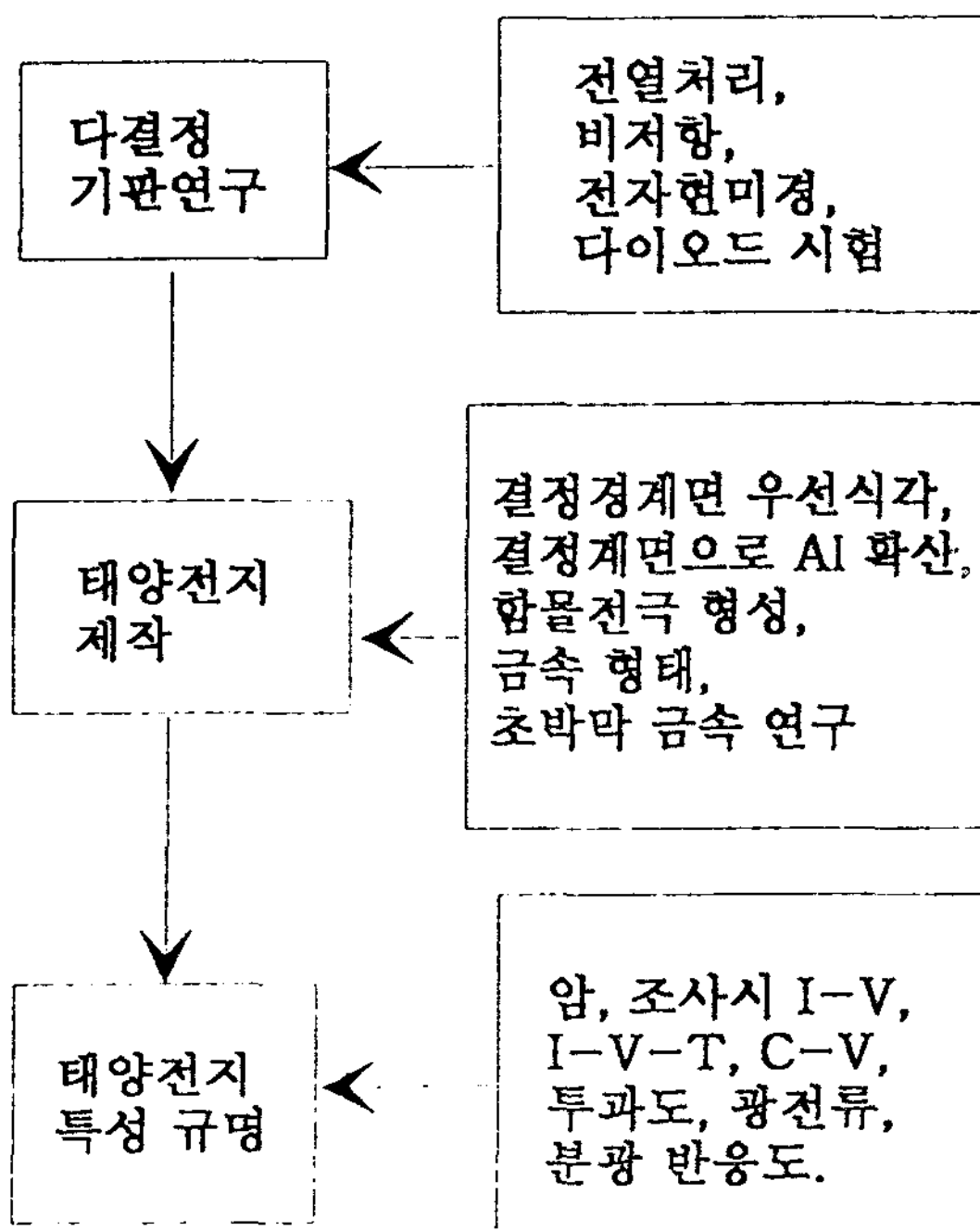


Fig. 1. The device fabrication procedures and characterization factors for poly-Si solar cells.

다결정 실리콘의 내부 결함을 줄이기 위해서 전열처리 공정을 행하였다. 다결정 실리콘의 전열처리를 위해 온도 600, 700, 800, 900, 1000°C에서 30분간 열처리하고, 전열처리 시간의 영향을 조사하기 위해 900°C에서 30, 60, 120, 320분간 처리하였으며 질소 또는 질소와 수소 혼합 가스

를 사용하여 가스 분위기의 영향을 조사하였다. 결정입계의 영향에 따른 비저항 성분변화 측정에는 4분 탐침법인 Signatone S-30L system을 이용하였다<sup>6)</sup>. 다결정 기판의 열처리 전, 후의 비저항 성분 변화와 탐침자 사이의 결정입계 갯수에 따른 저항성분을 측정하였다. 전열처리 전, 후의 다결정 기판의 물성적 특성을 규명하기 위하여 수직 구조와 수평 구조의 다이오드를 제작하였다. P-형 기판에 금속 Al(99.999%, Aldrich)을 성장한 후 질소 분위기에서 620°C에서 15분간 열처리하여 오믹(ohmic) 접촉을 형성하였다. 쇼트키(Schottky) 다이오드 형성을 위해 전극으로 낮은 일함수 금속인 Cr(99.99%, Cerac), Yb(99.9%, Cerac), Al등을 열처리하지 않고 사용하였다.

KOH 또는 KOH+IPA+DI water를 사용한 습식 식각으로 표면 처리 후에 POCl<sub>3</sub>로 n-형 전면 확산을 행하였다. 4분 탐침법을 이용하여 n층의 비저항을 측정하였다. 다이오드를 제작하여 p-n 접합 후 전기적 특성을 규명하였다. 전류-전압(I-V)특성과 전류-전압-온도(I-V-T) 특성은 전류 측정기기(Keithly 617 Electrometer)와 전압원(Fluke 5100B Calibrator)을 GPIB interface card로 컴퓨터에 연결시키고 본 연구실에서 직접 프로그램한 소프트웨어로 측정하였다. 온도 가변장치로는 -70~200°C까지 온도 조절이 가능한 thermostatic oven(Type To-19, ANDO Electric, Co.)을 이용하였다. 정전용량-전압(C-V) 특성은 Booton 7200으로 규명하였다. 광학적 특성 규명을 위해 광원으로 할로겐 램프를 이용하여 빛조사시 전류-전압 특성을 조사하였다.

습식 식각을 이용하여 전지 기판의 후면 처리에 따른 영향을 살펴보았다. 기판의 표면 부근에서 결정입계로 인한 반송자 손실을 줄이기 위해 결정입계를 선택적으로 우선 식각하는 Schimmel, Sirtl, Yang, Secco 식각액<sup>7)</sup>을 사용하였다. 기판 하부 표면의 결정입계를 선택적으로 식각한 후에 Al으로 하부 전극을 형성하였다. 후면 전극

형성후 620°C 15분간 질소 분위기 열처리로 후면 전계를 형성하였다. 상부전극은 빗살모양(comb)의 전극을 형성하였다. 후면 식각을 하지 않고 하부 전극을 형성한 전지와 분광반응도(spectral response)를 비교하였다. 분광 반응도는 Xenon 램프(Jobin Yvon XC-150)를 광원으로 200~800nm까지 파장을 변화시킬 수 있는 MAP23 monochromator controller를 이용하였고 전류는 Keithley 617을 이용하여 측정하였다.

기판 상부에서 결정입계로 인한 영향을 감소시키기 위해 결정입계를 식각한 후에 결정입계로만 함몰전극(buried contact electrode)<sup>8)</sup>을 형성하였다. 결정입계로만 함몰전극이 형성된 전지의 특성을 규명하기 위해 기판 표면을 KOH로 경면처리(polishing) 후 함몰전극을 형성하였다. 제작된 상부 함몰전극 구조의 태양전지와 전극 핑거 간격이 0.4~0.8mm인 빗살모양의 전극을 형성한 태양전지의 특성을 비교하였다. 결정입계로 함몰전극 형성은 lift-off<sup>9)</sup> 과정을 통하여 결정입계에 함몰전극을 형성하였다.

기판의 직렬저항 성분을 줄이고 반송자 수집효율을 높이기 위해 얇은 금속 박막 위에 기존의 빗살모양 전극을 형성하였다. Cr, Ag의 금속 박막<sup>10)</sup>을 두께 5~20nm로 형성 후 비저항 성분과 광투과도를 측정하여 투명한 전도막으로의 가능성을 살펴보고 암, 빛조사시 전류-전압 특성을 살펴보았다. 전극 형성에 따른 태양전지 출력 변수들을 살펴보기 위해 (a)빗살(comb)모양의 전극, (b)결정입계로의 함몰전극, (c)기존의 전극에 결정입계로의 함몰전극이 혼합된 전극과 (d)초박막 금속 위에 기존의 빗살 모양 전극의 4가지 전극형태로 조사되었다. 그림 2는 본 연구에서 시도된 태양전지의 상부 전극 구조이다. 전지의 상부 금속으로는 낮은 일함수 특성을 보이는 Cr, Al, Yb 금속을 이용하였다. 전극 형성은 약 10<sup>-6</sup> Torr의 진공상태에서 기상 열증착(thermal evaporation)하였다.

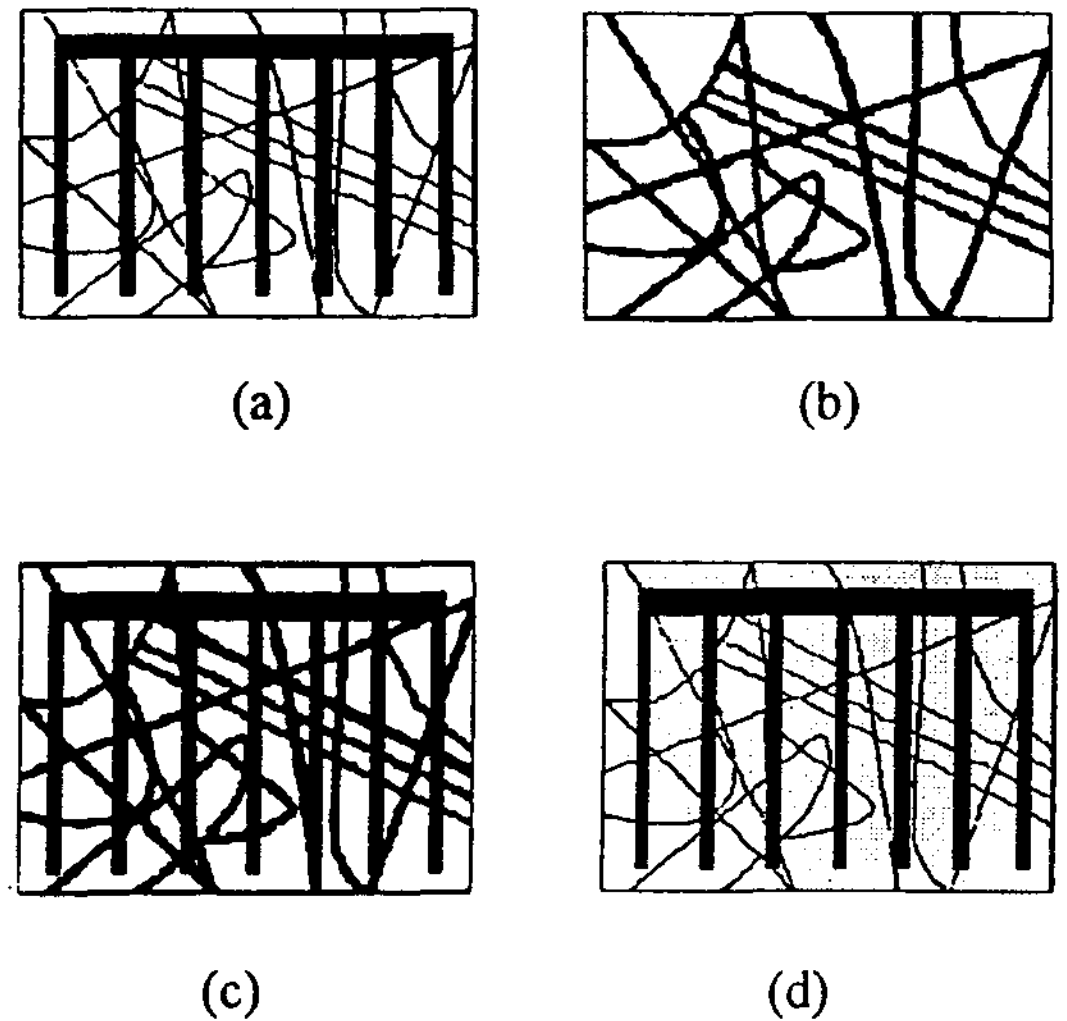


Fig. 2. Various top electrode patterns ; (a) comb type grid, (b) buried contact grid along grain boundaries, (c) a combination of (a) and (b), and (d) comb type plus ultra-thin metallic film.

### 3. 결과 및 고찰

다결정 실리콘 기판의 열처리 온도에 따른 비저항 성분 변화에서 결정입계의 영향으로 비저항 성분의 이산화(discreteness) 정도가 크나 일반적으로 열처리 온도가 증가함에 따라 비저항 값이 감소함을 볼 수 있다<sup>11)</sup>. 이는 열처리 온도가 높아질수록 다결정 기판의 결함 밀도 감소에 따른 전기 전도도 개선으로 해석이 가능하다. 전열처리는 900°C 이상을 권유하며 시간은 30분 이상의 조건이면 큰 영향을 미치지 않았다. 탐침자 사이의 결정입계의 갯수가 증가함에 따라 증가된 비저항 성분이 관찰되었는데 이는 결정입계가 전하 반송자의 수집을 방해하고 있음을 나타낸다<sup>11)</sup>.

전열처리 전, 후의 다결정 기판에 Yb 금속으로

제작한 쇼트키 다이오드의 전류-전압-온도 특성을 통해 다이오드 누설전류, 이상계수(ideality factor), 전도 기구(conduction mechanism)등을 학습하였다. 그림 3은 열처리 전의 다결정 기판에 형성한 쇼트키 다이오드의 전류-전압 특성을 Log(I)-Log(V) 좌표상에 도시하였다. 크게 3개의 다른 전류-전압 곡선 기울기로 구분 될 수 있다. 첫째로 전압이 0.1V 보다 낮은 저전계 지역 I 은 주로 터널링(tunneling)이 주도하는 지역이다. 둘째로 전압이 0.1V에서 0.3V까지의 지역 II는 재결합(recombination)에 의한 전도 과정으로 해석될 수 있다. 셋째로 전압이 0.3V보다 큰 지역 III에서는 확산(diffusion)현상에 의해 전도 과정이 주도되는 것으로 볼 수 있다. 그림 4는 고온 처리된 쇼트키 다이오드의 전류-전압 특성을 Log(I)-Log(V) 좌표상에 도시하였으며, 2개의 다른 기울기를 확연히 보여주고 있다. 고온 열처리된 다이오드의 전류-전압 곡선의 기울기는 크게 2개 지역으로 구분되며, 열처리 전의 시료와 비교하면 지역 II에 상응하는 곡선 부분이 사라짐을 볼 수 있다. 이는 고온처리로 전도과정 중에서 재결합 부분이 줄어든 것으로 해석 가능하다. 900°C이상으로 열처리된 시료에서는 전류-전압 특성 곡선에 약간의 개선이 있었으며, 차후의 다결정 전열처리로 900°C이상에서 30분간의 열처리를 권유한다.

상부전극으로 이용한 Al, Cr, Yb는 낮은 일함수 특성을 보이는 금속이며 n-형에 오믹접촉, p-형에 쇼트키 장벽을 형성하는 금속들이며 Yb는 반도체와 오믹접촉이나 쇼트키 접촉 금속으로 사용되어지는 양질의 금속으로 보고되고 있다(12-14). 상부전극으로 이용한 각 금속들의 전류-전압 특성 곡선은 유사하였다. Yb는 증착하기가 용이하였으며 전류-전압 특성은 약간 더 우수하였다.

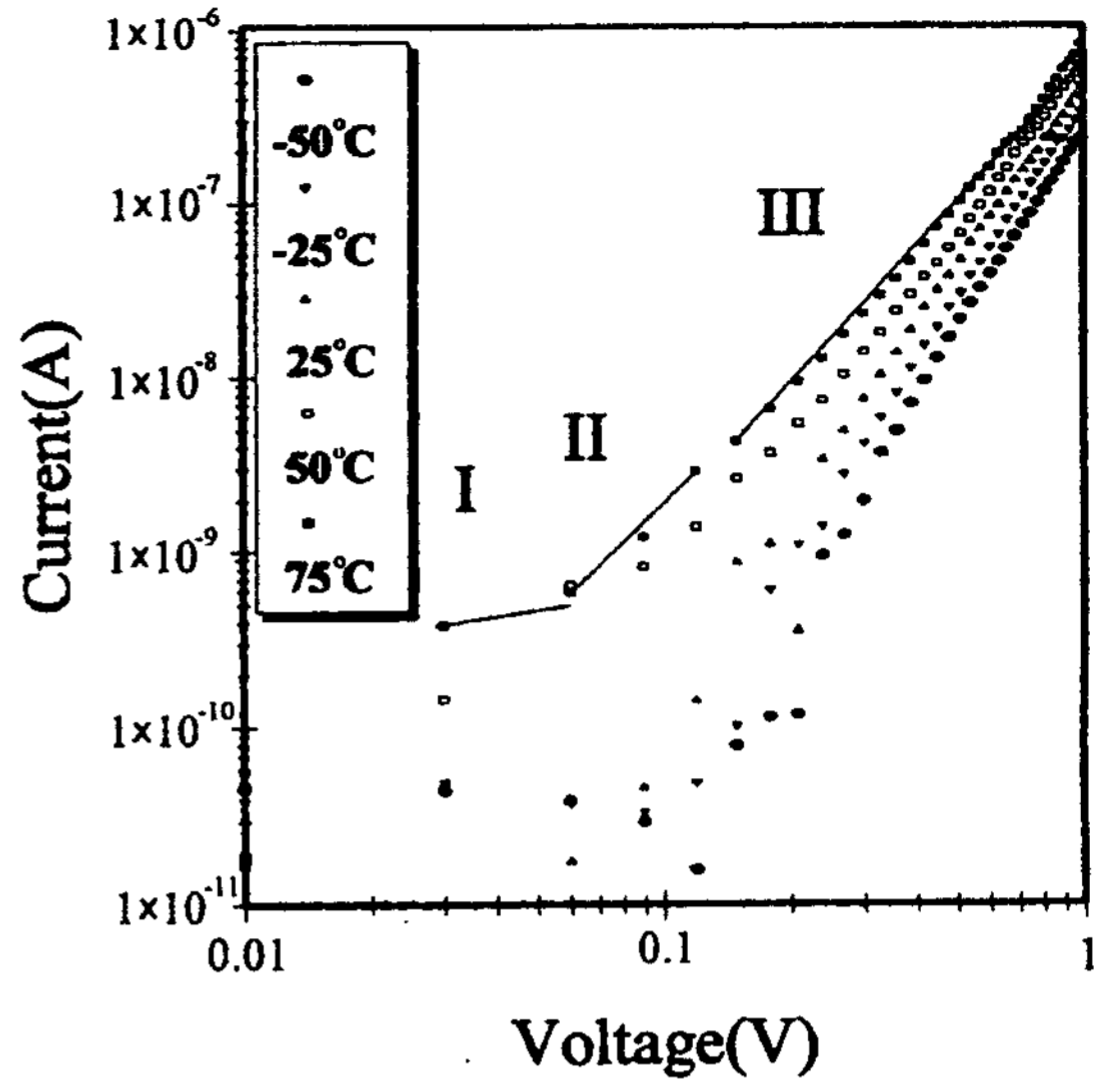


Fig. 3. Log(I)-Log(V) curve for the Schottky diode formed on an as-cut poly-Si substrate.

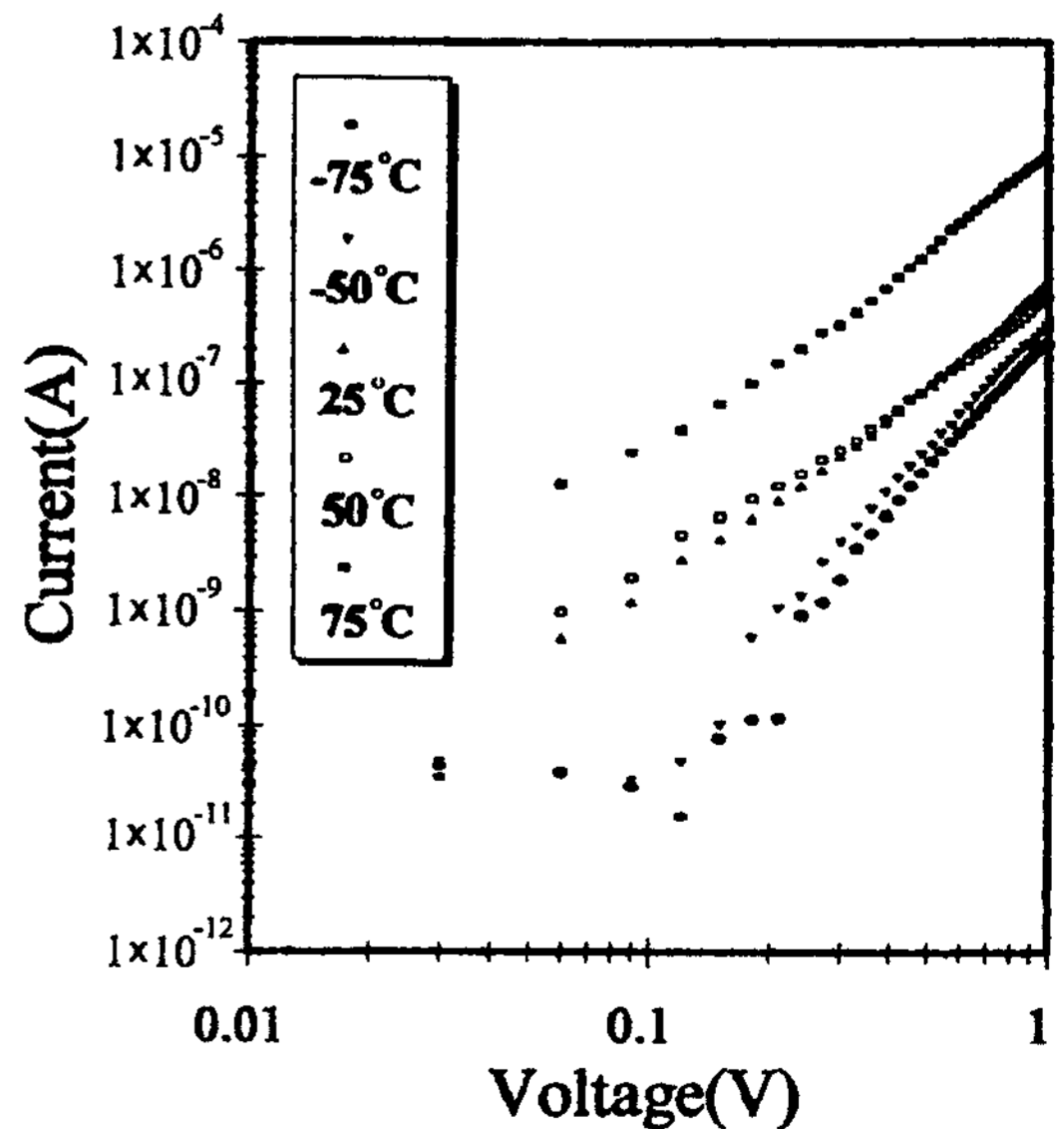


Fig. 4. Log(I)-Log(V) curve for the Schottky diode formed on high temperature anneal treated sample.

다결정 실리콘 기판을 초음파 세척하고 KOH와 KOH+IPA+DIwater를 사용하여 식각을 한 후 전면 확산을 POCl<sub>3</sub>로 확산하여 약 0.5 $\mu$ m의 접합 깊이를 얻었다. N층의 비저항은 4분 탐침법으로 10여군데의 측정결과 0.02~0.09  $\Omega$ -cm를 얻었다. 그림 5의 1/C<sup>2</sup>-V 특성에서 기울기를 외삽법으로 구한 내부 장벽 전위(built-in potential)는 0.73V이며, 확산된 n층의 불순물 농도는 p형 기판의 불순물 농도에 따라 2.5 $\times 10^{16}$ cm<sup>-3</sup>~1.5 $\times 10^{17}$ cm<sup>-3</sup>으로 계산된다<sup>15)</sup>. 이는 n-층이 얇은 확산(shallow diffusion)으로 불순물 주입농도가 표면에서 약간 더 높고 p-n 접합 계면에서는 낮은 분포를 평균한 값이다. 또한 비저항 측정 결과로부터 계산된 n-형 불순물 농도가 4 $\times 10^{16}$ cm<sup>-3</sup>~2 $\times 10^{17}$ cm<sup>-3</sup> 범위에서 존재하고 있어 1/C<sup>2</sup>-V 결과는 비저항 측정 결과와 일치되는 범위에 있음을 알 수 있다.

그림 6에 p-n접합 후 제작된 다이오드의 암상 상태에서 전류-전압 특성 곡선을 Log(I)-Log(V) 좌표로 도시하였다. 그림에서 3개의 서로 다른 곡선의 기울기는 다른 전도기구 현상 때문이다. 저전계 영역의 전류 특성은 태양전지의 병렬저항(R<sub>sh</sub>)에 기인한 것으로 누설전류가 10<sup>-11</sup>에서 10<sup>-7</sup>A 정도까지 범위하고 있다. 이는 광전류와 적어도 10<sup>4</sup>차수 이상을 보이고 있어 광 반응도는 우수하다고 사료된다. 고전계 영역의 전류 특성은 직렬저항 성분(R<sub>s</sub>)에 의해서 주도됨을 보이고 있다. 중간 영역의 전계에서는 다수 반송자 확산이 전도기구를 주도하고 있으며 기울기로부터 구한 이상계수는 1보다 크게 계산되었다. 재결합 영역이 암상상태에서는 전도기구를 주도하고 있지는 않으나 빛 조사시에는 저전계 영역에서 관측되었다.

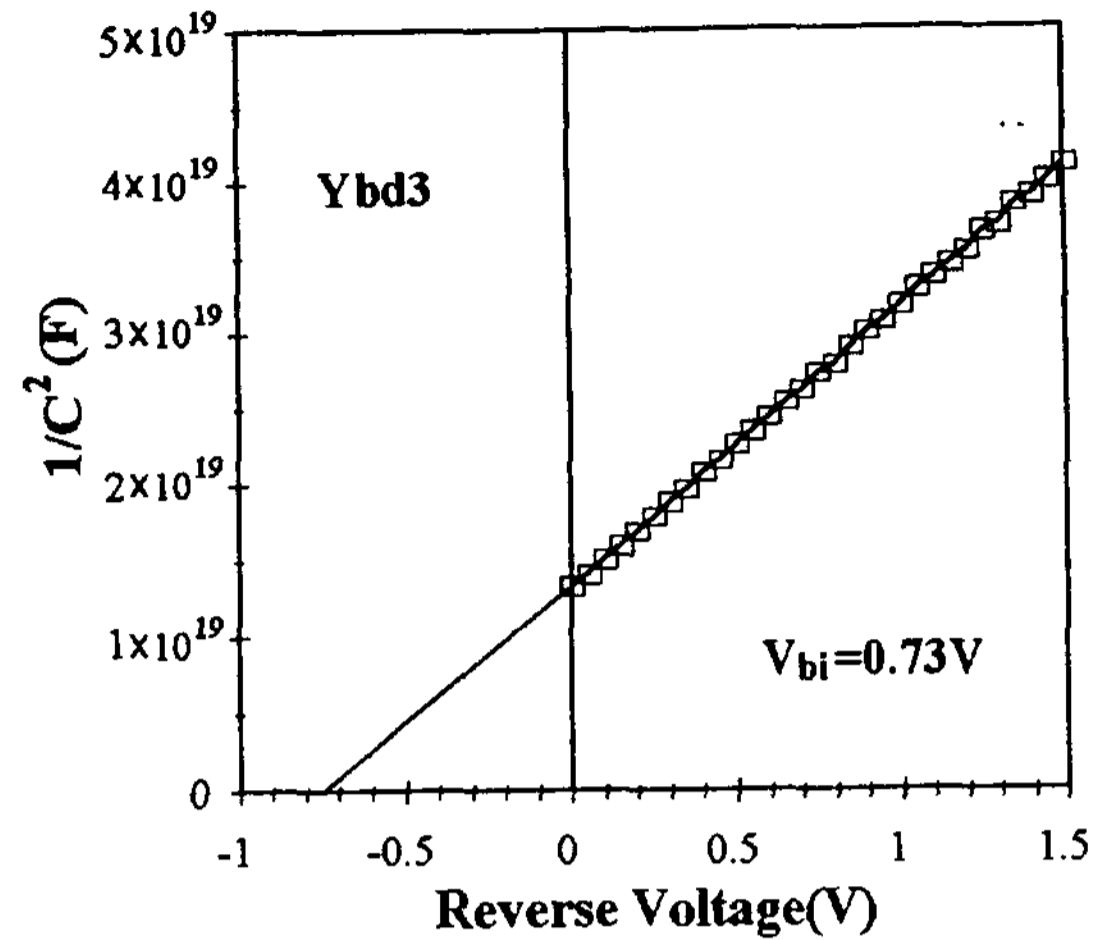


Fig. 5. A plot of the inverse square of capacitance(1/C<sup>2</sup>) versus voltage(V) for a poly-Si p-n junction diode.

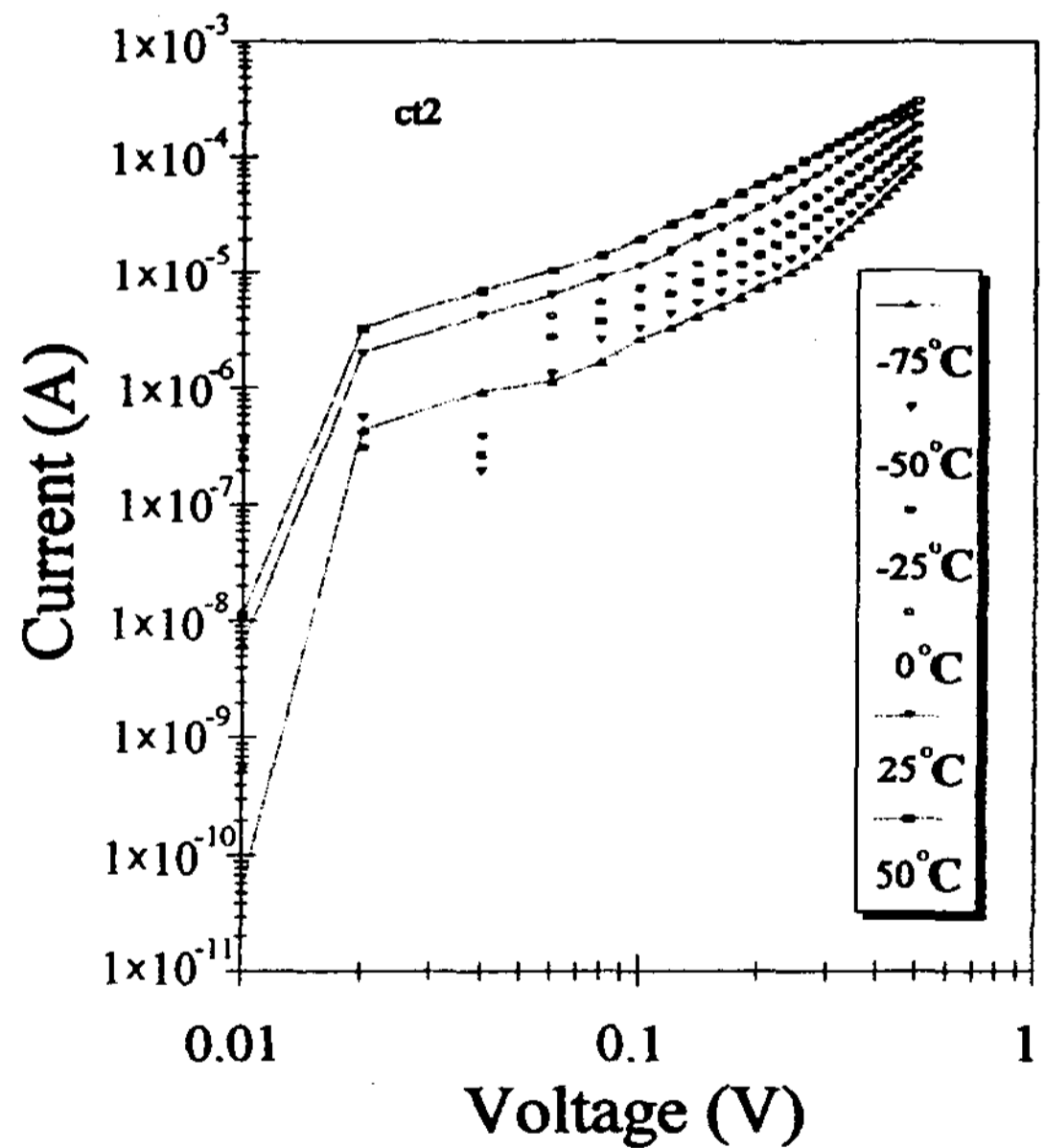


Fig. 6. Log(I)-Log(V) curve of the fabricated solar cell under dark condition.

전류 전도 현상으로 부터 발생하는 표면 재결합과 직렬 저항 성분을 더욱 줄이기 위해서, 본 논문은 결정입계의 선택적 식각과 결정입계에 합물전극을 형성하여 결정입계면에서 광생성된 반송자의 손실을 줄이기 위한 연구를 수행하였다. 단결정 실리콘의 결함을 드러내는데 사용되었던 Schimmel, Sirtl, Yang, Secco 식각액은 결정입계를 선택적으로 식각하면서 표면을 texturing 하는 특성을 보였다. 기판 하부에서 결정입계로 인한 영향을 줄이기 위해 Schimmel 식각액 ( $\text{HF}:(1\text{M}-\text{CrO}_3)=2:1$ )<sup>16)</sup>으로 10분 동안 식각한 기판의 표면은  $2\mu\text{m}$  정도의 깊이로 불규칙한 피라미드 구조가 형성하고 동시에 결정입계를 우선적으로 식각하여 약  $10\mu\text{m}$ 의 깊이가 되었다. Schimmel 식각액을 기판 후면에 적용하고 하부 금속을 형성하여 광여기된 반송자가 결정입계면에서 손실됨을 줄이고자 하였다. 후면 식각을 하지 않고 하부전극을 형성한 전지와 후면 처리 후 하부 전극을 형성한 전지의 빛조사시 분광 반응도를 비교해 볼 때 장파장대의 수집효율이 약간 개선되었다. 이는 기판 후면의 결정입계에서 재결합 손실이 감소되었음을 나타낸다. 기판 재료, p-n 접합, 후면 결정입계의 영향을 살펴본 후에 결정입계로 상부 합물전극을 형성한 태양전지의 특성을 살펴보기 위해 조사된 전극 형태는 크게 3가지 형태로 (a) 차광 면적이 9%인 세밀한 빗살 모양 전극 (grid 형) (b) 결정입계로만 형성한 합물전극(grain boundary 형) (c) 전극 (a)와 (b)가 혼합된 형태인 전극 형태 (grid 형+grain boundary 형)에 대해 조사하였다. 그림 7과 표 1은 3가지 종류의 태양전지의 빛조사시 전류밀도-전압 측정 결과를 보였다. 태양전지의 면적은  $0.11\text{cm}^2 \sim 2.1\text{cm}^2$ 까지 시도되었다. 빗살모양 전극의 차광면적(shading loss)은 4%~9% 였다.

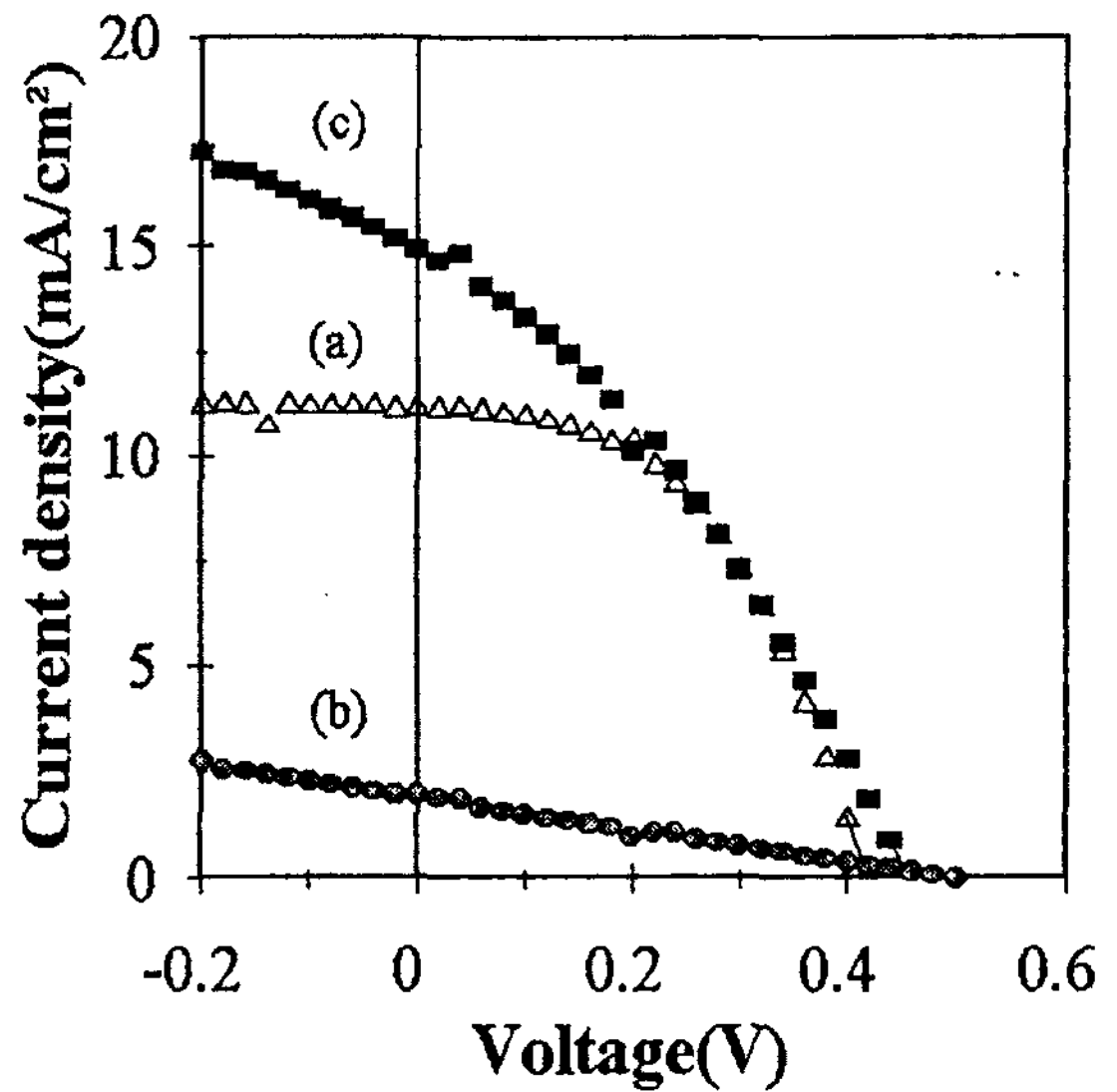


Fig. 7. Light I-V characteristic curves for poly-Si solar cells with various top electrode patterns.

Tab. 1. The variation of solar cell parameters for an input light intensity of  $8.9\text{mW}/\text{cm}^2$

경우	변수	개방 전압 (V)	단락 전류 (mA)	충실도 (%)	효율 (%)
(a)	grid 형	0.42	1.01	46	16.8
(b)	grid 형+ grain boundary 형	0.44	1.14	43.1	18.7
(c)	grid 형+ grain boundary 형	0.44	2	40.6	2.36

기판 상부에서 결정입계의 영향을 감소시키기 위해 상부 합물전극을 형성하였다. 다결정 실리콘 기판은 결정입의 크기가 5~50mm 정도로 많은 차이를 보였다. 따라서 제작된 결정입계에 합물전극(경우 (b), grain boundary 형)을 형성한 경우는 빗살모양 전극(경우 (a), grid 형)의 간격 ( $0.4 \sim 0.8\text{mm}$ )보다 넓고 불규칙하고 광생성된 반송자들을 효과적으로 수집할 수 없어 태양전지

의 효율이 개선되지 못했다. 합물전극의 단점을 개선하기 위해 핑거 간격이 0.4mm인 빗살모양 전극 구조에 결정입계에 합물전극을 추가로 혼합(경우 (c), grid 형 + grain boundary 형)하여 전극에 대한 차광 면적이 증가함에도 불구하고 전지의 단락전류 밀도를 향상시켰다. 전압을 -0.2V에서 0.6V까지 변화하였으며 전류 밀도는 15mA/cm<sup>2</sup>까지 달성하였다. 입사광 전력을 고려하면 전류밀도는 우수하다고 고려되나 개방전압은 비교적 낮은 0.41V로 측정되었다. 이는 비저항과 1/C<sup>2</sup>-V 측정 결과에서 보여진 바와 같이 표면 n층의 불순물 농도가 비교적 낮기 때문이다. 차후의 연구는 개방전압 증가와 직렬저항 성분 감소를 위해선 향후 1×10<sup>18</sup>cm<sup>-3</sup> 정도로 불순물 농도를 조절할 필요가 있다. 빗살모양 전극 구조에 결정입계로 합물전극을 혼합한 전지(경우 (c))에서 향상된 효율은 개방전압보다는 단락전류의 개선에 의한 것으로 보아 수광면적은 증가하였지만 광생성된 반송자가 결정입계에서 재결합하는 손실과 전위장벽에 의한 방해가 줄어들어 광전류 수집이 증가한 것으로 생각된다.

지금까지의 실험 결과로부터 낮은 불순물 농도에 기인한 기판의 직렬저항 성분을 줄이기 위해 초박막 금속으로 Cr, Ag을 두께 5~20nm로 유리기판 위에 형성하여 비저항 성분과 광투과도를 살펴보았다. 그림 8은 Cr 금속 박막을 형성한 후의 광투과도를 나타내었다. 10~20nm의 두께에서 80%~90% 이상의 높은 광투과율을 보였다. Ag의 박막은 1.47×10<sup>6</sup>Ω-cm의 낮은 비저항 성분을 갖지만 10~20nm의 두께에서 80%이하의 낮은 광투과도를 보여 투명전도막으로는 부적당한 것으로 판단된다. Cr의 비저항 성분은 12.3×10<sup>6</sup>Ω-cm로 Ag의 비저항 성분보다 높지만 광투과도가 높아 투명한 전도막으로 적용가능하다. 빗살 모양 전극구조의 태양전지보다 20nm의 금속 박막 형성한 후 빗살모양 전극을 형성한 전지는 충실도와 단락전류밀도의 개선으로 3% 정도의 효율 향상이 관찰되었다.

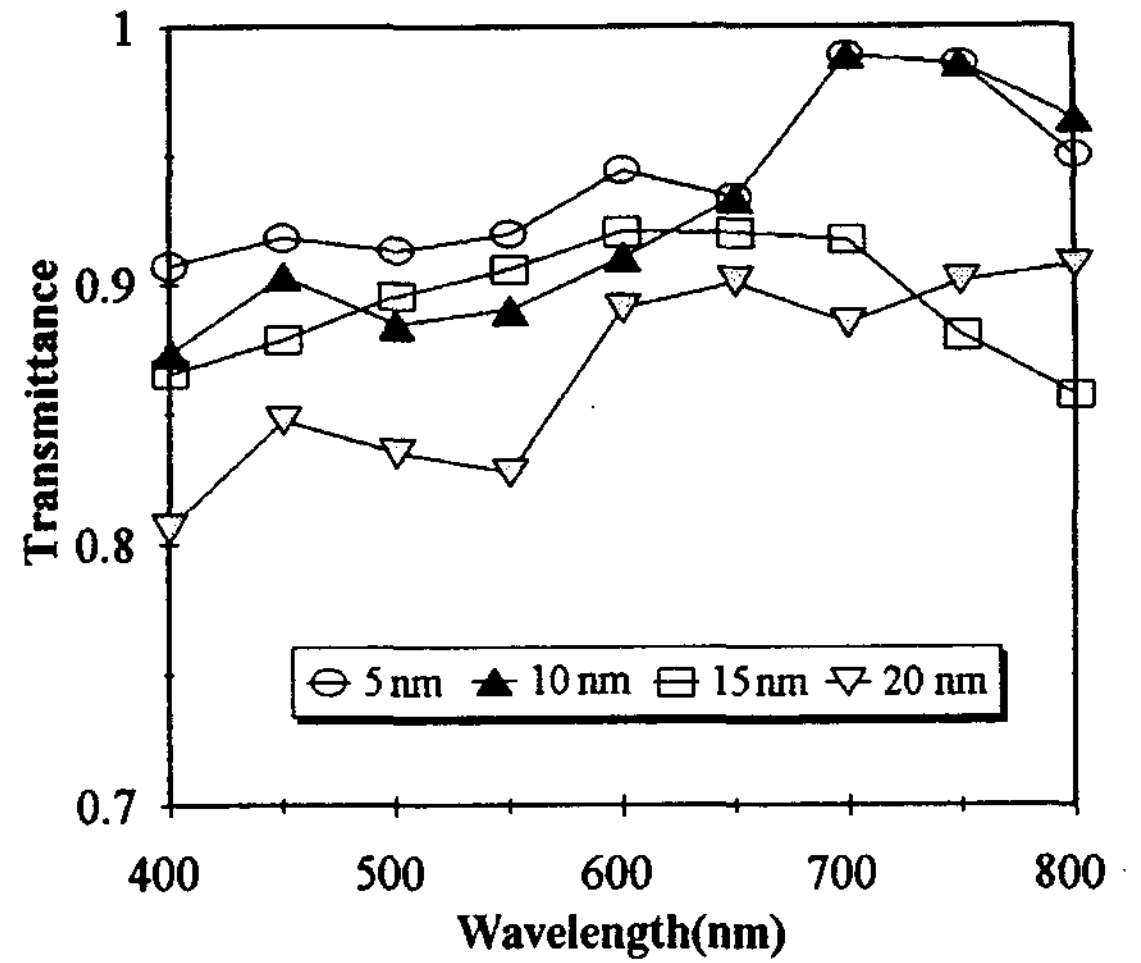


Fig. 8. Transmittance variations as a function of Cr thickness from 5nm to 20nm.

#### 4. 결 론

본 연구에서는 다양한 전극 간격을 가진 여러 가지 전극 구조를 시도하였다. 기판의 직렬저항 성분을 줄이기 위한 전극 핑거 간격 0.4mm의 세밀한 전극을 형성한 전지는 광변환효율이 입사광전력이 8.9 mW/cm<sup>2</sup>일때 17% 내외로 높게 나타났다. 결정입계에서 반송자 손실을 줄이기 위해 기존의 빗살모양 전극 구조와 결정입계로 합물전극을 혼합한 상부전극 형성으로 전지의 단락전류밀도가 향상되었다. 20nm 두께의 Cr 박막 위에 기존의 상부전극 형성으로 직렬저항 성분이 감소되어 충실도와 단락전류밀도가 개선된 변환효율을 갖는 태양전지를 제작하였다. 향후의 연구는 기판 자체의 두께 감소, 개방전압을 증가시키기 위해 불순물 농도의 증가, 결정입계의 영향을 감소시키기 위한 선택 확산에 의한 결정입계의 최적화, 직렬저항 성분을 최적화하는 상부전극 설계 등 보다 개선된 전지 제작이 예상된다.



## 감사의 글

이 논문은 1996년도 한국학술진흥재단의 공모과제 연구비에 의하여 연구되었음.

## 참고 문헌

1. 권봉수, 박용관, 조기현, 김홍국, 윤종욱, 오영현, 조효용, "고효율 다결정 실리콘 태양전지 개발", 금성 Siltron보고서, 상공부편, 1994.
2. J. Yi, "Properties and Applications of Thin Films Amorphous and micro-crystalline(poly) Silicon", Ph.D. Dissertation, SUNY at Buffalo, NY, 1994.
3. R. Schindler, "The Art of Living with Defects in Silicon : Gettering and Passivation", Solid State Phenomena, Vol. 37, pp.343-354, 1994.
4. S. Martinuzzi, I. Pericard, and M. Stemmer, "External Gettering around Extended Defects in Silicon wafers", Solid State Phenomena, Vol. 37, pp.361-366, 1994.
5. K. V. Ravi, "Imperfection and Impurities in Semiconductor Silicon", John Wiley & Sons, pp.302-304, 1981.
6. Dieter K. Schroder, "Semiconductor Material and Device Characterization", John Wiley & Sons, pp.2-9, 1990.
7. W. R. Runyan and K. E. Bean, "Semiconductor Integrated Circuit Processing Technology", Addison-Wesley Publishing Company, pp.263-264, 1990.
8. S. Narayanan, J. H. Wohlgemuth, J. B. Creager S. P. Roncin, and J. M. Perry, "Buried Contact Solar Cell", 23rd IEEE PhotoVoltaic Specialist Conference, pp.277-280, 1993.
9. O. D. Trapp, R. A. Blanchard, and L. J. Lopp, "Semiconductor Technology Handbook", Technology Associate, pp.6-7, 1980.
10. K. L. Chopra and S. R. Das, "Thin Film Solar Cells", Plenum Press, pp.333-343, 1983.
11. 김상수, 김도영, 임동건, 박용관, 이준신, 제 31회 대한전기학회 전기재료연구회 춘계학술대회 논문집, p.27-29, 1997.
12. G. Rajeswaran, V. J. Rao, M. A. Jackson, M.Thayer, W. A. Anderson, and B. B. Rao, IEEE Trans. Electron Devices Vol. 30, p.1840, 1983.
13. B. B. Rao, S. Banerjee, W. A. Anderson, and M. K. Han, IEEE Trans. Electron Devices Vol. 32, p.817, 1985.
14. K. C Reihart, A. Singh, and W. A. Anderson, Solid State Elect. Vol. 31, p.1537, 1988.
15. Dieter K. Schroder, "Semiconductor Material and Device Characterization", John Wiley & Sons, 1990.
16. D. G. Schimmel, "Defect Etch for <100> Silicon Evaluation", J. Electrochemical. Soc. : Solid-State Science and Technology, Vol.126, No.3, pp.479-483, 1979.

# The Fabrication of Poly-Si Solar Cells for Low Cost Power Utility

**S.S.Kim, D.G.Lim, K.S.Shim, J.H.Lee, H.W.Kim, and J.Yi**

*School of Electrical and Computer Engineering, Sung Kyun Kwan University*

## Abstract

Because grain boundaries in polycrystalline silicon act as potential barriers and recombination centers for the photo-generated charge carriers, these defects degrade conversion efficiency of solar cell. To reduce these effects of grain boundaries, we investigated various influencing factors such as thermal treatment, various grid pattern, selective wet etching for grain boundaries, buried contact metallization along grain boundaries, grid on metallic thin film. Pretreatment above 900°C in N<sub>2</sub> atmosphere, gettering by POCl<sub>3</sub> and Al treatment for back surface field contributed to obtain a high quality poly-Si. To prevent carrier losses at the grain boundaries, we carried out surface treatment using Schimmel etchant. This etchant delineated grain boundaries of 10 μm depth as well as surface texturing effect. A metal Al diffusion into grain boundaries on rear side reduced back surface recombination effects at grain boundaries. A combination of fine grid with finger spacing of 0.4mm and buried electrode along grain boundaries improved short circuit current density of solar cell. A ultra-thin Chromium layer of 20nm with transmittance of 80% reduced series resistance. This paper focused on the grain boundary effect for terrestrial applications of solar cells with low cost, large area, and high efficiency.