

論文98-35C-2-2

조합회로와 순서회로를 위한 경계면 스캔 구조에서의 지연시험 (Delay test for combinational and sequential circuit on IEEE 1149.1)

李昌熙*, 尹泰鎮*, 安光善*

(Chang-Hee Lee, Tae-Jin Yun, and Gwang-Seon Ahn)

요 약

본 논문에서는 기존의 지연시험 방법에 대한 고찰을 통해 문제점을 분석하고, 이를 해결하기 위한 새로운 구조와 시험 절차를 제안하였다. 조합회로를 위한 지연시험 구조 ARCH-C는 기존의 K구조와 동일한 $0.5T_{\text{tck}}$ 의 지연 결함을 검출할 수 있으며, 추가로 $1T_{\text{tck}}$ 의 지연 결함을 검출할 수 있도록 설계되었다. ARCH-C는 기존의 지연시험 절차가 2개 명령어를 번갈아 수행해야 하는 문제를, 명령어를 1개만 이용하는 절차의 개선으로 해결하여 기존에 비해 최소 1/2정도의 시험시간을 감소시킨다. 하드웨어 추가 부담면에서 ARCH-C는 고정된, 소규모의 하드웨어로 구현된다. 지연시험 대상회로가 클럭 입력을 갖는 순서회로일 경우, 기존의 경계면 스캔 구조에서의 지연시험은 중복 패턴의 입력, 클럭 입력과 데이터 입력과의 시간 간격과, 패턴 입력과 응답값 캡처까지의 시간 문제에 의해 적절치 않음을 보였다. 본 논문에서 제안하는 ARCH-S는 클럭카운팅 기술을 이용하여 순서회로에서의 지연시험의 문제점을 해결하였다. 제안된 ARCH-S는 고정적인 소규모의 하드웨어로 구현된다. 제안된 ARCH-C와 ARCH-S구조는 시뮬레이션을 통해 동작의 정확성과, 기존의 구조와 비교하여 성능이 향상되었음을 확인하였다.

Abstract

In this paper, we analyze the problems of conventional and previous method on delay test method in IEEE 1149.1. To solve them, we propose two kinds of delay test architectures. One is called ARCH-C, is for combinational circuit, and the other is ARCH-S, for clocked sequential circuit. ARCH-C is able to detect delay defect of $0.5T_{\text{tck}}$ or $1T_{\text{tck}}$ size. And ARCH-C have a fixed and small amount of hardware overhead, on the contrary previous method has a hardware overhead on the dependent of CUT. This paper discusses several problems of Delay test on IEEE 1149.1 for clocked sequential circuit. We suggest the method called ARCH-S, is based on a clock counting technique to generate continuous clocks for clocked input of CUT. The simulation results ascertain the accurate operation and effectiveness of the proposed architectures.

I. 서론

최근까지 회로기판상의 결함시험은 탐침판에 의존하

는 내부회로 시험방법이 사용되고 있으며, 근래에 와서는 회로기판의 복잡성이 증가하고, 표면 장착 기법 및 양면 장착 등의 보드 생산기술의 발전으로 인해 보드에 장착된 칩의 핀에 연결되어 사용되는 기존의 내부회로 시험방법의 대표적인 장비인 탐침판의 사용이 제한되고 있다. 일반적으로 하드웨어 설계 시, 시험을 고려한 설계를 하지않으므로 오류발생 시, 시험을 위

* 正會員, 慶北大學校 컴퓨터 工學科

(Dept. of Computer Engineering, Kyung-Pook University)

接受日字:1997年10月27日, 수정완료일:1998年1月30日

한 비용이 증가한다. 이러한 문제점을 해결하는 방법으로 하드웨어 설계초기에 시험을 고려하는 DFT(Design For Testability)의 연구가 활발하게 진행되고 있다^[1,2].

IEEE 1149.1 경계면 스캔 구조^[3,4]는 구조화 DFT기법으로 최근 들어 TI, NS, MOTOLORA와 HP등의 제품에서 채택되고 있다. 경계면 스캔 구조는 대상회로의 논리결합의 원인이 되는 고착결함을 검출하는데 주로 사용되며, 최근 들어 회로의 동작타이밍과 관련된 지연시험에의 응용에 대해 관심이 고조되고 있다^[5,6].

경계면 스캔 구조에서의 지연시험 방법들 중, 특히 [6]은 경계면 스캔 레지스터의 변형에 의한 지연시험 절차로 $0.5T_{tck}$ 의 지연 결함을 검출할 수 있는 방법을 제안하였다. 그러나 이 방법은 지연시험 절차에 있어 2개의 지연시험 명령을 번갈아 적재해야 하는 수행시간상의 부담과, 지연시험을 위한 변형된 경계면 스캔 레지스터의 사용으로 1개의 레지스터마다 1개씩의 $2to1_MUX$ 와 NOR, NOT게이트가 추가되는 부담과 명령어 레지스터^[3,4]에서 모든 출력 경계면 스캔 레지스터로의 신호선이 추가되어야 하는 부담 등 해결해야 할 연구 과제들을 남기고 있다.

본 논문에서는 IEEE 1149.1 경계면 스캔 구조가 적용된 조합회로에 대한 새로운 지연시험 구조와 클럭 입력을 가지는 순서회로에 적용할 수 있는 지연시험 구조를 제안한다. 조합회로에 대한 지연시험 구조 ARCH-C는 [6]과 같은 $0.5T_{tck}$ 의 지연 결함을 검출하면서, $1T_{tck}$ 의 지연 결함을 검출할 수 있다. ARCH-C는 하드웨어 상의 적은 부담의 구조와 시험 시간면에서 효율적인 새로운 지연시험 명령과 지연시험 절차를 수행한다.

그리고 클럭 입력을 가진 순서회로에 대해 연속적인 클럭을 발생시켜 지연 결함을 검출할 수 있는 지연시험 구조 ARCH-S를 제안한다.

2장에서는 일반적인 경계면 스캔구조에서의 지연시험과 [6]의 지연시험 구조와 동작, 문제점에 대해 논하고, 3장에서 새로운 지연시험을 위한 ARCH-C의 구조와 동작에 대해 논하며, ARCH-C구조와 제안된 지연시험 절차의 성능과 동작의 정확성을 시뮬레이션을 통해 확인한다. 4장에서는 클럭 입력을 갖는 대표적인 순서회로인 4bit 카운터에 대한 지연 시험을 위한 ARCH-S구조를 제안하고 시뮬레이션을 통해 동작

의 정확성을 확인한다. 5장에서는 기존의 지연시험 방법과의 비교를 통해 결과를 분석 평가하고 결론을 맺는다.

II. 경계면 스캔 구조에서의 지연시험

1. 표준 경계면 스캔 구조에서의 지연시험

그림 1은 경계면 스캔 구조가 적용된 회로에 대한 지연시험 모델을 나타낸다. 본 논문에서는 혼성 지연결합 모델을 사용한다. 지연결합 모델 중 경로 지연결합 모델은 활성 신호 경로에 따라 분포된 지연들이 누적되어 야기되는 것으로, 시험 대상 경로의 출력 응답은 시스템 클럭 간격에서 관측되어야 한다. 게이트 지연결합 모델은 시험회로를 구성하는 게이트의 입력 혹은 출력에 집중된 지연결합을 전제로 하는 것으로서 상승 지연과 하강 지연결합이 있다. 본 논문에서 사용한 지연모델은 게이트 지연결합 모델과 경로 지연결합 모델을 고려한 혼성 지연결합 모델이다. 지연결합으로 인해 시스템 타이밍 결함이 발생되기 위해서는 지연결합의 크기가 시스템 클럭 간격과 경로 상의 전파지연 사이의 간격보다 커야 하며, 최소한 하나의 종단 출력 신호선의 값이 정상적인 회로와 반대값으로 나타나야 한다.

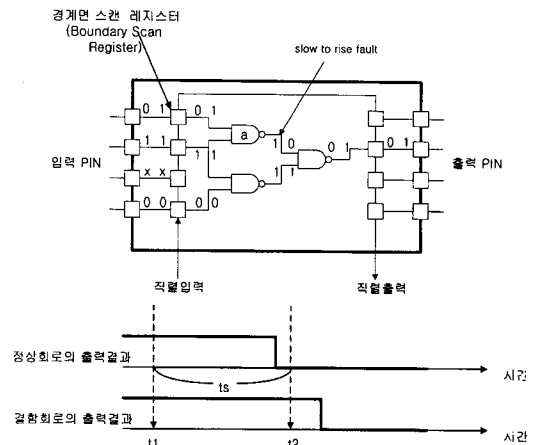


그림 1. 경계면 스캔 구조에서의 지연시험 모델
Fig. 1. Delay test model on boundary scan arch.

그림에서 NAND 게이트 a의 출력선에 상승 지연결합이 있다고 가정하고, 초기화 패턴 11x0을 입력 경계면 스캔 레지스터에 직렬 입력시켜 회로를 안정화시킨다. 결합이 발생한 경로에 상승천이 신호를 발생

시키기 위해 천이 전파 패턴 01x0을 경계면 스캔 레지스터에 직렬 입력시키고, 이를 시간 t1에 대상회로의 입력에 병렬 인가한다. 인가된 입력에 대한 응답값을 시간 t2에서 출력 경계면 스캔 레지스터에서 캡처한 후, 이를 직렬 출력한다. 이때, 회로 경로의 전파지연이 정해진 시간범위 ts보다 큰 경우 직렬 출력된 응답값은 정상 응답값과 반대값을 가지게 되어, 직렬로 출력된 데이터를 정상 응답값과 비교하여 지연 결함을 검출할 수 있다^[7,8].

그림 2는 지연시험 모델을 경계면 스캔 구조가 적용된 대상회로에 적용했을 때의 동작 타이밍을 나타낸다.

본 논문에서 사용된 각 신호선의 이름과 용도는 IEEE 1149.1의 표준을 따른다. 경계면 스캔 구조에서의 모든 동작은 그림 3의 TAP제어기의 상태 천이도에 의해 제어된다. TAP제어기는 입력으로 TMS, TCK를 가지며, 출력으로 Reset, Enable, Select, ShiftIR, ClockIR, UpdateIR, ShiftDR, ClockDR, UpdateDR 을 가진다. 상태 천이를 위해서는 그림 3의 화살표상의 값을 TMS에 유지하고 1 주기의 TCK를 인가해야 한다^[3,4].

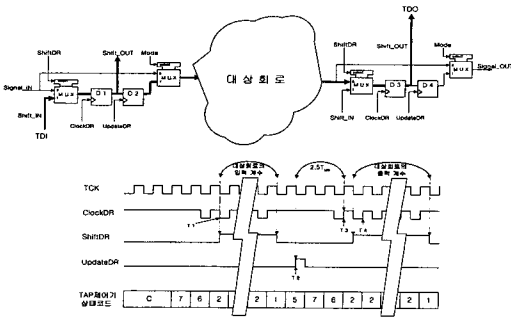


그림 2. 경계면 스캔 구조에서의 지연시험 동작 타이밍도

Fig. 2. Timing chart of delay test on boundary scan arch.

그림 2에서 대상회로에 대한 지연시험을 위해서는 TDI를 통해 D1플립플롭으로의 데이터입력을 위해 대상회로의 입력 개수만큼의 Shift_DR상태가 필요하며, 직렬 입력된 데이터를 대상회로에 병렬 인가하기 위해 플립플롭 D1의 데이터를 플립플롭 D2로 전달하는 Update_DR상태로 천이 되어야 한다. 병렬 인가된 데이터에 대한 대상회로의 응답값을 플립플롭 D3에 전달하기 위해서 Capture_DR상태로 천이 되어야 한다.

이때, Update_DR상태에서 Capture_DR상태로의 가장 짧은 천이 경로는 그림 3의 TAP제어기의 상태 천이도에서 Update_DR Select_DR Capture_DR의 천이 순서를 거쳐야 한다. TAP제어기에서 다음 상태로의 변화는 1 주기의 TCK가 필요하므로 그림 2의 아래와 같은 타이밍관계를 갖는다.

TCK의 1 주기를 T_{tck} 라고 할 때, 대상회로에 지연시험을 위한 입력을 T2에서 인가하고, 이에 대한 응답값을 T3에서 캡처하는데 $2.5T_{tck}$ 의 시간을 필요로 한다.

대상회로에 인가되는 시스템 클럭의 주기를 S_{CLK} 라고 할 때, 일반적으로 대상회로는 시스템 클럭에 동기를 맞춰 동작하므로, 대상회로에 대한 입력이 있을 후, 그 응답값은 연결된 다른 회로에, $1S_{CLK}$ 안에 인가되는지 보장되어야 한다. 즉 $1S_{CLK}$ 내에 응답값이 발생되는지를 시험할 수 있어야 한다. 그러나 그림 2에서와 같이 표준 경계면 스캔 구조에서는 대상회로의 시스템 클럭을 T_{CK} 로 사용할 경우, 대상회로에 입력을 인가한 후부터 응답값 캡처까지 $2.5T_{tck}$ 가 필요하므로 $2.5S_{CLK}$ 보다 적은 지연 결함은 검출할 수 없다.

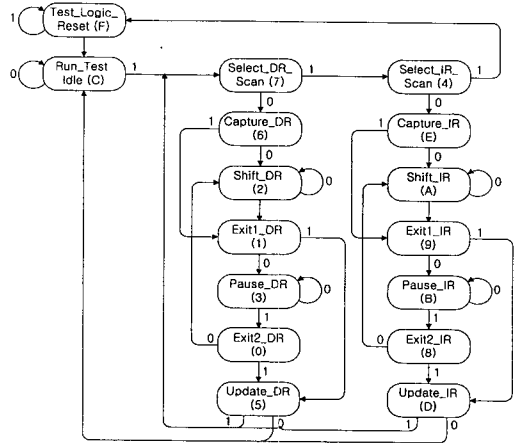


그림 3. TAP제어기 상태천이도^[3,4]

Fig. 3. State diagram of TAP controller^[3,4].

2. 기존의 지연시험 방법의 연구

[6]에서는 경계면 스캔 레지스터의 변형을 통해 $0.5T_{tck}$ 이상의 지연결함을 검출할 수 있는 지연시험 구조와 절차를 제안하고 있다. 편의상 이를 K구조라 한다. 일반적으로 사용되는 경계면 스캔 레지스터는 그림 2에서 대상회로의 좌우에 있는 2개의 D플립플롭과 2개의 2to1 MUX로 구성된다. K구조는 그림 4와 같은 변

형된 경계면 스캔 레지스터를 사용한다. 이 구조는 그림 2의 일반적인 경계면 스캔 레지스터와 비교했을 때, 2to1 MUX와 NOR, NOT를 추가로 필요로 한다. 변형된 경계면 스캔 레지스터는 대상회로의 출력 신호선마다 필요하므로, 전체적인 추가부담은 대상회로의 출력 개수×(2to1MUX, NOR, NOT)이 된다. 또한 그림 4에서와 같이 명령어 레지스터에서 모든 출력 경계면 스캔 레지스터로 Delay신호선이 추가로 연결되어야 하는 부담을 갖고 있다. K구조는 지연시험을 위해 2개의 명령어(Delay, Dshift)를 사용하며, 그림 5는 K구조에서의 지연시험 절차와 수행에 요구되는 TAP 제어기의 상태 천이도이다. 타윈의 숫자는 그림 3에서 해당되는 상태를 의미한다. 지연시험을 위해 N개의 입력 패턴이 필요할 때, 전체 지연시험 수행 시간을 계산하면 식 (1)과 같다.

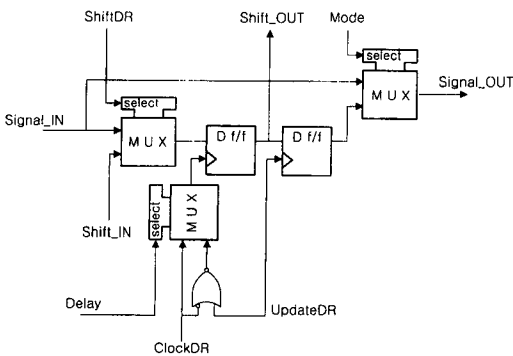


그림 4. 변형된 경계면 스캔 레지스터의 구조
Fig. 4. Modified boundary scan register [6].

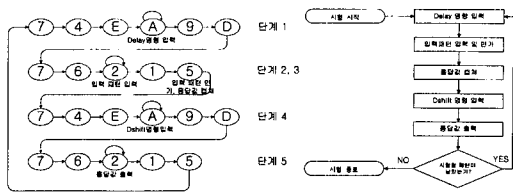


그림 5. K구조에서의 지연시험 절차와 TAP제어기의 상태 천이도
Fig. 5. State diagram of TAP controller for delay test on K arch.

$$T_{delay}(T_{tck}) = ((S+6) + (IN+5) + (S+6) + (OUT+5)) \times N \quad (1)$$

T_{dealy} : 전체 지연시험수행시간
 S : 명령어 길이
 IN : 대상회로의 입력신호선 수
 OUT : 대상회로의 출력신호선 수
 N : 지연시험을 위한 입력패턴의 수

III. 조합회로를 위한 지연시험 구조와 시험 절차의 개발

1. ARCH-C의 구조 및 동작

본 논문에서 제안하는 ARCH-C는 2개의 지연시험 명령어를 가지며, 각각 DELAY1, DELAY2라 한다. DELAY1명령어는 지연결합의 크기가 $0.5T_{tck}$ 이상인 지연결합을 검출할 수 있으며, DELAY2명령어는 $1T_{tck}$ 이상의 지연 결합을 검출할 수 있다. 또한 ARCH-C는 기존의 K구조와 비교하여 지연시험 절차의 수행에 하나의 명령어를 이용함으로써 전체 지연시험 시간을 감소시킨다.

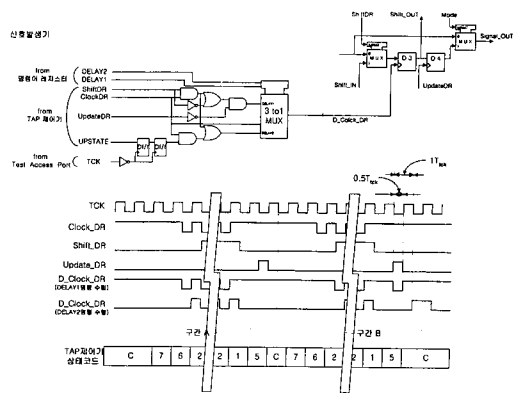


그림 6. ARCH-C의 구조와 동작 타이밍도
Fig. 6. Timing chart of delay test on ARCH-C.

ARCH-C는 K구조와 달리, 그림 3의 일반적인 경계면 스캔 레지스터를 변형 없이 사용하며, 대신 TAP 제어기의 변경과 지연시험에 사용될 D_CLOCK_DR 신호를 발생시키는 신호발생기가 필요하다. 그림 6은 신호발생기의 구조와 발생된 신호의 사용 예를 나타낸다. 신호발생기에 필요한 하드웨어는 ((2입력 AND:3개) + (2입력 OR:2개) + (NOT:3개) + (D-플립플롭:2개) + (3to1MUX:1개))이며, TAP제어기의 변경에 ((2입력 AND:5개)+(NOT:2개))가 필요하다. 이 부담은 K구조가 시험 대상회로의 출력 신호선 개수의 증가에 따라 신호선마다 ((2to1 MUX:1개)+(2입력 NOR:1개)+(NOT:1개))의 하드웨어 증가를 필요로 하는 것과는 달리 시험 대상회로의 출력 신호선의 개수와는 무관하다.

신호발생기의 입력 중 UPSTATE는 변경된 TAP 제어기의 출력으로 현재 TAP제어기의 상태가 Update_DR일 경우 1을 유지하며 그렇지 않을 경우

0을 출력한다. 그림 6의 아래는 신호발생기와 ARCH-C에서 수행되는 지연시험 명령 DELAY1, DELAY2에 의한 신호발생기의 동작과 경계면 스캔 레지스터의 동작 타이밍을 나타낸다.

구간 A는 지연시험이 아닌 경우의 동작을 보여준다. 이때 D3에 입력되는 D_Clock_DR신호는 TAP제어기의 출력인 ClockDR과 동일하다. 이는 경계면 스캔 구조의 표준을 수용함을 의미한다. 즉, 현재 명령이 DELAY1이나 DELAY2가 아닌 경우, ClockDR을 D3에 제공함으로써 표준 경계면 스캔 명령어의 수행이 가능하다.

구간 B는 DELAY1명령과 DELAY2명령에 의해 각각 $0.5T_{tck}$ 와 $1T_{tck}$ 의 지연 결함을 검출하는 동작을 나타낸다. 구간 B에서 대상회로에 입력패턴을 병렬로 인가하는 UpdateDR의 상승에지에서 각각 $0.5T_{tck}$ 와 $1T_{tck}$ 에 D3에 공급되는 D_Clock_DR은 상승에지로 동작한다. 즉, 지연시험을 위한 입력패턴을 대상회로에 병렬로 인가한 후, DELAY1명령은 $0.5T_{tck}$ 이후에, DELAY2명령은 $1T_{tck}$ 후에 입력에 대한 응답값을 D3에 저장할 수 있다. 두 경우, D3에 저장된 응답값은 스캔 경로로 쉬프트되어 최종적으로 TDO신호선으로 출력되어야 한다. 그러기 위해 대상회로의 각 출력 신호선의 D3값들을 스캔 경로를 통해 직렬로 출력하여야 하며, 이를 위해서 출력 신호선 개수만큼 TAP 제어기의 Shift_DR상태가 필요하다.

그런데 입력 패턴을 대상회로에 병렬 인가하는 Update_DR 상태에서 Shift_DR상태로 천이 되기 위해서는 그림 4의 TAP제어기 상태 천이도에서 반드시 Capture_DR상태를 지나야 한다. 그런데 Capture_DR상태는 표준에 따라 TAP제어기의 출력인 ShiftDR신호를 0으로 유지하고, ClockDR신호를 101로 변화 시키는 상태이다^[34]. 이 결과 D3에 연결된 D_Clock_DR신호선은 ClockDR의 변화를 반영하게 된다. 그러므로 D3은 새로운 응답값으로 변하게 된다. 즉, $0.5T_{tck}$ 이후의 응답값과 $1T_{tck}$ 이후의 응답값이 아닌, $2.5T_{tck}$ 이후의 응답값이 D3에 저장되고, 이 값이 직렬 출력된다. 이를 방지하고 지연시험 결과를 출력하기 위해서 D_Clock_DR은 DELAY1과 DELAY2 신호선 중 어느 하나가 1이고, ShiftDR이 1인 경우에만 ClockDR의 신호를 반영하여 D3에 공급된다.

결국, DELAY1과 DELAY2명령에 의해 출력 경계면 스캔 레지스터의 D3에는 입력이 인가된 후 각각

$0.5T_{tck}$ 와 $1T_{tck}$ 이후의 응답값이 저장된다. 응답값을 스캔 경로를 통해 TDO로 직렬 출력하여 지연 결함을 검출할 수 있다.

2. 지연시험 절차의 개발

ARCH-C구조는 지연시험을 위해 명령어 DELAY1과 DELAY2를 이용한다. 이 명령의 역할은 그림 6에서 명령어 레지스터에서 해독되어 신호발생기의 출력 D_Clock_DR을 결정하는데 사용된다. ARCH-C 구조에서 지연시험은 그림 7의 지연시험 절차와 수행에 필요한 TAP제어기의 상태변화를 따른다.

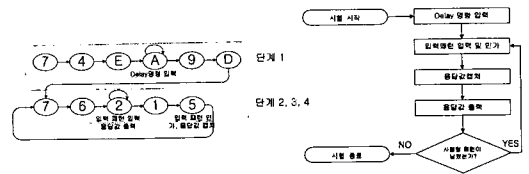


그림 7. ARCH-C에서의 지연시험 절차와 수행을 위한 TAP제어기의 상태 천이도

Fig. 7. State diagram of TAP controller for delay test on ARCH-C.

3. ARCH-C의 시뮬레이션

ARCH-C의 설계는 DASH-LCA 툴을 이용하고, 시뮬레이션은 PC-SILOS를 이용하였다. 지연시험에 사용된 시험대상 회로로 4-bit ALU를 선정하였다. 대상회로는 입력 신호선 14개, 출력 신호선 8개로 구성되어 있다.

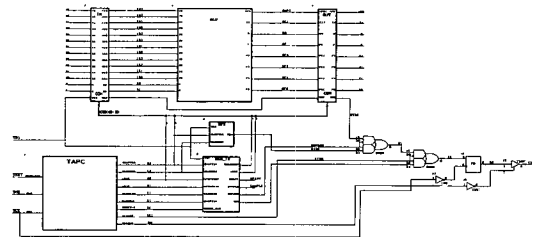


그림 8. ARCH-C를 적용한 ALU의 회로도

Fig. 8. The ALU based on ARCH-C.

그림 8은 ARCH-C을 대상회로 ALU에 적용한 지연시험 회로도이다. 그림 9는 ARCH-C구조에서의 지연시험 시뮬레이션 결과 파형을 나타낸다. 지연 결함을 발생시키기 위해 시험대상 회로인 ALU의 출력 신호선 중의 하나인 F1신호선에 지연소자를 추가하여 하강 지연 결함을 발생시켰다.

시물레이션 파형과 그림 7의 지연시험 절차를 비교하면 다음과 같다.

- ① 지연시험을 위한 명령을 명령어 레지스터에 입력
- ② 직렬로 입력 패턴 입력(14bit : 00111010101110)
- ③ 입력 패턴을 ALU에 병렬 인가
- ④ 응답값 캡처(Delay1 : 4i, Delay2 : 4ii)
- ⑤ 직렬로 천이 전파 패턴 입력(14bit : 10000000000001) 및 응답값 직렬 출력입력에 대한 ALU의 정상 응답값은 01101000이다.(7번째 bit가 F1신호임)
- ⑥ 천이 전파 패턴을 ALU에 병렬 인가
- ⑦ 응답값 캡처(Delay1 : 7i, Delay2 : 7ii)
- ⑧ 응답값을 TDO로 직렬 출력(파형도에서 TDO출력 데이터는 01101010이다.) 입력에 대한 ALU의 정상 응답값은 01101000이다.(7번째 bit가 F1신호임)

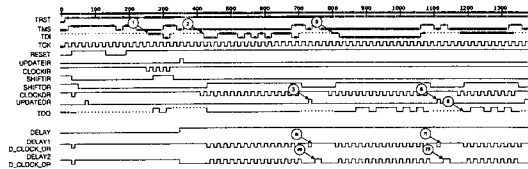


그림 9. ARCH-C의 시물레이션 파형도
Fig. 9. The result of simulation on ARCH-C.

그림 9의 파형도에서 대상회로의 7번째 출력선인 F1의 응답값이 정상값과 반대값을 가짐으로써 지연 결함을 검출할 수 있다.

IV. 순서회로를 위한 지연시험 구조의 개발

1. 순서회로의 지연시험

그림 10은 경계면 스캔 구조에서 클럭 입력을 갖는 대상회로에 대해 지연 결함을 검출하기 위한 동작을 보여준다. 대상회로의 입력은 IN0부터 IN3까지이며, 이 중 IN3이 클럭 입력이다. 대상회로는 IN3의 상승에지에 상태변화를 일으킨다고 가정하면, IN0에서 IN2까지 101을 입력하고, IN3에 상승에지를 입력할 경우, 일반적인 경계면 스캔 구조에서는 IN3에 상승에지를 발생시키기 위해서는 그림10의 t0에 IN3에 0을 t1에 IN3에 1을 입력함으로써 상승에지를 발생시켜야 한다. 이와 같은 절차를 가진 일반적인 경계면 스캔 구조는 다음의 3가지의 문제점을 가진다.

첫번째 문제점은 대상회로에 입력 패턴을 인가한 후, 그에 대한 응답값 캡처까지의 시간이 최소 $2.5T_{tck}$

가 소요된다. 즉, 시스템 클럭이 주입될 시, 대상회로의 정상동작 여부를 판단할 수 없다. 이 문제점은 조합회로에 대한 문제점과 동일하다.

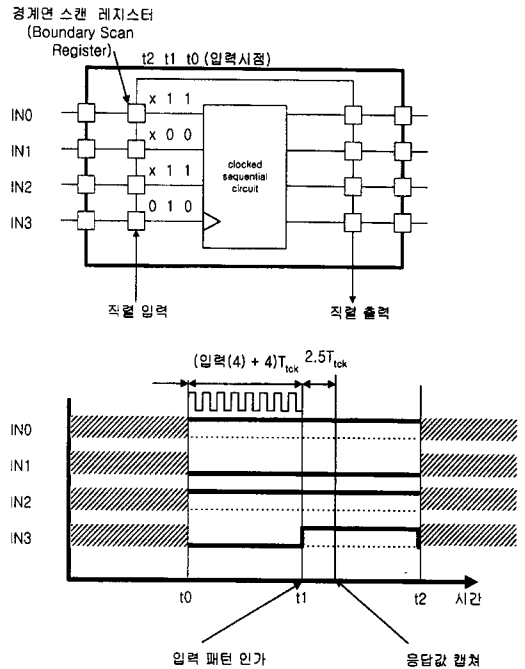


그림 10. 경계면 스캔 구조에서의 순서회로에 대한 지연시험 동작
Fig. 10. Delay test operation of boundary scan arch for sequential circuit.

두 번째는 대상회로의 클럭 입력에 상승(하강)에지를 발생시키기 위해 대상회로의 나머지 입력들에 대해 동일한 패턴을 중복 입력해야 한다. 중복 패턴의 입력은 지연시험 소요시간의 증가를 의미한다. 세 번째 문제점은 대상회로의 클럭 입력과 나머지 입력과의 시간 간격이 $(\text{입력개수}(N) + 4)T_{tck}$ 가 소요된다. 그림 10의 동작 타이밍관계에서 시간 t0에 IN0, IN1, IN2와 IN3에 1010를 입력 후, 시간t1에 1011을 입력하여, IN3에 상승에지를 발생시키기 위해서는 TAP제어기의 천이 상태도에 따라 t0과 t1의 간격이 최소한 (입력개수 $(4) + 4)T_{tck}$ 이 된다. 이러한 시험동작은 순서회로의 클럭이 시스템 클럭일 경우, 정상동작에서 IN0, IN1, IN2의 신호값이 입력된 후, 시스템 클럭의 1/2주기 이후에 IN4에 상승에지가 발생된다는 것을 고려하면, 대상회로가 정상적인 시스템 클럭 속도에서 동작할 것임을 시험할 수 없다. 즉, 클럭 입력을 발생시키는 시점이 너무 늦어짐으로 대상회로의 동작을 정상속도에

서 검증할 수 없다. 따라서 일반적인 경계면 스캔 구조에서는 순서회로에 대한 지연시험이 적절치 않으며, 또한 기존의 K, ARCH-C구조도 순서회로에 대해서는 적용할 수 없다. 본 논문에서는 경계면 스캔 구조에서 클럭 입력을 갖는 순서회로에 대한 지연 시험이 가지는 문제점을 해결하기 위해 ARCH-S를 제안한다.

2. ARCH-S의 구조와 동작

본 논문에서 제안하는 ARCH-S는 클럭카운팅 기술을 이용하여 정해진 수의 클럭을 대상회로의 클럭 입력선에 적용시킴으로써 대상회로에 입력되는 입력 패턴의 중복을 피하고, 대상회로를 정상속도에서 동작할 수 있도록 시스템 클럭을 TCK로 사용한다. 연속적인 클럭 발생에 TCK를 사용함으로써 대상회로가 정상속도에서 정상동작 하는가를 시험할 수 있다. 그림 11은 카운터를 이용한 연속 클럭 발생기의 구조를 보여준다.

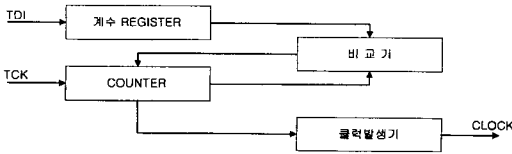


그림 11. 카운터를 이용한 클럭 발생기의 구조
Fig. 11. The architecture of clock generator using counter.

클럭 발생기의 구조는 발생시킬 클럭의 수를 지정하는 카운터 계수레지스터와 정해진 클럭을 계수하는 카운터부분과 비교기, 카운터 시작과 종료 시 다른 장치와의 연결을 위한 부가회로로 구성된다. 클럭 발생기를 이용하는 ARCH-S는 지연 시험을 위한 명령어를 2개 가진다. 각 명령의 역할은 다음과 같다.

- Cloud : 대상회로에 발생시킬 클럭의 개수를 지정한다. 명령어가 입력된 후, TDI를 통해 입력된 데이터는 계수레지스터에 입력되어 클럭 발생시 비교기에 의해 사용된다.
- Cntena : 명령어가 입력된 후, TAP제어기가 Update_DR상태로 변할 때, 클럭 발생기를 동작시켜 계수레지스터에 입력된 개수의 연속적인 클럭을 대상회로의 클럭 입력에 연결된 경계면 스캔 레지스터에 발생시켜 지연 시험을 수행시킨다. 연속적인 클럭이 입력된 후, 대상회로의 응답값을

캡처하기 위해 대상회로의 출력선에 연결된 경계면 스캔 레지스터는 마지막 클럭이 발생된 후, $1T_{tck}$ 이후에 응답값을 캡처할 수 있다. 또한 조합회로에 대한 지연 시험 구조에서와 같이 캡처된 응답값을 변화 없이 TDO로 직렬출력 할 수 있도록 설계되었다. 대상회로의 클럭 입력선에 연결되는 입력 경계면 스캔 레지스터는 Cntena명령이 입력되었을 경우에 클럭 발생기의 클럭을 회로에 인가하고, 그렇지 않은 경우는 TAP제어기의 ClockDR 신호를 회로에 인가하는 멀티플렉서를 가지므로 표준 경계면 스캔 명령어를 수행할 수 있다. 제안된 시험구조 ARCH-S는 그림 12의 지연시험 절차와 수행에 필요한 TAP제어기의 상태변화를 따른다.

3. ARCH-S의 시뮬레이션

ARCH-S구조에서 지연시험 명령어 Cloud, Cntena 명령어를 이용한 지연시험 절차를 시뮬레이션을 통해 시험구조와 지연시험 절차에 대한 동작을 검증한다.

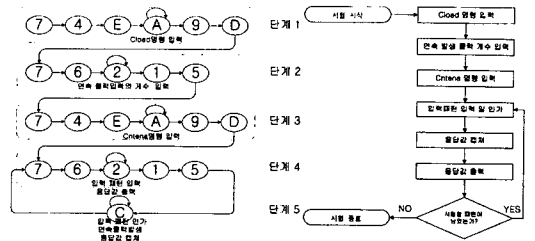


그림 12. ARCH-S에서의 지연 시험 절차와 수행을 위한 TAP제어기의 상태 천이도
Fig. 12. State diagram of TAP controller for delay test on ARCH-S.

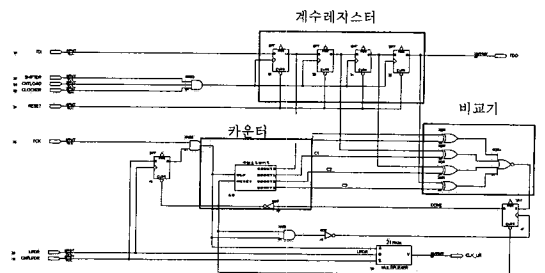


그림 13. 카운터를 이용한 클럭 발생기
Fig. 13. Clock generator using counter.

시뮬레이션을 위해 4bit 카운터를 대상회로로 선정하였다. 대상회로는 10개의 입력 신호선과 5개의 출력 신호선으로 구성되어 있다. 회로의 설계와 시뮬레이션

은 ALTERA의 MAX PLUS II 7.2를 사용하였다. 그림 13은 그림 11의 카운터를 이용한 클럭 발생기의 회로도이며, 그림 14는 4bit 카운터 대상회로에 클럭 발생기를 가진 지연시험 구조를 적용시킨 회로도이다. 그림 15는 ARCH-S구조에서 그림 12의 지연시험 절차를 따라 시뮬레이션한 결과파형이다. 시뮬레이션에 사용된 연속 클럭의 개수는 5개로 한다.

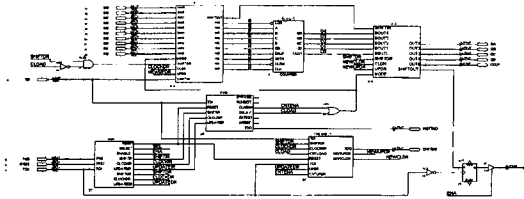


그림 14. ARCH-S를 적용한 4bit 카운터의 회로도
Fig. 14. The 4bit counter based on ARCH-S.

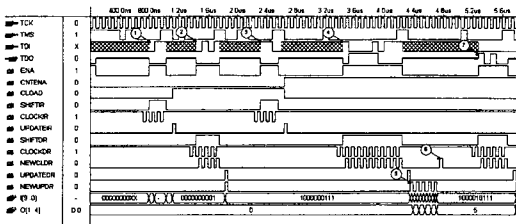


그림 15. ARCH-S에 대한 시뮬레이션 결과 파형
Fig. 15. The result of simulation on ARCH-S

그림 15의 시뮬레이션 파형과 시험 절차를 비교하면 다음과 같다.

- ① Cload(011)를 TDI를 통해 명령어 레지스터에 직렬 입력 파형도에서 UPIR의 상승에지에 CLOAD신호가 1이 된다.
- ② 데이터 0101을 TDI를 통해 계수 레지스터에 직렬입력 계수 레지스터에 저장된 0101은 연속발생 클럭의 수를 5개로 지정한다.
- ③ Cntena(110)를 TDI를 통해 명령어 레지스터에 직렬 입력 파형도에서 UPDATEIR의 상승에지에서 CNTENA신호가 1이 된다
- ④ 데이터 1000010111를 TDI를 통해 대상회로의 입력 경계면 스캔 레지스터에 직렬입력 이는 카운터 대상회로를 초기화 시키고, 0에서부터 1씩 증가시키는 상태로 만든다.
- ⑤ 대상회로의 클럭 입력선인 CLK에 T_{tck} 의 주기를 가진 5개의 연속적인 클럭 입력 파형도에서

NEWUPDR이 대상회로에 입력될 연속 클럭이다.

- ⑥ 5개의 연속 클럭이 입력된 대상회로의 응답값을 캡처 캡처되는 5번째 클럭의 상승에지에서 $1T_{tck}$ 이후이다.
- ⑦ ⑥에서 캡처한 카운터 대상회로의 응답값 5bit를 TDO를 통해 직렬 출력

⑦의 출력 결과는 파형도에서 10100가 출력된다. 마지막 bit0은 대상회로의 출력 중 캐리 출력을 의미하며 왼쪽이 하위비트이다. 즉 초기상태 0, 증가모드에서 5번의 연속적인 클럭에 의해 5로 상태변화 했음을 알 수 있다.

신호선O [1.4]는 대상회로의 출력신호선을 관측하는데 사용된다. 이는 대상회로의 출력 QD, QC, QB, QA를 의미한다.

신호선 NEWUPDR신호가 대상회로의 클럭 입력선에 입력되는 신호를 나타낸다. Cntena가 입력되기 전의 신호는 TAP제어기의 UpdateDR신호와 동일하며 (와 사이), Cntena신호가 입력된 후 UpdateDR의 하강에지에서 Cload명령에 의해 입력된 수의, TCK의 주기를 가진 연속적인 클럭이 발생된다.

⑦에서 NEWCLR신호는 Cntena에 의해 번과 달리 ShiftDR이 1인 경우에만 발생되도록 설계되었다. 이는 조합회로에서와 같이 입력 패턴에 대한 응답값을 캡처한 후, 응답값의 변화 없이 TDO로 출력하기 위해서 필요하다.

V. 고찰 및 결론

1. 조합 회로를 위한 ARCH-C의 평가

1) 시험 수행 시간 비교

개선된 지연시험 절차는 지연시험을 위한 명령어의 입력이 초기에 한 번만 필요하다. 이는 K구조에서 하나의 입력 패턴에 대해 2개 명령어, Delay와 Dshift를 번갈아 수행해야 하는 것에 비해 지연시험 수행시간의 감소를 의미한다.

식 (2)는 N개의 입력 패턴에 대해 개선된 지연시험 절차를 적용했을 때, 수행에 필요한 시간을 계산한 식이다.

$$T_{delay}(T_{tck}) = (((S+6) + (IN+5) + (OUT+5)) + ((MAX(IN, OUT) + 5) \times (N-1))) \quad (2)$$

- T_{dealy} : 전체 지연시험수행시간
- T_{tck} : TCK의 주기
- S : 명령어 길이
- IN : 대상회로의 입력 신호선 수
- OUT : 대상회로의 출력 신호선 수
- N : 지연시험을 위한 입력 패턴의 수

표 1은 K구조에 대한 ARCH-C구조의 시험 수행 시간의 비율을 나타낸다.

신호선의 개수가 동일한 경우 입력 패턴의 수가 늘어날수록 비율이 감소함을 알 수 있다. 전체적으로 최소 2배 이상의 시험시간이 향상됨을 보여준다.

표 2는 표준 경계면 스캔 구조, K구조와 ARCH-C 구조에서의 지연 결합의 크기와 시험 시간과의 관계를 나타낸다.

표 1. K구조와의 지연시험 수행 시간에 대한 비교

Table 1. Comparison of test time for ARCH-C.

입출력 신호선의 합 입력 패턴의 수	2	4	8	16	32	64	128	256
1	50.00%	50.00%	50.00%	50.00%	50.00%	50.00%	50.00%	50.00%
2	35.00%	35.94%	37.50%	39.77%	42.50%	45.11%	47.12%	48.42%
4	27.50%	28.91%	31.25%	34.66%	38.75%	42.66%	45.67%	47.62%
8	23.75%	25.39%	28.13%	32.10%	36.88%	41.44%	44.95%	47.23%
16	21.88%	23.63%	26.56%	30.82%	35.94%	40.83%	44.59%	47.03%
32	20.94%	22.75%	25.78%	30.18%	35.47%	40.52%	44.41%	46.93%
64	20.47%	22.31%	25.39%	29.87%	35.23%	40.37%	44.32%	46.88%
128	20.23%	22.09%	25.20%	29.71%	35.12%	40.29%	44.28%	46.86%
256	20.12%	21.98%	25.10%	29.63%	35.06%	40.26%	44.25%	46.84%
512	20.06%	21.93%	25.05%	29.59%	35.03%	40.24%	44.24%	46.84%
1024	20.03%	21.90%	25.02%	29.57%	35.01%	40.23%	44.24%	46.83%
2048	20.01%	21.89%	25.01%	29.56%	35.01%	40.22%	44.23%	46.83%

2) 하드웨어 추가 부담 비교

기존의 K구조와 ARCH-C구조를 비교하면, 하드웨어 부담면에서, K구조에서 요구하는 하드웨어의 추가는 {출력 신호선의 수x ((2to1 MUX:1개)+(NOR:1개)+(NOT:1개))}로서 출력 신호선의 수에 의존적이나, ARCH-C는 신호발생기에 {(2입력 AND : 3개) + (2입력 OR : 2개) + (NOT : 3개) + (D플립플롭 : 2개) + (3to1MUX : 1개)}가 소요되며, TAP제어기의 변경에 {(2입력 AND : 5개)+(NOT : 2개)}의 고정된 소규모의 하드웨어가 추가된다.

표 2. 지연 결합의 크기와 시험 수행시간과의 관계

Table 2. The relation of delay defect size and test time on different arch.

	TIME_A	TIME_B	검출 가능한 지연결합 크기
표준 경계면 스캔 구조	불능	불능	2.5T _{tck} 이상
K 구조	$[(S+6+IN+5+S+6+OUT+5) \times N] \times S_{CLK}$	$[(S+6+IN+5+S+6+OUT+5) \times N] \times 2 S_{CLK}$	0.5T _{tck} 이상
ARCH-C구조 (DELAY1명령)	$[S+6+IN+5+OUT+5+(MAX(IN,OUT)+5)(N-1)] \times S_{CLK}$	$[S+6+IN+5+OUT+5+(MAX(IN,OUT)+5)(N-1)] \times 2 S_{CLK}$	0.5T _{tck} 이상
ARCH-C구조 (DELAY2 명령)	불능	$[S+6+IN+5+OUT+5+(MAX(IN,OUT)+5)(N-1)] \times S_{CLK}$	1T _{tck} 이상

- 시험에 사용되는 TCK는 시스템 클럭인 S_{CLK}를 이용한다.
- N : 입력 패턴의 수.
- S : 명령어 길이.
- IN : 대상회로의 입력 신호선의 수.
- OUT : 대상회로의 출력 신호선의 수.
- TIME_A : 대상회로의 지연 결합의 크기가 0.5~1 T_{tck}인 경우.
- TIME_B : 대상회로의 지연 결합의 크기가 1 T_{tck}이상인 경우.

표 3. 하드웨어 추가부담 비교

Table 3. Comparison of hardware overhead.

	대상회로에 대한 지연시험	회로간의 경로에 대한 지연시험
K구조	출력신호선 개수에 비례 {(2to1 MUX:1개)+(2입력 NOR:1개)+(NOT:1개)} × 출력신호선 수 명령어 레지스터에서 모든 출력 경계면 스캔 레지스터로 Delay신호선 연결이 필요	입력,출력신호선 개수에 비례 {(2to1 MUX:1개)+(2입력 NOR:1개)+(NOT:1개)} × (출력신호선+입력신호선 수) 명령어 레지스터에서 모든 입력 경계면 스캔 레지스터로 Delay신호선 연결이 필요
ARCH-C 구조	고정적인 하드웨어 추가 {(3to1MUX:1개)+(2입력 AND:3개) +(NOT:5개)+(2입력 OR:2개)+(D/f:2개)}	좌 동

기존의 K구조는 그림 4에서와 같이 명령어 레지스터에서 모든 출력 경계면 스캔 레지스터로의 출력 신호선 수 만큼의 Delay 신호선이 연결되어야 하는 추가부담을 가지고 있다. 반면, ARCH-C는 신호선의 추가부담이 없다. 또한, 대상회로에 대한 기능시험이 아닌 회로간의 연결 시험인 EXTEST [3,4] 시, 지연 시험을 고려할 경우, 출력측에 요구되는 하드웨어와 신호선의 추가가 공통적으로 입력 경계면 스캔 레지스터에도 요구된다. 반면, ARCH-C는 EXTEST에 지연시험을 고려할 경우, 다른 하드웨어의 추가는 필

요 없다. 표 3은 각 구조에서 요구되는 하드웨어 추가 부담을 나타낸다.

표 3. 지연시험 수행 시간의 비율
Table 3. Comparison of test time for ARCH-S.

(연속발생클럭의 수: 8)

입,출력 신호선의 합 입력 패턴의 수	2	4	8	16	32
1	44.12%	39.50%	33.33%	26.70%	21.01%
2	29.80%	26.84%	22.90%	18.65%	15.01%
4	22.31%	20.22%	17.44%	14.44%	11.87%
8	18.48%	16.83%	14.64%	12.28%	10.26%
16	16.54%	15.12%	13.23%	11.19%	9.45%
32	15.56%	14.26%	12.52%	10.65%	9.04%
64	15.07%	13.83%	12.16%	10.37%	8.84%
128	14.83%	13.61%	11.98%	10.23%	8.73%
256	14.71%	13.50%	11.89%	10.17%	8.68%
512	14.64%	13.45%	11.85%	10.13%	8.66%
1024	14.61%	13.42%	11.83%	10.11%	8.64%
2048	14.60%	13.41%	11.82%	10.10%	8.64%

(연속발생클럭의 수: 15)

입,출력 신호선의 합 입력 패턴의 수	2	4	8	16	32
1	27.96%	24.88%	20.79%	16.38%	12.60%
2	19.95%	17.80%	14.94%	11.85%	9.21%
4	15.84%	14.17%	11.94%	9.54%	7.48%
8	13.76%	12.33%	10.42%	8.36%	6.60%
16	12.72%	11.40%	9.66%	7.77%	6.16%
32	12.19%	10.94%	9.27%	7.48%	5.94%
64	11.93%	10.71%	9.08%	7.33%	5.83%
128	11.80%	10.59%	8.98%	7.25%	5.77%
256	11.73%	10.53%	8.94%	7.22%	5.74%
512	11.70%	10.51%	8.91%	7.20%	5.73%
1024	11.68%	10.49%	8.90%	7.19%	5.72%
2048	11.67%	10.48%	8.89%	7.18%	5.72%

표준 경계면 스캔 구조와 비교했을 때의 하드웨어 추가부담을 의미한다.

3) DELAY1과 DELAY2명령의 고찰

ARCH-C에서 DELAY1명령과 DELAY2명령은 검출할 수 있는 지연 결함의 크기에 의해 사용이 결정

된다. 일반적으로 대상회로에 대한 입력이 이루어졌을 때 대상회로에 대한 지연은 시스템 클럭 1 주기 이상이 문제가 된다.

예를 들어 그림 16에서와 같이 대상회로는 시스템 클럭에 동기를 맞춰 동작하는 것이 일반적이다. 이 경우 OUT_REG에 결과가 저장되는 시간 C는 입력 레지스터에 데이터가 저장이 완료되는 시간 B에서 정확히 1 시스템 클럭 후이다. 이러한 동작환경이 일반적이라고 볼 때, 기존의 지연시험 구조나 ARCH-C에서 DELAY1명령을 수행할 때, 시스템 클럭을 TCK로 사용할 경우, 1 시스템 클럭 이상의 지연 결함을 가진 경로뿐만 아니라, 정상 동작하는 경로에 대해서도 상태 천이가 발생할 때, 정상 응답값 이전의 값을 탐지하게 된다.

결국 K구조와 ARCH-C의 DELAY1명령은 시스템 클럭의 2주기를 TCK의 1주기로 사용해야만, 1 시스템 클럭의 지연 결함을 감지할 수 있다. 이에 비해, ARCH-C에서 DELAY2명령을 이용하면, 시스템 클럭을 TCK로 사용할 수 있으므로 DELAY1명령을 이용한 시험에 비해 2배, 기존의 K구조와 비교하여 지연시험 수행 속도를 약 4배 이상 향상시킬 수 있다.

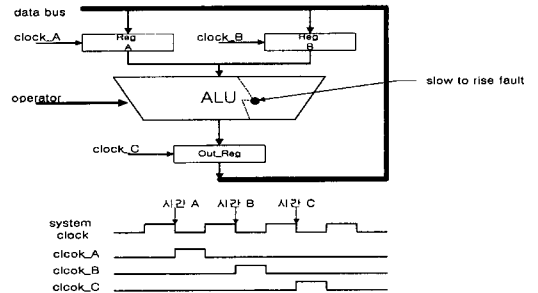


그림 16. 시스템 클럭과 지연결함과의 관계
Fig. 16. The relation of system clock and delay defect.

2. ARCH-S에서의 지연시험 평가

본 논문에서는 대상회로를 정상적인 동작속도에서 즉, 시스템 클럭에 대해 동작시킴으로써 순서회로의 지연 결함을 검출할 수 있는 시험구조를 제안하였다. 제안된 ARCH-S는 시스템 클럭을 TCK로 사용하여 대상회로의 클럭 입력에 연속적인 시스템 클럭의 주기를 가지는 신호를 발생시킨다.

ARCH-S구조에서의 지연시험에 소요되는 시간은 식(3)과 같다.

$$T_{delay}(T_{tck})=2(S+6)+(C+5)+(IN+5)+(OUT+5) \\ + (N-1)(MAX(IN,OUT)+5)+N \times K \quad (3)$$

$$T_{delay}(T_{tck})=(IN+5)+((MAX(IN,OUT)+5)(N-1)) \\ +(OUT+5)+(2(K-1))(IN+5) \times N \quad (4)$$

- T_{dealy} : 전체 지연시험 수행시간
 T_{tck} : TCK의 주기
 S : 명령어 길이
 IN : 대상회로의 입력 신호선 수
 OUT : 대상회로의 출력 신호선 수
 N : 지연시험을 위한 입력 패턴의 수
 C : 연속발생 클럭의 수를 저장하는 레지스터의 길이
 K : 연속발생 클럭의 수

식(4)는 비교를 위해 일반적인 경계면 스캔 구조에서 클럭 입력을 갖는 대상회로에 대한 지연시험이 가능하다고 가정하고, IV장 1절에서 제시된 방법을 이용하여 시험을 수행했을 때 시험에 소요되는 시간을 나타낸다. 식(3)과 식(4)을 비교한 결과는 표3으로 표현된다.

대상회로의 클럭 입력선에 공급되는 연속 클럭의 수에 따라 표 3은 8개의 연속 클럭과 15개의 연속 클럭을 발생시키는 경우를 비교한 것이다.

표의 행 방향으로 대상회로의 입력선과 출력선 개수의 합을 표시한다. 비교를 위해 입력과 출력의 개수가 동일하다고 가정하였다. 표의 열 방향으로 대상회로에 입력되는 입력 패턴의 수를 의미한다. 비교를 위해 각 구조가 가지는 명령어의 길이를 3bit, ARCH-S에서 연속발생 클럭의 수를 지정하는 레지스터의 길이를 4bit로 하였다.

대상회로의 신호선의 개수가 늘어날수록, 입력될 패턴의 수가 늘어날수록 ARCH-S에 의한 지연시험의 소요시간이 크게 단축됨을 알 수 있다. 또한 연속 발생될 클럭의 수가 많을수록 ARCH-S에 의한 지연시험이 효율적임을 보여준다.

III. 결 론

본 논문에서는 ANSI/IEEE Std 1149.1 경계면 스캔 구조에서의 지연시험을 위한 지연시험 구조와 지연시험 절차를 개발하였다. 이를 위해 기존의 지연시험 방법에 대한 고찰을 통해 문제점을 파악하고, 이를 해결하기 위한 새로운 구조와 시험 절차를 제안하였다. 조합회로를 위한 지연시험 구조 ARCH-C는 기존의 K구조와 동일한 $0.5T_{tck}$ 의 지연 결함을 검출할 수 있

으며, 추가로 $1T_{tck}$ 의 지연 결함을 검출할 수 있도록 설계되었다. 또한 ARCH-C는 기존의 지연시험 절차가 2개 명령어를 번갈아 수행해야 하는 문제를, 명령어를 1개만 이용하는 절차의 개선으로 해결하여 기존에 비해 최소 1/2정도의 시험시간을 감소시킨다.

하드웨어 추가 부담면에서 기존의 지연시험 구조가 출력선의 개수에 비례하여 늘어나는데 비해, ARCH-C는 고정된, 소규모의 하드웨어가 추가된다.

기존의 K구조는 명령어 레지스터에서 모든 출력 경계면 스캔 레지스터로의 신호선 수 만큼의 Delay 신호선이 연결되어야 하는 추가부담을 가지고 있다. 반면, ARCH-C는 신호선의 추가부담이 없다. 또한, 대상회로에 대한 내부회로 시험이 아닌 회로간의 연결시험인 EXTEST시, 지연결함을 고려할 경우, K구조는 출력측에 추가되는 하드웨어와 신호선의 추가가 공통적으로 입력 경계면 스캔 레지스터에도 요구된다. 반면, ARCH-C는 추가부담이 없다. ARCH-C의 DELAY2명령은, 대상회로의 시스템 클럭을 TCK로 사용하면서 지연결함의 크기가 $1T_{tck}$ 인 경우, DELAY1명령보다 시험 속도면에서 2배 속도의 시험이 가능하다.

본 논문에서는 지연시험 대상회로가 클럭 입력을 갖는 순서회로일 경우, 기존의 경계면 스캔 구조에서의 지연시험은 중복패턴의 입력, 클럭 입력과 데이터 입력과의 시간 간격과, 패턴 입력과 응답값 캡처까지의 시간 문제에 의해 적절치 않음을 보였다.

본 논문에서 제안하는 ARCH-S는 클럭카운팅 기술을 이용하여 정해진 수의 클럭을 대상회로의 클럭 입력선에 적용시킴으로써 대상회로에 입력되는 입력 패턴의 중복을 피할 수 있다. 또한 대상회로를 정상속도에서 동작할 수 있도록 시스템 클럭을 TCK로 사용한다. 연속적인 클럭 발생에 TCK를 사용함으로써 대상회로를 정상속도에서 검증할 수 있다. ARCH-S는 고정적인 소규모의 하드웨어 추가가 필요하며, 시뮬레이션을 통해 기존의 구조와 비교하여 향상된 성능을 가짐을 확인하였다.

시험 대상회로의 규모가 커지고, 지연시험을 위한 입력 패턴의 수가 늘어날 수록 제안된 ARCH-C, ARCH-S의 효율성이 증대될 것이다. 또한, ARCH-C와 ARCH-S는 지연시험뿐만 아니라 일반적인 경계면 스캔 명령어인 INTEST, EXTEST에도 적용할 수 있으므로 기능시험과 지연시험을 동시에 수행하여

시험의 정확성을 향상시키고 시험 수행 시간을 감소시킬 수 있다.

참 고 문 헌

- [1] Victor P. Nelso, H. Troy Nagle, Digital Logic Circuit Analysis & Design, Prentice-Hall Inc, 1995.
- [2] Kenneth E. Posse, A Design-For-Testability Architecture For Multichip Modules, IEEE International Test Conference, pp. 113-121, 1991.
- [3] IEEE Std. 1149.1-1990, IEEE Standard Test Access Port and Boundary Scan Architecture, May 21, 1990.
- [4] C. M. Maunder and R. E. Tulloss, The Test Access Port and Boundary Scan Architecture, IEEE, 1990.
- [5] Hoon Chang and Jacob A. Abraham, Delay Test Techniques for Boundary Scan based Architecture, IEEE CICC., pp. 13.2.1-4, 1992.
- [6] 姜秉旭, 安光善 경계면-스캔 기저 구조를 위한 지연시험, 대한전자공학회 논문집. 31권 A 편 6호, pp. 199-208, 1994
- [7] G.L.Smith, Model for Delay Faults Based upon Path, Proc. Int. Test Conf., pp. 342-349, 1985.
- [8] C.J.Lin and S.M.Reddy, On Delay Fault Testing in Logic Circuits, IEEE Trans. CAD, Sep., pp. 694-703, 1987.
- [9] M.A. Breuer. The Effects of Races, Delays and Delay Faults on Test Generation, IEEE Trans. Computers, pp. 1078-1092, Oct. 1974.
- [10] Y.K. Malaiya and R. Narayanaswamy, Modeling and Testing for Timming Faults in Synchronous Sequential Circuits, IEEE Design and Test of Computers, pp. 62-74, Nov. 1984.
- [11] J.D. Lesser and J. J. Schedletsky, An Experimental Delay Test Generation for LSI, IEEE Trans. Computer, vol. C-29, no. 3, pp. 235-248, 1980.

저 자 소 개



李 昌 熙(正會員)
 1992년 경북대학교 공과대학 컴퓨터 공학과 졸업(학사). 1994년 경북대학교 공과대학 컴퓨터공학과 대학원 졸업(공학석사). 1996년 경북대학교 공과대학 컴퓨터공학과 대학원 박사 수료



尹 泰 鎭(正會員)
 1994년 경북대학교 공과대학 컴퓨터 공학과 졸업(학사). 1996년 경북대학교 공과대학 컴퓨터공학과 대학원 졸업(공학석사). 1998년 경북대학교 공과대학 컴퓨터공학과 대학원 박사 수료예정

安 光 善(正會員) 第 27卷 第 7號 參照
 현재 경북대학교 공과대학 컴퓨터공학과 교수