

論文98-35C-2-4

선형 어레이 SliM-II 이미지 프로세서 칩

(A Linear Array SliM-II Image Processor Chip)

張鉉萬*, 鮮于明勳*

(Hyun-Man Chang and Myung-Hoon Sunwoo)

요 약

본 논문에서는 선형 어레이 SliM-II 이미지 프로세서 구조와 설계에 대해 기술한다. 제안된 SliM-II 칩은 64개의 PE가 선형으로 연결되어 있고 worst case에서 30MHz로 동작하며 1.92 GIPS의 성능을 나타낸다. IMAP, MGAP-2 및 VIP 등과 같은 기존의 어레이 프로세서들과 달리 각각의 PE마다 8-비트 mixed mode 곱셈기가 있어 컨볼루션, correlation 및 template matching 등과 같은 알고리즘을 효율적으로 수행한다. 명령어 집합 중에서 ALU 및 곱셈 연산, 데이터 입/출력과 근접통신은 하나의 명령어 사이클에 동시에 수행되며, 상용화된 범용 DSP 칩과 같이 계산 명령어와 병렬로 수행되는 parallel move를 지원한다. SliM-II는 계산과 근접통신(inter-PE communication)을 중첩시키는 슬라이딩(sliding) 개념을 적용하여 근접통신 부담을 대폭 줄일 수 있다. 또한 데이터 입/출력과 근접통신의 데이터는 bit-parallel로 설계하여 시간부담을 감소시켰다. COMPASS™ CAD 툴의 3.3V 0.6 μ m 라이브러리(v8r4.10)를 사용하여 논리합성을 수행하였다. 총 트랜지스터 수는 약 150만개, 코어 면적은 13.2 x 13.0 mm²이고, 패키지는 208 핀 PQ2(Power Quad 2)를 사용하였다. SliM-II는 기존의 어레이 프로세서에 비해 곱셈연산이 필요한 알고리즘에서 성능이 크게 개선되었다.

Abstract

This paper describes architectures and design of a SIMD type parallel image processing chip called SliM-II. The chip has a linear array of 64 processing elements (PEs), operates at 30 MHz in the worst case simulation and gives at least 1.92 GIPS. In contrast to existing array processors, such as IMAP, MGAP-2, VIP, etc., each PE has a multiplier that is quite effective for convolution, template matching, etc. The instruction set can execute an ALU operation, data I/O, and inter-PE communication simultaneously in a single instruction cycle. In addition, during the ALU/multiplier operation, SliM-II provides parallel move between the register file and on-chip memory as in DSP chips. SliM-II can greatly reduce the inter-PE communication overhead, due to the idea of sliding, which is a technique of overlapping inter-PE communication with computation. Moreover, the bandwidth of data I/O and inter-PE communication increases due to bit-parallel data paths. We used the COMPASS™ 3.3 V 0.6 μ m standard cell library (v8r4.10). The total number of transistors is about 1.5 millions, the core size is 13.2 x 13.0 mm² and the package type is 208 pin PQ2 (Power Quad 2). The performance evaluation shows that, compared to a existing array processors, a proposed architecture gives a significant improvement for algorithms requiring multiplications.

I. 서론

* 正會員, 亞州大學校 電機電子工學府

(School of Electrical and Electronic Eng., Ajou Univ.)

接受日字:1997年12月17日, 수정완료일:1998年2月3日

실시간 영상처리를 위해 많은 어레이 프로세서(array processor)들이 제안되었으나^[1-7] 기존의 어레이 프로세서들은 근접통신 시간부담, 데이터 입출력

시간부담, 상대적으로 복잡한 상호연결망 및 비효율적인 곱셈 연산 등의 단점을 가지고 있다. 이러한 단점을 줄이기 위해 격자연결 SIMD(single instruction stream over multiple data streams) 구조를 갖는 SliM(Sliding Memory Plane) 어레이 프로세서가 제안되었으며^[8] SliM 이미지 프로세서 칩이 실제 구현되었다^[9-11]. SliM 칩은 기존의 어레이 프로세서들의 단점을 보완하여 구현하였으나 여전히 bit-serial 데이터 입출력과 근접통신으로 인한 시간부담, 11 클럭 사이클이 소모되는 곱셈 연산, 메모리의 내용을 ALU 연산의 오퍼런드로 직접 사용함으로써 발생하는 임계경로, 그리고 하나의 칩에 집적된 PE 수가 25개 뿐인 점 등의 단점을 가지고 있다.

본 논문에서는 과거 구현된 SliM 이미지 프로세서의 단점을 극복하고 기존 어레이 프로세서의 성능을 향상시키기 위해 새로운 SliM-II 이미지 프로세서를 제안한다. SliM-II와 기존에 개발된 SliM과의 차이점 및 SliM-II의 특징은 다음과 같다.

1. 선형연결 어레이

스캔 라인 영상을 효율적으로 처리하고 상호연결망의 복잡도를 감소시키기 위하여 64개의 PE를 선형으로 연결하였다. 또한 선형연결의 장점은 PE 개수를 늘리기 위해 필요한 상호연결망 복잡도 부담이 격자연결에 비해 적다.

2. On-chip 곱셈기

컨볼루션이나 template matching과 같이 곱셈연산이 많은 알고리즘의 효율적인 수행을 위하여 8-비트 mixed mode 곱셈기를 내장하였다. 하드웨어 부담을 줄이기 위해 Wallace 트리를 응용하여 곱셈기의 면적과 속도를 최적화 하였다.

3. 8-비트 PE

영상데이터의 한 화소를 8-비트로 표현할 수 있으므로, PE 면적을 줄이기 위해 9-비트 PE 대신 8-비트 PE를 사용하였다.

4. 레지스터 파일 기본 구조

과거 구현된 SliM 칩은 메모리 데이터를 ALU의 소스 오퍼런드로 사용하므로써 클럭 속도가 제한되었다. 따라서 SliM-II는 메모리와의 잦은 데이터 load/store를 줄이기 위해 레지스터 파일을 두었다.

5. Parallel move

상용 DSP 칩과 같이 ALU 및 곱셈 연산과 동시에 수행되는 parallel move를 지원한다. 따라서, 레지스

터 파일의 한 워드를 MDR(Memory Data Register)로 사용할 수 있다.

6. 가산기 트리/sum-or 트리

히스토그램의 효율적인 처리를 위한 가산기 트리 및 외부 프로그램 제어를 위한 sum-or 트리를 사용하였다. 가산기 트리는 한 칩에 하나만 있으므로 하드웨어 부담이 적으며, 히스토그램의 처리시간을 대폭 줄일 수 있다.

7. Parallel 데이터 입/출력 및 근접통신

데이터 입/출력과 근접통신의 시간부담을 줄이기 위해 각각 32-비트 데이터 입/출력과 8-비트 근접통신을 사용하였다.

8. Parallel 명령어

명령어 집합중 ALU 및 곱셈 연산, 데이터 입/출력 명령어, 근접통신 명령어, Parallel move 명령어는 한 클럭 사이클에 병렬로 수행되므로써 알고리즘 처리시간을 대폭 줄일 수 있다.

Top-down 설계 방식에 따라 VHDL(VHSIC Hardware Description Language) 모델을 구현하였고 SYNOPSISTM CAD 툴을 이용하여 시뮬레이션을 수행하였다. COMPASSTM CAD 툴을 이용하여 논리합성을 수행하였으며 worst case에서 시뮬레이션 주파수는 30 MHz이고 이에 따른 성능은 적어도 1.92 GIPS이다. 총 트랜지스터 수는 약 150만개 정도이며 코어 면적은 13.2 x 13.0 mm²이다. 현재 제작된 칩은 실장 테스트 중이며, 40 MHz로 동작하리라 기대된다.

본 논문은 다음과 같이 구성되어있다. 2장에서는 SliM-II 이미지 프로세서의 아키텍처 및 명령어 집합에 대해 기술하고 3장에서는 SliM-II 칩의 설계 및 구현에 대해 소개한다. 4장에서는 성능 평가와 기존의 어레이 프로세서와의 성능 비교에 대해 기술하며 끝으로 5장에서 결론을 맺는다.

II. SliM-II 아키텍처

이 장에서는 SliM-II 이미지 프로세서의 한 PE 구조와 전체 구조 및 명령어 집합에 대해 기술한다.

1. PE 구조

그림 1은 SliM-II 어레이 프로세서의 PE 구조를 나타낸다. 하나의 PE는 8-비트 ALU, S 및 D 레지

스터, 4 워드 레지스터 파일, 8 x 8 mixed-mode 곱셈기로 구성되며 256 x 32 비트 SRAM을 4개의 PE가 공유한다. 그리고 모든 연산과 통신은 8-비트를 기본으로 한다. SliM-II는 레지스터 파일을 기본으로 하는 구조이다. 레지스터 파일은 4개의 워드로 구성되며, ALU와 곱셈기를 위한 소스 오퍼랜드를 저장하거나 연산의 중간값을 저장하며, 메모리의 데이터를 미리 페치(fetch)하기 위한 MDR(memory data register)의 역할을 수행한다. 모든 연산 결과는 레지스터 파일에 저장되며, 3개의 읽기 포트와 2개의 쓰기 포트를 가지고 있어 레지스터 파일과 메모리 사이의 데이터 load/store는 계산과 병렬로 수행된다.

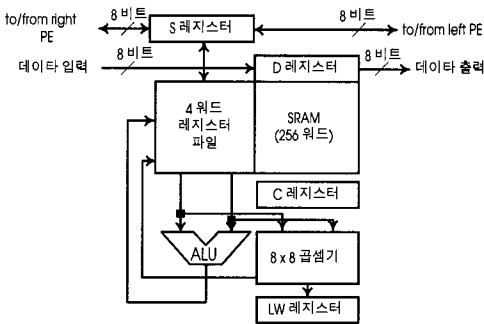


그림 1. 하나의 PE 구조
Fig. 1. The Architecture of a PE.

곱셈은 low-level 영상처리 알고리즘에서 많이 사용되는 연산이다. 그러나 기존의 SliM 및 다른 어레이 프로세서들은 곱셈기를 사용하지 않아 알고리즘 처리 시간이 길어지는 단점을 가진다. 효율적인 곱셈 연산을 위해 SliM-II는 Wallace 트리를 응용한 최적화된 곱셈기를 사용, 하드웨어 부담을 최소화시키고 곱셈 연산을 하나의 클럭 사이클에 수행하므로써 알고리즘 처리 시간을 줄였다. 곱셈기는 8-비트 데이터에 대해 UU(unsigned x unsigned), US(unsigned x signed), SS(signed x signed) 곱셈을 모두 수행할 수 있는 8 x 8 mixed-mode 곱셈기이다. 곱셈 연산이 단일 클럭 사이클에 수행되므로 컨볼루션, template matching과 같은 곱셈 연산이 많은 알고리즘에 매우 효율적이다.

S 레지스터는 좌우측 PE와 데이터를 교환하는 근접통신과 by-passing 경로를 통한 이웃하지 않은 PE 사이의 데이터 교환인 비근접통신을 지원한다. 이러한 통신 방식은 여러 가지 통신 모드를 수행하기 위한 부

가적인 링크가 필요 없어 하드웨어 부담을 줄일 수 있다. SliM-II는 3가지 형태의 통신 모드를 지원한다. receiving 모드는 이웃하는 PE의 데이터가 S 레지스터로 입력되는 연결 모드이며, by-passing 모드는 들어오는 데이터가 S 레지스터로 입력되지 않고 by-passing 경로를 통해 다른 PE들로 전송되는 모드이다. receiving/by-passing 모드는 이웃하는 PE의 데이터가 S 레지스터로 입력되는 동시에 by-passing 경로를 거쳐 다른 PE들로 데이터가 전송되는 모드이다. 이같은 통신 모드의 지원을 가지고 SliM-II는 이웃한 PE와의 통신 및 1칸, 3칸 건너 PE와의 통신을 효율적으로 수행한다. 또한 한 명령어 사이클에 계산과 동시에 수행되므로써 비근접통신 부담을 감소시키는 이점을 가진다.

D 레지스터는 4개의 PE가 하나의 쌍을 이루어 32-비트 데이터 입출력을 수행하므로 한 PE의 D 레지스터는 3칸 건너 PE의 D 레지스터와 링크되어 있다. 이같은 32-비트 데이터 입출력은 기존의 어레이 프로세서가 가지는 데이터 입출력 시간부담을 크게 줄이므로써 SliM-II의 성능을 높인다. 그 외에 C 레지스터는 각 PE마다 조건에 따라 서로 다른 연산을 수행할 수 있는 연산 자치권을 제공하며, HW 레지스터는 쉬프트 레지스터로서 곱셈기 결과의 상위 워드(higher word) 또는 나눗셈 결과의 몫을 저장한다. 또한 16-비트 데이터를 쉬프트 시킬 때에도 사용하므로써 16-비트 데이터 계산에 유용하게 사용된다.

2. SliM-II의 전체 구조

그림 2에 도시한 것은 SliM-II의 전체 구조를 나타낸다. 그림에 나타난 것과 같이 SliM-II는 선형 연결된 64개의 PE, 제어 신호를 생성하는 한 개의 명령어 디코더와 효율적인 히스토그램을 위한 가산기 트리 및 외부 프로그램 제어를 위한 sum-or 트리로 구성된다. PE들은 스캔 라인 영상처리에 적합하고 확장이 용이하도록 선형연결 되어있다. 28-비트 마이크로 코드는 ALU 연산, 근접통신, 데이터 입출력, parallel move, 조건적 동작을 위한 조건 등을 포함하고 있다. 기본적으로 모든 PE는 하나의 명령어 디코더에서 생성되는 제어 신호에 의해 동일한 동작을 수행하나, 각각의 PE에 있는 C 레지스터의 상태에 따라 조건적인 동작 수행이 가능하다.

데이터 입출력은 4개의 PE가 하나의 쌍을 이루어

32 bit-parallel로 수행된다. 이는 PCI 버스와와 인터 페이스를 매우 용이하게 할 수 있으며 데이터 입출력 bandwidth를 대폭 증가시킨다. 그림 2에 나타난 것과 같이 PE₆₃, PE₆₂, PE₆₁ 및 PE₆₀으로 입력된 32-비트의 데이터는 각각 8-비트씩 PE₅₉, PE₅₈, PE₅₇ 및 PE₅₆으로 전달되며 데이터 출력은 PE₃, PE₂, PE₁ 및 PE₀으로부터 32-비트가 출력된다. 또한 SliM-II는 signed/unsigned 데이터 입출력을 수행 할 수 있도록 하는 데이터 변환 회로를 가지고 있다. 이 변환 회로는 입출력 포트에 하나씩 위치함으로써 unsigned, 2의 보수, signed magnitude 등의 사용자가 원하는 형태의 수 체계로 데이터 입출력이 가능하다.

신, 32-비트 데이터 입/출력, parallel move 및 조건 연산을 한 사이클에 수행한다. 따라서, 기존의 다른 SIMD 어레이 프로세서와 달리 SliM-II는 한 칩에 하나의 명령어 디코더를 갖는다. 명령어 디코더는 명령어를 디코딩하여 모든 PE에게 제어 신호를 전달한다. 시스템의 클럭 속도를 높이기 위해 명령어 페치, 디코드 및 실행의 명령어 파이프라인을 사용하였다.

명령어 집합은 16개의 ALU 명령어, 곱셈 명령어, parallel move 명령어, 데이터 입/출력 명령어 및 6개의 근접통신 명령어로 구성된다. 나눗셈 명령어를 제외한 모든 명령어가 하나의 클럭 사이클에 수행된다. SliM-II는 레지스터 파일을 기본으로 하는 구조이므로 ALU 및 곱셈과 쉬프트 연산의 결과는 모두 레지스터 파일에 저장되며, ALU 및 곱셈 연산의 소스 오퍼랜드중 하나는 반드시 레지스터 파일 값이 된다.

프로그램 제어를 쉽게 하기 위해 모든 명령어는 C 레지스터 값을 참조하는 조건 연산을 수행할 수 있다. ALU 및 곱셈 연산과 parallel move 명령어는 하나의 클럭 사이클에 동시에 수행되며, 이와 동시에 근접통신과 데이터 입/출력 명령어가 수행될 수 있다. SliM-II는 상용 DSP 칩과 같은 parallel move를 지원하고, 레지스터 파일을 기본으로 하는 구조이므로 소스 오퍼랜드가 레지스터 파일에서 페치되는 동안 SRAM의 데이터를 레지스터 파일로 미리 페치할 수 있다. 따라서 SRAM의 데이터가 직접 소스 오퍼랜드로 사용되지 않으므로 기존에 개발된 SliM의 입계경로를 제거할 수 있다.

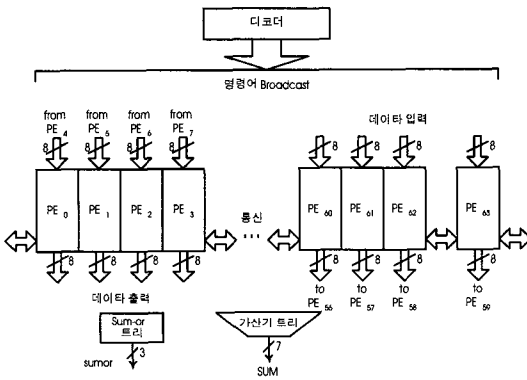


그림 2. SliM-II 구조
Fig. 2. The Architecture of SliM-II.

SliM-II 한 칩에 내장된 메모리는 4개의 PE가 각각 하나의 SRAM을 공유한다. 따라서, 메모리의 한 워드는 32-비트이며 256 x 32 비트 SRAM이 16개가 있다. 4개의 PE가 한 개의 SRAM을 공유하게 한 이유는 SRAM이 칩에서 차지하는 면적이 크기 때문에 SRAM의 개수를 최대한 줄이기 위해서이며 또한, 32-비트의 데이터 입출력과 호환되게 하기 위해서이다.

SliM-II는 효율적인 히스토그램을 위한 가산기 트리를 가지고 있다. 가산기 트리는 모든 PE에 있는 zero 플래그들을 더하는 역할을 수행한다. 따라서 하나의 칩 내에 있는 64개 PE 중 같은 threshold 값을 갖는 PE의 개수를 구할 수 있어 히스토그램을 효율적으로 처리한다.

3. 명령어 집합

명령어 집합은 ALU 및 곱셈 연산, 8-비트 근접통신,

III. 설계 및 구현

이 장에서는 SliM-II의 설계 및 구현에 대해 기술한다. Top-down IC 설계 방식에 따라 VHDL을 이용하여 동작 및 구조적 모델을 설계하였으며 SYNOPSIS™ CAD 툴을 이용하여 시뮬레이션을 수행하였다. 시뮬레이션 및 프로그램의 용이성을 위해 간단한 어셈블러를 설계하여 기능 시뮬레이션을 수행하였다. 또한 자주 쓰이는 병렬처리 방식 영상처리 알고리즘들인 2차원 컨볼루션, 히스토그램, 중간값 검출, 평균값 검출, 최소/최대값 검출, Sobel 연산 등의 알고리즘에 대해 어셈블러로 프로그램을 구현하여 시뮬레이션을 수행하였다.

VHDL 모델을 바탕으로 COMPASS™ 카드 툴의

3.3 V 0.6 μm 표준 셀 라이브러리(v8r4.10)와 ASIC Synthesizer 및 Datapath Compiler를 사용하여 논리합성을 수행하였다. 게이트 수는 SRAM을 제외하고 약 17만 게이트이며 총 트랜지스터 수는 약 150만 개 정도이다. Back-end 설계는 COMPASSTM의 Chip Compiler를 사용하였다. 그림 3은 SliM-II의 layout을 나타낸다. 4개의 PE와 1개의 SRAM으로 구성된 16개의 블록과 입출력 포트에 위치하고 있는 데이터 변환 블록, 가산기 트리와 sum-or 트리를 포함한 중앙의 디코더로 구성되어 있다. 코어 면적은 13.2 x 13.0 mm²이다. 배치 및 배선을 마친 후 post-layout 시뮬레이션을 수행하였다.

시뮬레이션 주파수는 worst case에서 30 MHz이며 정상 조건에서는 50 MHz이다. 일반적으로 실제 칩의 동작 주파수는 worst case 시뮬레이션 클럭 주파수보다 높기 때문에 약 40 MHz에서 동작하리라 예상된다. 그리고 제조공정과정에서 시험을 위해 요구하는 10 MHz 클럭 주파수의 테스트벡터를 약 9만 라인을 작성하였다. 공정 후 내부 회로의 결함 여부를 알 수 있도록 toggling rate은 100%로 올렸다. SliM-II 칩의 패키지는 208 핀 PQ2(Power Quad 2) 이다. 그림 4는 제작된 SliM-II 칩의 사진을 나타낸다.

IV. 성능 평가

성능 평가시에 전체 영상의 크기를 512 x 512 화소로, 윈도우 연산인 경우에 윈도우 크기를 3 x 3로 가정하였다. 그리고 정확한 성능 비교를 위해 모든 어레이 프로세서에 사용된 칩 수를 동일하게 8개로 가정하였다.

MGAP-2^[12, 13]는 격자 연결구조이며 구성(configuration) 레지스터를 가지고 있어 연결 구조를 다양하게 재구성 할 수 있다. PE들은 구성 레지스터에 따라 bit-parallel 데이터 연산을 위한 워드셀 단위로 구성될 수 있다. 그러나 MGAP-2는 수평, 수직, S자 형태의 스네이크(snake) 등의 연결의 재구성 및 데이터 비트 수가 바뀔 때마다 연결 모드를 재 초기화해야 하며 8-비트 곱셈 연산을 위해 131 명령어 사이클을 소모된다.

IMAP^[14-16]은 2 Mbyte의 메모리와 선형 연결구조를 갖는 8-비트 머신이다. IMAP은 근접통신, 데이터 입출력 및 연산을 8-비트로 처리한다. 그러나 IMAP은 근접통신을 연산과 중첩시킬 수 없으며 8-비트 곱셈을 수행하는데 테이블 lookup 방식을 이용하여 11 명령어 사이클이 소모된다.

VIP^[17]는 선형 연결구조를 갖는 bit-serial 머신으로 bit-serial 연산을 수행하며 16-비트 쉬프트 레지스터를 이용하여 근접통신 및 데이터 입출력을 bit-parallel로 수행한다. VIP는 곱셈 연산을 위한 가속기를 갖고 있으나 8-비트 곱셈 연산에 16 명령어 사이클을 요구한다.

이에 반해, SliM-II는 스캔 라인 방식에 적합하고 확장성이 용이한 선형 연결구조를 가지며 연산, 근접

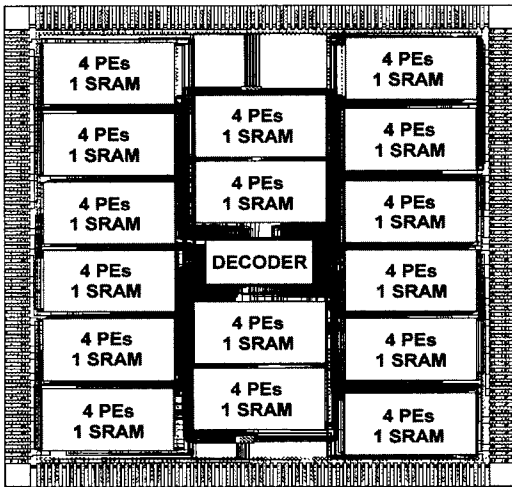


그림 3. SliM-II의 Layout
Fig. 3. The Layout of SliM-II.

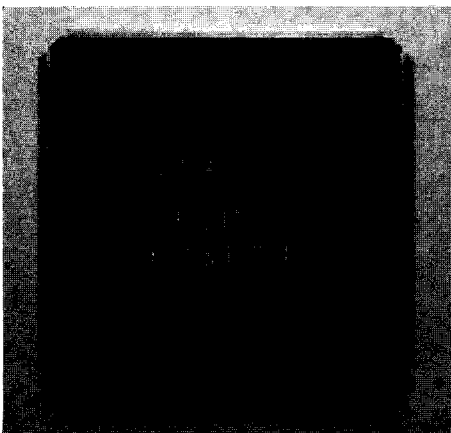


그림 4. SliM-II Photograph
Fig. 4. Photograph of SliM-II Chip.

통신 및 데이터 입출력을 모두 bit-parallel로 수행한다. 각 PE마다 8 x 8 mixed-mode 곱셈기가 내장되어 있어 8-비트 곱셈을 1 명령어 사이클에 수행한다. 또한 ALU 및 곱셈 연산, 근접통신, 데이터 입출력 및 parallel move를 한 사이클에 처리함으로써 성능을 향상시켰다. SliM-II는 각 PE의 연산 자치권을 지원하여 프로그램 제어를 효율적으로 수행한다. 특히 곱셈이 많이 사용되는 알고리즘에서 기존의 어레이 프로세서들^[9-17]에 비해 월등한 성능을 나타낸다.

표 1. 성능 비교

Table 1. Performance Comparison.

	MGAP-2 (50 MHz)	IMAP (40 MHz)	VIP (50 MHz)	SliM-II (30 MHz) -worst-	SliM-II (40 MHz) -기대치-
사용칩수	2 x 4	8	8	8	8
PE수/칩	64 x 32	64	128	64	64
PE 비트 수	1-비트	8-비트	1-비트	8-비트	8-비트
총 PE수	128x128	512	1024	512	512
8-비트 곱셈	5.24 μ s	0.65 μ s	0.32 μ s	0.033 μ s	0.025 μ s
3 x 3 컨볼루션	2.55ms	.	3.927ms	1.003ms	0.752ms
3 x 3 Median	.	2.42ms	3.672ms	3.366ms	2.525ms
3 x 3 평균값	.	0.42ms	2.35ms	0.509ms	0.383ms
3 x 3 최소/최대	.	0.576ms	.	0.339ms	0.255ms
Sobel	0.33ms	.	0.51ms	0.629ms	0.472ms

표 1은 기존에 개발된 어레이 프로세서들과의 성능 비교를 보여준다. worst case에서 시뮬레이션 수행 결과 SliM-II는 30 MHz로 동작하였으나 실제 칩에서는 이보다 빠른 약 40 MHz 정도의 동작 주파수를 기대할 수 있다. SliM-II는 8-비트 mixed-mode 곱셈기로 인해 low-level 영상처리에 많이 사용되는 컨볼루션, correlation 및 template matching과 같은 알고리즘에 특히 효율적이다.

V. 결론

본 논문은 새로운 SliM-II 이미지 프로세서 칩의 아키텍처와 이의 설계 및 구현에 관해 기술하였다. SliM-II 칩은 선형 연결된 64개의 PE들로 구성되어 있으며 worst case에서 30 MHz로 동작하고, 적어도 1.92 GIPS의 성능을 나타낸다. 특히 최근 개발된 MGAP-2, IMAP, VIP 및 SliM의 장단점과 성능을

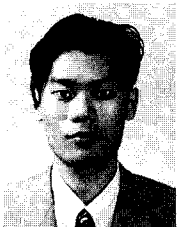
비교 분석하여 SliM-II를 설계하였다. SliM-II 칩은 on-chip 8-비트 곱셈기, 히스토그래밍을 위한 가산기 트리, bit-parallel 근접통신 및 데이터 입출력, 그리고 여러 연산의 병렬 수행 등 기존의 어레이 프로세서들과 비교하여 뛰어난 성능을 나타낸다. SliM-II 칩은 COMPASSTM 3.3 V 0.6 μ m 표준 셀 라이브러리 (v8r4.10)를 이용하여 구현하였으며 SRAM을 제외하고 약 17만 게이트로 구성되어 있다. 총 트랜지스터 수는 약 150만개이며 다이 면적은 13.2 x 13.0 mm²이다. 성능 비교를 통해 곱셈연산이 요구되는 알고리즘에서 특히 성능이 월등히 향상됨을 보였다. 개발한 SliM-II 칩은 영상신호의 움직임 추정, 부품검색, 컴퓨터 시각인식, 공장자동화, 데이터 베이스, 반도체 회로분석, 유체역학, 가상현실, 컴퓨터 애니메이션, 정찰 비행영상, 레이더 신호처리, 위성 영상처리 등의 다양한 분야에 응용되어 질 수 있다.

참 고 문 헌

- [1] M. Maresca, M. A. Lavin, and H. Li, "Parallel architectures for vision," *Proc. IEEE*, vol. 76, Aug. 1988.
- [2] K. E. Batcher, "Design of a massively parallel processor," *IEEE Trans. Comput.*, vol. C-29, pp. 836-840, Sep. 1980.
- [3] T. J. Fountain, K. N. Matthews, and M. J. B. Duff, "The CLIP7A image processor," *IEEE Trans. Pattern Anal. Machine Intell.*, vol. 10, pp. 310-319, May 1988.
- [4] J. R. Nickolis, "The design of the MasPar MP-1: A cost effective massively parallel computer," in *Proc. IEEE Compcon Spring 90*, 1990, pp. 25-28.
- [5] E. W. Davis and J. H. Reif, "Architecture and operation of the BLITZEN processing element," in *Proc. 3rd Int. Conf. Supercomput.*, vol. III, 1988, pp. 128-137.
- [6] R. S. Bajwa, R. M. Owens, and M. J. Irwin, "Image Processing with the MGAP: a cost effective solution," in *Proc. 7th Int. Parallel Processing Symposium*, Apr. 1993, pp. 439-443.
- [7] T. Ericsson and P-E. Danielsson, "LIPP

- A SIMD multiprocessor architecture for image processing," in *Proc. 10th Annu. Int. Symp. Comput. Architecture*, 1983, pp. 395-400.
- [8] M. H. Sunwoo and J. K. Aggarwal, "A sliding memory plane array processor," *IEEE Trans. Parallel and Distributed Systems*, vol. 4, pp. 601-612, June 1993.
- [9] M. H. Sunwoo, Soohwan Ong, Byungdug Ahn, Kyungwoo Lee, "Design of a SliM image processor for a SIMD array processor," in *Proc. International Conference on Application Specific Array Processors (ASAP'95)*, Strasbourg, France, July 1995, pp. 66-75.
- [10] Hyun M. Chang, M. H. Sunwoo and Tai-hoon Choi, "Implementation of a SliM Array Processor," in *Proc. International Parallel Processing Symposium (IPPS'96)*, Hawaii, U.S.A., Apr. 1996, pp. 771-775.
- [11] 옹 수환, 선우 명훈, "SliM 이미지 프로세서 칩 설계 및 구현," *전자공학회지*, 제33권, A편, 제10호, pp. 186-194, 1996. 10
- [12] Fan Zhou et al., "Introducing MGAP-2," in *Proc. 5th int. Symp. The Frontiers of Massively Parallel Computation*, Feb. 1995, pp. 281-288.
- [13] Thomas P. Kelliher, Eric S. Gayles, Robert M. Owens, and Mary Jane Irwin, The MGAP-2: An Advanced, Massively Parallel VLSI Signal Processor, in *Proc. ICASSP-95*, May 1995.
- [14] S. Okazaki et al., "A compact real-time vision system using integrated memory array processor architecture," *IEEE Trans. on Circuits and Systems for Video Technology*, vol. 5 no. 5, pp. 446-452, Oct. 1995.
- [15] N. Yamashita et al., A 3.84 GIPS Integrated Memory Array Processor with 64 Processing Elements and A 2-Mb SRAM, *IEEE Journal of Solid State Circuit*, vol. 29, no. 11, pp. 1336-1343, Nov. 1994.
- [16] Y. Fujita et al., IMAP: Integrated Memory Array Processor, *Journal of Circuit, Systems, and Computers*, vol. 2, no. 3, pp. 227-245, 1992.
- [17] Michael Hall, "A study of parallel image processing on the VIP architecture," Ph.D. dissertation, LIU-TEK-LIC-1995: 41, Dept. Of Electrical Engineering, Linkoping, Sweden, Oct. 1995.

 저 자 소 개



張 鉉 萬(正會員)

1995년 2월 아주대학교 전자공학과 (학사). 1997년 2월 아주대학교 전자공학과(석사). 1997년 2월 ~ 현재 아주대학교 전자공학과(박사과정). 관심분야는 통신 및 신호처리용 ASIC 설계

鮮于 明勳(正會員) 第 34卷 C編 第 8號 參照