

論文98-35C-2-5

어레이 접지전압 조절에 의한 저전력, 고성능 내장형 SRAM 회로 기술

(Low Power-High Performance Embedded SRAM Circuit Techniques with Enhanced Array Ground Potential)

鄭暲娥*, 孫日憲*

(Kyoung-Ah Chung and Ilhun Son)

요 약

본 논문에서는 채널길이 $0.5\mu\text{m}$ 에 P, NMOS소자간에 불균형, 단일 문턱전압을 가지는 CMOS기술을 이용한 저전력, 고성능 내장형 SRAM 회로설계 기술을 소개하였다. 1V의 낮은 전원전압에서 트랜지스터의 구동 전류 크기와 subthreshold 영역에서의 누설전류간에 타협점을 최적화 함으로써 저전력에서도 높은 성능을 유지하기 위하여 메모리 어레이의 접지전압을 상승시키도록 하였다. 이에 따른 셀의 낮아진 안정도와 비트선 지연시간의 증가를 분석, 평가하고 이의 해결을 위한 회로 기술을 제안하였다. 설계된 SRAM은 1V, 160MHz에 동작하는 128Kb 내장형 SRAM으로서 동작시 14.8mW 대기상태에서 21.4 μW 의 전력소모와 함께 3.4ns의 지연시간을 가진다.

Abstract

Low power circuit techniques have been developed to realize the highest possible performance of embedded SRAM at 1V power supply with $0.5\mu\text{m}$ single threshold CMOS technology in which the unbalance between NMOS and PMOS threshold voltages is utilized to optimize the low power CMOS IC design. To achieve the best trade-off between the transistor drivability and the subthreshold current increase, the ground potential of memory array is raised to suppress the subthreshold current. The problems of lower cell stability and bit-line delay increase due to the enhanced array ground potential are evaluated to be controlled within the allowable range by careful circuit design. 160MHz, 128kb embedded SRAM with 3.4ns access time is demonstrated with the power consumption of 14.8mW in active and 21.4 μW in standby mode at 1V power supply.

I. 서 론

최근 급진전하는 휴대용 전자기기의 발달 및 응용확

* 正會員, 檀國大學校 電子工學科

(Dept. of Electronics Engineering, Dankook University)

※ 본 연구는 '96년도 교육부 반도체 분야 학술 연구
조성비 (ISRC 96-E-2008)에 의하여 연구되었음
接受日字:1997年8月29日, 수정완료일:1998年1月30日

대는 저전력 CMOS VLSI 기술에 대한 관심을 높이고 있다. 지금까지의 저전력 IC 가 성능이 낮은 디지털 시계나 특별한 응용분야에 국한되었고 설계기법 또한 단순히 성능과 전력소모의 타협에 그치는 수동적인 접근방법을 보였었다. 즉 IC 에 공급되는 동작전압은 공정 및 소자기술에 의하여 결정되고 회로설계에서는 단지 대기상태에서의 DC 전류를 줄이고 전력소모가 많은 회로의 설계를 피하는 정도의 수동적인 설계기법이 사용되었다. 하지만 저전력에서도 높은 성능을 동

시에 요구하는 최근의 추세는 보다 우수한 성능의 저전력 IC 개발을 위하여 CMOS 공정 및 소자 기술과 더불어 회로 기술이 함께 검토되고 최적화 할 수 있는 저전력 설계 기법의 개발을 필요로 하고 있다. 즉 공정 및 소자기술에서는 저전력 IC 에 적합한 소자특성을 만들어 낼 수 있도록 하고 이러한 저전력 소자의 특성에 가장 적합한 저전력 회로 기술이 개발되어야 한다.

저전력 IC 의 설계에서 어려운 점은 그 설계기법이 IC 의 기능과 응용분야에 따라 큰 차이를 가진다는 것이다. 대표적으로 메모리와 같이 정보저장기능을 갖는 IC 와 프로세서와 같이 연산처리기능을 갖는 IC 와의 사이에는 소자 특성이 IC 의 전력소모와 성능에 미치는 영향이 상당히 다르다. 실제로 저전력 마이크로프로세서 또는 DSP 등을 설계함에 있어 내장형 메모리의 설계는 가장 어려운 문제로 등장하고 있다. 가령 저전력 IC 설계의 일반적 방법으로 전원전압과 문턱전압을 함께 낮추는 것은 subthreshold 누설전류의 증가로 제한이 가하여지며^[1,2] 이를 해결하기 위하여 두 가지 다른 문턱전압값을 가지는 CMOS 기술 (MTCMOS)^[3]이 제안되기도 하였으나 이는 공정뿐만 아니라 설계에서도 상당한 복잡성을 초래한다.

본 논문에서는 보다 실용적인 방법으로서 기존의 CMOS 공정에 큰 변화 없이 NMOS 의 문턱전압은 200mV로 낮추고 PMOS 는 350mV로 상대적으로 높은 값을 가지게 하여 회로의 성능을 높이면서 동시에 전력소모를 낮출 수 있도록 하였으며 이처럼 N, PMOS 간에 불균형 문턱전압을 갖는 0.5 μ m CMOS 기술을 이용한 저전력, 고성능 CMOS 회로 기법을 1V, 160MHz에 동작하는 내장형 메모리 회로를 통하여 제안하였다(표1 참조). 이러한 불균형 문턱전압을 갖는 소자기술을 제안하는 기본 배경은 CMOS 디지털 회로에서의 게이트 성능이 NMOS 트랜지스터에 의해 크게 결정되는 회로설계가 가능하고 낮은 문턱전압으로 인하여 일어나는 subthreshold 누설전류를 제한할 수 있는 설계기술이 가능하다는 것을 가정함에 있다. 이러한 저전력 CMOS 소자기술과 설계기법은 다른 논리회로부에도 적용될 수 있으며 VLSI 에서의 또다른 대표적인 회로인 ALU 의 설계에 동일한 소자기술을 적용하여 저전력, 고성능 ALU 의 회로설계를 최적화 하는 회로기법도 소개된 바 있다^[4].

본 논문의 II장에서는 IC 에서의 전력소모와 성능간

의 관계에 대하여 논의하였으며 III장과 IV장에서는 어레이 집지전압이 subthreshold 누설전류 및 셀 안정도와 메모리 동작속도에 미치는 영향 등을 각각 설명하였다. V장에서는 저전압, 저전력메모리의 주변회로설계와 시뮬레이션결과를 제시하였으며 VI장에는 본 논문의 결론으로 끝맺음하였다.

표 1. 0.5 μ m 저전력 CMOS 소자 parameters
Table 1. Device parameters of 0.5 μ m low-power CMOS technology.

Device type parameter	PMOS	NMOS
Idsat	25 μ A/ μ m	87.5 μ A/ μ m
Vdsat	454mV	480mV
Vth	350mV	200mV
Leff	0.5 μ m	0.5 μ m
Oxide thickness	90Å	90Å
Supply voltage	1V	1V

II. 저전력 CMOS IC 에서의 전력 소모와 성능 분석

CMOS 디지털 IC 에서의 전력 소모는 대부분 스위칭 전류에 의해 일어난다. 저전력 디지털 IC 에서 subthreshold 누설 전류에 의한 DC 전력소모를 고려할 때 전력 소모는 기본적으로 다음과 같이 나타낼 수 있다.

$$P = V_{DD} (I_{SW} + I_{leak}) = V_{DD} \left[\eta f C \Delta V + W_T I_S \exp\left(\frac{-V_{TH}}{S/I \ln 10}\right) \right] \quad (1)$$

위의 식에서 V_{DD} 는 전원 전압이고 다른 변수들은 다음과 같이 정의된다.

- η : 회로 기능률 (activity ratio or duty factor)
- f : 시스템 클럭 주파수
- C : IC 전체의 부하 캐패시턴스
- ΔV : 스위칭 전압 차이
- W_T : IC 전체에서 누설 전류를 흘리는 트랜지스터 넓이
- I_S : 게이트 전압이 문턱 전압과 같을 때 단위 넓이의 트랜지스터에 흐르는 드레인 전류
- S : 문턱 전압 이하 영역에서 드레인 전류를 10배 변화시키기 위한 게이트 전압 변화

스위칭 전압 차이 ΔV 는 메모리 회로의 비트선 이 나 데이터 선에서처럼 V_{DD} 보다 적은 경우도 있으나 부하 캐패시턴스 C 를 그에 맞춰 scaling 하게 되면 스위칭 전력 소모 P_{SW} 는 결국

$$P_{SW} = \eta f C_T V_{DD}^2 \quad (2)$$

로 나타낼 수 있다. 위의 식에 나타나듯 P_{SW} 를 줄이기 위하여는 회로의 기능률(η) 이나 클럭 주파수(f) 또는 IC 전체 캐패시턴스(C_T) 를 낮추는 것이 고려될 수 있으나 이것은 회로 시스템의 구조에 관한 문제이고 특히 f 를 낮추는 것은 똑같은 회로 구조에서 성능을 낮추는 것을 의미하므로 바람직하지 않다. 더군다나 저전력 CMOS IC 개발에서는 단지 소비 전력을 낮추는 것만이 목표가 아니라 일정한 성능을 내는 데 있어 소비 전력을 최소화하는 것이 궁극적 목표이므로 일단 결정된 시스템 및 회로의 구조에서 f, η, G 등은 일정한 값을 갖는다고 가정하여야 할 것이다.

따라서 일정한 성능을 내기 위하여 얼마만한 에너지를 소모하는가 하는 척도로서 에너지-지연 시간의 곱 (EDP : Energy Delay Product) 을 저전력 IC 의 개발, 설계에서 최적화 할 값으로서 택하는 것은 당연하다^[1, 2].

먼저 CMOS 디지털 IC 에서 전력 소모를 줄이기 위하여는 V_{DD} 를 낮추는 것이 거의 유일한 방법임을 알 수 있다. 하지만, 여기에는 CMOS 소자 특성에 의하여 제약이 가하여 진다. 이를 이해하기 위하여는 우선 CMOS 소자 기술에서 최적 전원 전압이 어떻게 정해지는가를 파악할 필요가 있다.

오늘날 $1\mu\text{m}$ 이하의 짧은 채널 길이를 가지는 CMOS 소자들은 높은 게이트 전압에서는 캐리어의 속도포화현상에 의해 전류 포화가 일어나게 되며 이 영역에서 드레인 전류는 게이트 전류에 선형적으로 비례하게 된다.

CMOS 게이트의 지연 시간은 부하 캐패시턴스와 V_{DD} 에 비례하고 출력 전류에 반비례하므로 다음과 같이 표시된다.

$$\tau_g \propto \frac{C_L V_{DD}}{I_D (V_{GS} = V_{DD})} \quad (3)$$

위의 식에서 볼 수 있듯이 I_D 가 V_{DD} 에 비례하게 되면 V_{DD} 를 높여더라도 τ_g 에는 개선이 없이 V_{DD} 가 높아진 만큼 전력 소비만 V_{DD}^2 에 비례하여 증가

한다.

따라서 주어진 CMOS 소자 특성에 대하여 최적의 공급 전압 V_{DD} 는

$$V_{DD} \approx 2 \cdot V_{D,sat} \quad (V_{GS} = V_{DD}) \quad (4)$$

로 주어진다^[5].

하지만 저전력 IC 기술에서는 이처럼 주어진 공정 기술에서 채널 길이 등의 변화 없이 공정 상에서 쉽게 조절 가능한 문턱전압등 만을 바꾸어 줌으로써 최적 V_{DD} 보다 훨씬 낮은 전압에서 IC 를 동작시키고자 하므로 이처럼 낮은 동작 전압에서는 드레인 전류가 V_{DD} 의 제곱에 비례하게 되어 CMOS 게이트의 에너지-지연시간의 곱은(EDP : Energy Delay Product) 다음과 같이 표현된다.

$$EDP \propto C_L V_{DD}^2 \cdot \frac{C_L V_{DD}}{(V_{DD} - V_{TH})^2} \quad (5)$$

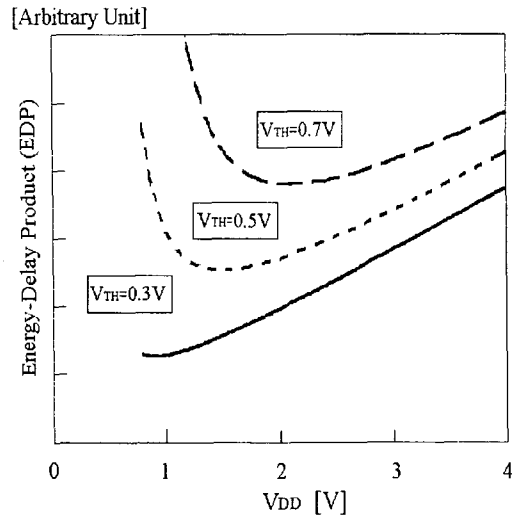


그림 1. 문턱전압의 변화에 따른 공급전압 V_{DD} 와 EDP 의 관계

Fig. 1. The relationship between supply voltage V_{DD} and EDP for various threshold voltages.

그림 1은 위의 식에 따른 EDP 와 V_{DD} 의 관계를 나타낸 것이다. 그림 1 에서 보듯이 V_{DD} 가 $3 \cdot V_{TH}$ 가 될 때 EDP 가 최소가 되고 V_{DD} 가 그 이하로 줄어들면 PDP 가 급격히 증가하므로 V_{TH} 를 줄이는 것이 PDP 를 최소화하는 데에 매우 중요함을 알 수 있다.

하지만 식 (1)에서 보듯이 subthreshold 누설전류, I_{leak} 는 V_{TH} 에 대하여 지수 함수적으로 증가하며 궁극적으로 I_{leak} 에 의한 전력소모가 스위칭에 의한 전력소모(P_{sw})를 능가하게 되므로 일정한 값 이하로 V_{TH} 를 줄일 수는 없다. 또한 I_{leak} 는 I_{sw} 와 달리 회로의 대기상태동안에도 흐르므로 V_{TH} 가 I_{leak} 와 I_{sw} 의 관계에 의해 정해진다면 그것은 어떤 회로의 기능률이 얼마이냐에 크게 관계된다. 이러한 관계는 특히 기능률이 상대적으로 낮은 메모리 회로에서 더 중요하므로 다음에는 128K-비트 160MHz 내장형 메모리 회로에 대하여 그 기능률(memory access/시스템클럭수)의 변화와 V_{TH} 의 최적값, 그리고 그에 따른 EDP 및 τ_g 의 변화를 고찰하였다.

우선 예로써 삼은 메모리회로에 대하여 다음의 몇 가지 가정을 하였다.

첫째, 회로 공급 전압이 1V이고, 160MHz로 동작할 때 P_{sw} 는 20mW이다.

둘째, 메모리 셀의 NMOS pull-down 트랜지스터 크기는 $2\mu m$ 이다.

셋째, 메모리 어레이에 흐르는 누설전류가 메모리 회로 전체의 누설전류 대부분을 차지한다.

위의 첫째, 둘째 가정은 실제 설계결과에 근거한 것으로서 별 문제없으나, 셋째 가정에서는 어레이 집적률이(core efficiency : 메모리 어레이 면적/메모리 칩 전체 면적) 보통 50%정도에 머물기 때문에 의문이 있을 수 있다. 하지만 많은 주변회로가 반복적이며 동시에 동작하는 회로의 수가 적은 특성을 이용하여 누설전류를 효과적으로 줄일 수 있으므로^[6] 이 가정 역시 크게 틀리지 않는다.

이상의 가정들과 게이트 전압이 문턱전압과 같을 때의 드레인 전류(I_s)를 $0.1\mu A/\mu m$ 로 하고, subthreshold swing 을 100mV라고 하면 이 메모리 회로에 대한 EDP 는 다음과 같이 나타낼 수 있다.

$$EDP = (E_{sw} + E_{dc}) \cdot \tau_g \tag{6}$$

$$E_{sw} + E_{dc} = A \cdot C_T \cdot V_{DD}^2 + B \cdot \exp\left(\frac{-V_{TH}}{S/\ln 10}\right) \cdot V_{DD} \tag{7}$$

$$\tau_g \propto \frac{V_{DD}}{(V_{DD} - V_{TH})^2} \tag{8}$$

실제로 τ_g 의 계산을 위해^[5, 7] 등에 소개된 보다 복잡한 모델들을 사용한다 해도 거의 같은 결과를 얻게 되므로 여기서는 가장 간단한 게이트 지연시간 모

델을 사용하였다.

128K-비트 메모리에 대하여 전제했던 세 가지 가정을 위의 식들에 적용하면,

$$A \cdot G = 0.02 \eta, \quad \eta \text{는 메모리 회로의 기능률} \tag{9}$$

$$B = 2\mu m \times 128K \times 0.1\mu A/\mu m \times \frac{1}{160} MHz \tag{10}$$

로 주어진다.

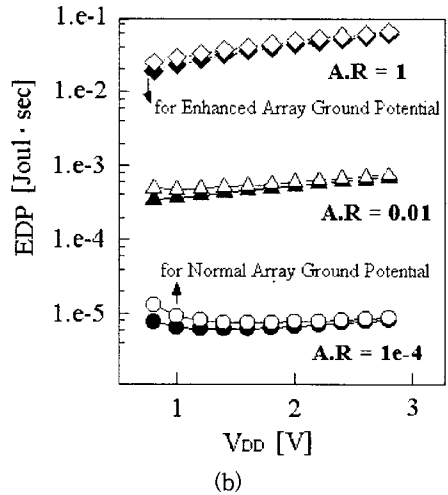
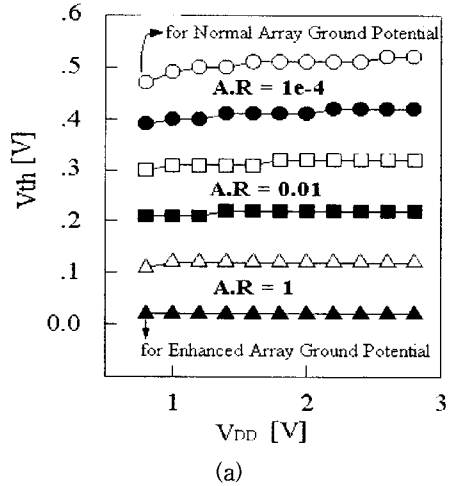


그림 2. (a) 회로 기능률의 변화에 따른 V_{DD} 와 최적화된 V_{TH} 의 관계(회로기능률 ○: 1×10^{-4} , □: 0.01, △: 1, 검은 표시는 누설전류가 1/10로 제한될 경우) (b) V_{DD} 와 최적화된 EDP의 관계

Fig. 2. (a) Optimized V_{TH} .vs. V_{DD} for various circuit activity ratios. (activity ratio ○: 1×10^{-4} , □: 0.01, △: 1, black symbols for subthreshold current lowered by 1/10) (b) The relationship between optimized EDP and V_{DD} .

그림 2(a)에서는 회로 기능률의 변화에 따른 V_{DD} 와 그에 맞춰 최적화된 V_{TH} 의 관계를 보여 주고 있다.

여기에서 최적화된 문턱전압이란 주어진 V_{DD} 와 η 에 대하여 식(6 ~ 10)를 통하여 계산된 EDP를 최소화 시켜주는 문턱전압의 값을 말한다.

그림 2(a)에서 알 수 있듯이 V_{TH} 의 값은 공급전압에 따라 크게 변하지 않는다. V_{TH} 에 가장 큰 영향을 미치는 것은 앞서서도 언급하였듯이 회로의 기능률이다. 회로의 기능률이 10배 증가 할 때마다 최적 V_{TH} 는 대략 S 만큼 줄어들게 된다. 이것은 식(7)에서 보더라도 분명하다. η 가 1/10로 되면 E_{sw} 가 1/10로 되며 식(7)에서 E_{DC} 를 1/10로 하기 위하여는 V_{TH} 가 S 만큼 높아져야 함을 알 수 있다. 만약 누설전류 I_{leak} 를 1/10로 제한할 수 있는 방법이 있다면 이번에는 거꾸로 E_{DC} 가 1/10로 되므로 V_{TH} 가 S 만큼 낮아질 수 있음을 알 수 있다. 이처럼 V_{TH} 가 똑같은 공급전압에 대하여 100mV정도 낮아질 수 있다는 것은 V_{DD} 가 2V나 그 이상에서는 큰 차이가 없지만 1V에 가까워지거나 낮아지게 되면 V_{TH} 에 100mV의 변화는 그림 2(b)에 볼 수 있듯이 큰 영향을 미치게 된다.

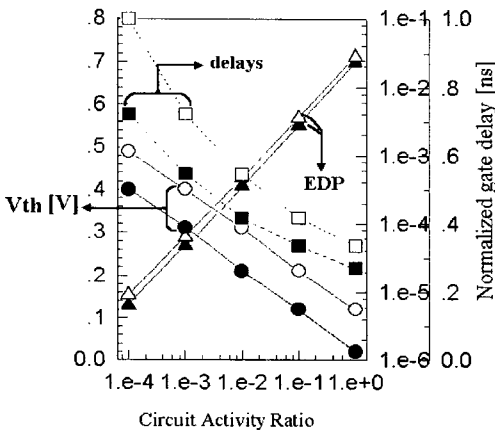


그림 3. 공급전원이 1V 일 때 회로기능률 변화에 따른 문턱전압(○,●), EDP(△,▲), 및 지연시간(□,■)의 변화

Fig. 3. Impact of circuit activity ratio on V_{TH} (○,●), EDP(△,▲) and gate delay(□,■) for V_{DD} of 1V.

가령 공급전압 V_{DD} 가 1V 일 때 I_{leak} 가 1/10로 되었을 경우의 EDP는 그렇지 않은 경우와 비교하여

50%까지 개선되며, 그 효과는 회로 기능률이 낮을수록 높게된다. 그림 3에서는 공급전압을 1V로 정하였을 때 회로 기능률과 최적 문턱전압, EDP 및 게이트 지연시간(τ_g)의 관계(누설전류가 1/10로 제한된 경우와 그렇지 않은 경우에 대하여) 보여주고 있다. 가령 회로의 기능률이 0.01 일 때, 즉, 메모리가 100 클럭마다 한번씩 access 되어 질 때 최적문턱전압은 subthreshold 전류를 제한하지 않은 경우와 1/10로 제한할 경우에 대하여 300mV와 200mV이고 이에 따라 게이트 지연시간과 EDP는 누설전류가 1/10로 제한될 경우 25%정도 개선됨을 알 수 있다.

이상에서 논의된 바와 같이 저전력 CMOS 디지털 IC에서는 EDP를 최소화하기 위하여 V_{DD} 와 V_{TH} 를 함께 줄여야만 한다. V_{TH} 의 값은 회로의 기능률에 의해 크게 영향받으며, 회로의 기능률이 낮을수록 누설전류의 제한은 EDP를 낮추는 데 있어 매우 효과적이다.

일단 V_{TH} 가 낮아지는 것은 게이트의 성능을 향상시키고 E_{DC} 를 희생하는 것이지만 게이트의 성능이 향상되면(CMOS 디지털 게이트의 설계를 조절함으로써) 전력소모와 성능간의 절충을 구할 수 있는 범위가 넓어지는 만큼 유리하다.

III. 어레이 접지전압상승에 의한 Subthreshold 전류의 제한

오늘날 DSP나 마이크로프로세서, 통신용 IC 등 대부분의 VLSI에는 메모리 회로가 포함되며, VLSI의 성능을 결정짓는 중요한 회로부로서 메모리의 크기 또한 IC 기술의 발달과 함께 크게 증가하고 있다. 이와 함께 저전력 CMOS 디지털 IC에서는 메모리 회로의 최적 설계가 매우 중요한 문제로 대두되고 있다.

메모리 회로는 개별소자의 기능률이 매우 낮으므로 I장에서 설명한 바와 같이 0.5V 또는 그 이상의 높은 문턱전압이 요구되지만 저전력 시스템에서는 단계별 전력소모 관리에^[2] 의하여 메모리 회로의 기능률을 상당히 높일 수 있다.

가령 그림 2(a)에서 $\eta = 0.01$ 을 가정하면 최적 V_{TH} 는 정상상태에서 300mV이고 누설 전류를 1/10로 줄일 경우 약 200mV로 떨어질 수 있게 된다. 이것은 그림 1에서 나타난 1/3 V_{DD} 에 비하여 훨씬 낮은 값으로 그만큼 EDP를 낮출 수 있음을 뜻한다.

우선 낮은 문턱전압을 가지는 CMOS IC 에서 누설전류를 제한하는 회로기술로는 self-reverse biasing^[6]에 의한 방법이 있지만 이는 워드선 디코더 회로처럼 반복적인 회로에서 어떤 주기에 단 하나의 회로만이 동작하게 될 때 유용하다. 이 방법은 메모리 셀 또는 플립플롭에서처럼 두 개의 래치가 서로 다른 상태에 놓이게 되는 회로에는 적용될 수 없으므로 여기서는 그림 4에서와 같이 어레이 접지전압 V_{XGND} 를 상승시킴으로써 subthreshold 전류를 제한하는 방법을 제안한다. 이 경우

$$I_{leak} = N \cdot I_S \cdot \exp\left(\frac{-V_{TH}(V_{XGND})}{S/\ln 10}\right) \quad (11)$$

가 되며, 여기서 V_{TH} 는 back-bias 영향에 의해 V_{XGND} 에 따라 천천히 변하는 함수이다. V_{TH} 는 V_{XGND} 에 대하여

$$V_{TH} = V_{TH}(0) + \gamma \left[(\psi_F + V_{XGND})^{\frac{1}{2}} - \psi_F^{\frac{1}{2}} \right] \quad (12)$$

로 표시되며, γ 는 대략 0.4~0.7의 값으로서 본 연구에서 채택한 저전력 CMOS 에서는 $\gamma = 0.5$ 이다. 따라서 I_{leak} 를 1/10로 제한하기 위하여는 ΔV_{TH} 가 S, 즉 100mV 만큼 되어야 하고 이와 같은 ΔV_{TH} 의 변화를 일으키기 위하여 V_{XGND} 가 400mV가 되어야 한다. V_{XGND} 가 이 정도의 값을 가지게 되면 M_X 를 통하여 흐르는 누설전류는 V_{XGND} 에 상관없이 그 크기에 의해 정해지며 I_{leak} 의 변화량은

$$\exp\left(\frac{-\Delta V_{TH}}{S/\ln 10}\right) = \frac{M_X \text{의 크기}}{N_X(M_N \text{의 크기})} \quad (13)$$

에 의하여 정해지고 M_X 의 크기가 $N \cdot M_N(N=128)$ 의 1/10인 경우 식(12)로부터 V_{XGND} 의 값은 400mV 정도이다. 이것은 메모리 셀의 워드선이 켜져 있지 않을 경우 $V_{DD}-V_{XGND}$ 의 전위차이만으로 셀 데이터를 저장하고 있다는 것을 뜻하며 메모리 셀의 안정도에 큰 영향을 미친다. 메모리 셀의 안정도에 관한 분석은 다음 장에서 하였다.

그림 4의 트랜지스터 M_X 는 단지 subthreshold 전류를 제한할 뿐 아니라 워드선이 켜졌을 때 셀을 통하여 흐르는 DC 전류도 상당히 제약하게되며 이것은 비트선에 나타나는 신호의 크기와 센싱에도 큰 영향을 미친다.

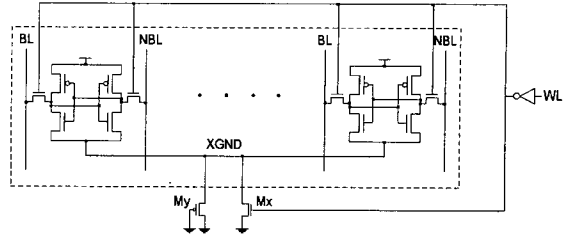


그림 4. Subthreshold 전류제한을 위한 저전력 메모리 어레이 회로
Fig. 4. Schematic of low power memory array for subthreshold current reduction

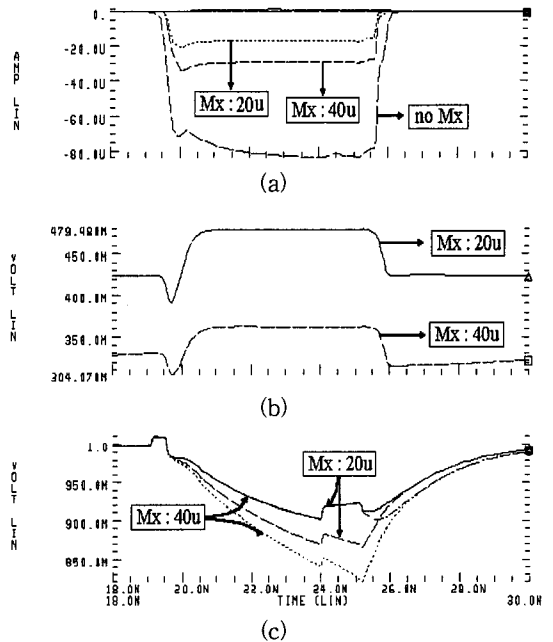


그림 5. M_X 의 크기 변화에 따른 (a) 메모리 셀을 통하여 흐르는 전류 (b) V_{XGND} (c) 비트선에 나타나는 신호전압
Fig. 5. Sizing effect of M_X on (a) memory cell current, (b) V_{XGND} and (c) bit-line differential signal level

그림 5에서는 M_X 트랜지스터로 인하여 메모리 셀의 path 게이트를 통하여 흐르는 전류(I_{cell})와 V_{XGND} 의 변화를 보여주고 있다. 먼저 M_X 가 없을 경우 I_{cell} 은 80 μ A이지만 20 μ m의 M_X 를 1개의 메모리 row에 (128 메모리 셀) 달았을 경우 전류는 불과 20 μ A밖에 되지 않아 비트선에 나타나는 신호전압은 워드선이 켜진 뒤 2ns후에도 30mV정도에 불과하다.

비트선에 나타나는 신호전압은 Y-MUX 가 켜진 상태에서 소자의 부정합과 잡음을 고려하여 적어도

30mV가 요구된다.(Y-MUX 가 켜진 상태에서는 비트선이 첫번째단의 전류 센서의 입력에 연결되고 센서의 입력저항은 $1/g_m$ 으로 상당히 적은 값이므로 비트선의 신호전압 크기는 매우 작아진다.) 따라서 여기에서는 두 개의 메모리 row 에 1개의 M_X 를 연결하였으며, 이 때 M_X 의 크기는 누설전류를 1/10로 제한하기 위하여 $40\mu m$ ($\approx \frac{1}{10} \cdot 256 \times 2\mu m$) 로 잡았다. 메모리가 선택될 때는 두 개의 워드선 중 하나만이 선택되므로 그림 5에 보이듯이 I_{cell} 은 $30\mu A$ 가 지속적으로 흐르고 30mV의 비트선 신호전압에 도달하는 데에 약 1.5ns의 시간이 걸린다.

이상에서처럼 M_X 를 이용함으로써 대기상태에서의 누설전류를 1/10로 줄일 뿐만 아니라 메모리 회로의 전력소비에서 큰 비중을 차지하는 I_{cell} 역시 1/2로 줄임으로써 메모리 어레이에서의 전력소비는 크게 줄어들고 이로 인한 비트선에서의 지연시간 증가는 V_{XGND} 의 상승없이 300mV의 문턱전압을 갖는 CMOS 소자를 사용하였을 때와 비교하여 불과 0.2ns정도로서 이러한 메모리 어레이에서의 지연시간 증가가 주변회로의 성능 향상으로 상쇄됨을 감안하면 M_X 로서 메모리 어레이의 전류를 제한하는 것은 저전력 메모리 설계에서 매우 효과적임을 알 수 있다.

IV. 어레이 접지 전압의 상승과 그 영향:
메모리 셀의 안정도 분석

어레이 접지 전압의 상승은 셀의 안정도를 낮추고 비트선 지연시간을 늘림으로써 일반적 설계에서는 접지 저항을 줄이려 하지만 저전력 메모리 설계에서는 동작시와 대기 상태 모두에서 전류 감소 효과가 큼으로 효율적인 저전력 설계 방법일 수 있다. 단 공정변화에 따른 접지전압의 변동을 최소화하고 V_{XGND} 의 지나친 상승을 방지함으로써 메모리 어레이가 안정적으로 동작할 수 있도록 하기 위한 회로설계가 필수적이다.

그림 4 에 보인 것처럼 PMOS 트랜지스터 M_y 는 V_{XGND} 를 안정시키기 위하여 연결하였으며 그림 6 에 나타난 바와 같이 NMOS 와 PMOS 문턱전압의 큰 변화에도 V_{XGND} 는 300~450mV 의 안정된 값을 가짐을 알 수 있다. 특히 중요한 것은 가장 민감한 NMOS 문턱전압이 공정변화 요인에 의하여 높아지면 V_{XGND} 값이 낮아짐으로써 안정도를 보상한다는 것이

다.

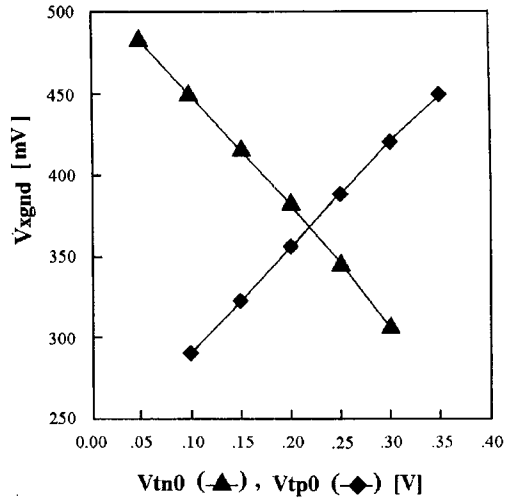


그림 6. 트랜지스터 문턱전압의 변화에 따른 V_{XGND} 의 변화
Fig. 6. Sizing effect of M_y for V_{XGND} stabilization.

앞의 장에서 언급하였듯이 공급전압이 낮아지는 만큼 메모리는 적은 전위 차로 셀 데이터를 저장(latch)하게 된다. 더군다나 본 연구에서 제안하는 누설전류 제한 방식은 메모리 셀의 실제 접지 전압을 높임으로써 메모리 셀의 전위 차를 더욱 줄이게 되어 안정도에 대한 올바른 분석은 매우 중요하다.

지금까지 알려진 메모리 셀의 안정도 분석은 static한 상태에서 메모리 셀 내의 두 래치의 동작상태가 전위적으로 얼마만한 차이를 가지느냐로 평가하였다^[8]. 하지만 실제 메모리 셀에 들어오는 여러 잡음 형태에서 이러한 static 전압원의 형태는 소자의 부정합으로 인한 offset 전위가(10mV 정도) 고작이며 실제 잡음원은 모두 동적인 특성(시간에 따라 변하는 것을 뜻함)을 가짐으로써 [8]에서 제안한 안정도 평가 방법은 이러한 잡음들에 대하여 메모리 셀이 얼마나 안정되어 있는 가를 올바르게 설명할 수 없다.

그림 7 에서는 메모리 셀 내에 두 개의 래치 중 하나를 보였으며 또한 이에 가해질 수 있는 여러 잡음원과 래치의 동작회로를 보여주고 있다. 여기에서 한 개의 래치만을 문제삼는 이유는 CMOS SRAM에서는 래치기능을 주로 NMOS 에 의존함으로써 PMOS 트랜지스터는 단지 래치의 출력 마디에서의 누설전류를 보상하기 위한 것으로서 NMOS 에 비하여 훨씬 적은

크기로 설계되므로 래치의 출력전압 값이 V_{DD} 인 쪽이 0V인 쪽에 비하여 훨씬 불안정하기 때문이다. 우선 메모리 셀의 안정도를 분석하는 데 있어서 가장 중요한 것은 메모리 셀을 불안정하게 할 수 있는 요인들은 어떠한 것들이 있는가를 알고 이들이 어떠한 물리적 작용으로 메모리 셀을 불안정하게 하는가를 정확히 이해하는 것이다.

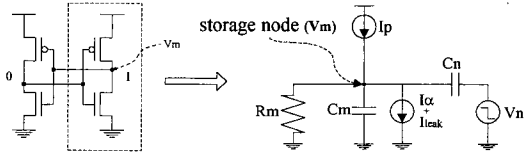


그림 7. 메모리 셀의 안정도 분석을 위한 래치와 잡음원 모델
Fig. 7. Simplified circuit model for memory cell stability evaluation.

그림 7에서는 메모리 셀에 가해질 수 있는 잡음원으로서 α -입자에 의한 전류, 누설전류와 캐패시턴스 커플링에 의한 잡음 등을 보여주고 있으며 이 외에 설계 상의 착오에 의한 쓰기 동작 이후의 불충분한 회복으로 인한 불안정 요인 등도 그림 7에 보여준 잡음 형태로 바꾸어 고려 될 수 있다. 이러한 잡음원들의 공통점은 이 잡음원들이 래치의 출력마디로부터 전류를 방출시킴으로써 출력마디의 전위를 떨어뜨린다는 것이다. 따라서 본 연구에서 제안하는 보다 신뢰성 있는 안정도 평가 방법은 이러한 잡음원이 얼마만큼의 전하량을 메모리 셀 래치의 출력마디로부터 방출하여야만 메모리 셀의 정보가 바뀔 수 있는가 하는 척도로서 메모리 셀의 유효전하량(Q_m)을 계산하는 것이다. 이러한 안정도 평가방법은 DRAM의 경우 적용되고 있으며 매우 간단하고 직선적이다. 여기에서는 SRAM의 경우에도 잡음의 동적인 특성이 올바르게 고려된다면 똑같은 안정도 평가방법이 적용될 수 있다는 것을 캐패시턴스 커플링을 통한 잡음원 V_n 이 메모리 셀에 미치는 영향 분석을 통하여 보여주고자 한다. 먼저 이러한 분석 방법을 제시하는 데 있어 몇 가지 가정은

첫째, 잡음이 메모리 셀에 작용하는 시간을 Δt 로 할 때 V_n 과 V_m 은 Δt 동안 시간에 대하여 선형적으로 변한다.

둘째, PMOS 트랜지스터를 통한 전류는 선형영역과 포화영역으로 나뉘어 선형모델로서 계산한다.

셋째, 래치의 입력 전위는 Δt 동안 V_{XGND} 로서

NMOS 트랜지스터를 통한 전류는 무시되고 V_m 이 Δt 이내에 잡음의 영향으로 인하여 V_{XGND} 이하로 떨어지게 되면 메모리 셀에 저장된 정보는 바뀌게 된다. 즉 래치의 다른 한 쪽 전압은 잡음의 작용시간 동안에 변하지 않는다고 가정한다.

실제로 회로 시뮬레이션의 결과는 이러한 가정들이 메모리 셀의 안정도를 해석적으로 분석하는 데 큰 오차를 유발하지 않음을 보여준다.

Δt 동안에 PMOS 트랜지스터를 통하여 흐르는 전류는 선형영역과 포화영역에서

$$I_p = \frac{V_{dd} - V_{d,sat}}{R_m} \quad (t < t_1) \quad (14)$$

$$= I_{p,sat} \approx \frac{V_{dd} - V_{d,sat}}{R_m} \quad (t \geq t_1) \quad (15)$$

위의 t_1 은 M_P 동작 영역이 선형에서 전류 포화영역으로 바뀌는 순간으로

$$t_1 = \frac{V_{dd} - V_{dsat}}{V_{dd} - V_{XGND}} \Delta t = \frac{V_{dd} - V_{dsat}}{\Delta V_m} \cdot \Delta t \quad (16)$$

로 주어진다.

위의 식으로부터 $t = \Delta t$ 에 V_m 의 값이 V_{XGND} 에 도달, 즉 메모리 셀의 기억 정보가 바뀐다고 가정하면 그로부터 계산되는 유효전하량 Q_m 은

$$Q_m = \int_0^{\Delta t} I_p dt \quad (17)$$

$$= C_m \Delta V_m + I_{p,sat} \cdot \Delta t \left(1 - \frac{1}{2} \frac{V_{dd} - V_{d,sat}}{\Delta V_m} \right)$$

으로 계산된다.

식 (17)의 오른쪽 첫째 항은 DRAM 셀의 전하량과 동일하다. 만약 SRAM에서 잡음원의 작용기간 Δt 동안에 PMOS에 의한 전하량 공급이 없다면 그 안정도는 DRAM과 다를 것이 없음을 의미한다. 오른쪽 둘째 항은 Δt 동안 PMOS를 통하여 공급되는 전하량이며 $I_{p,sat}$ 과 Δt 에 비례하고 있다. 식 (17)에서 주목할 것은 Q_m 이 ΔV_m 에 거의 비례한다는 것이다. 더군다나 본 연구에서 제안하는 누설전류 제한 방식은 V_{XGND} 를 높임으로써 ΔV_m 뿐 아니라 $I_{p,sat}$ 도 낮춤으로써 과연 이러한 안정도의 손상이 허용될 수 있는가를 올바르게 평가되어야 한다.

먼저 식 (17)로부터 SRAM 셀이 매우 긴 Δt 를 요구하는 I_{leak} 와 같은 잡음원에 대하여는 매우 강함을 알 수 있다. α -입자에 의한 전류는 그 펄스 형태가 아

직 정확히 알려지지 않았으므로 여기서는 캐패시턴스 커플링 잡음에 대한 안정도를 평가하는 방법을 제시하였다.

우선 래치의 출력마디에 연결한 기생 캐패시턴스 C_n 을 가정하고 그 다른 쪽 끝에 잡음 전압 V_n 이 Δt 동안 $\Delta V_n = -V_{dd}$ 로 변한다고 하면 주어진 Δt 에 대하여 메모리 셀에 불안정을 유발할 수 있는 C_n 은

$$C_n(\Delta V_n - \Delta V) \geq Q_m \tag{18}$$

으로부터 정할 수 있다. 즉 C_n 은

$$C_n \geq \frac{C_m \Delta V + I_{psat} \left(1 - \frac{V_{dd} - V_{dsat}}{2 \Delta V} \right) \cdot t}{V_{dd} - \Delta V m} \tag{19}$$

로 주어진다.

표 2는 위의 계산값과 회로 시뮬레이션에 의해 구한 값들을 비교한 것이며 대칭과 비대칭의 차이는 대칭의 경우 메모리 셀 양쪽에 똑같은 캐패시턴스를 연결하여 한 쪽에만 잡음 전압을 가하였으며 비대칭의 경우는 한쪽에만 캐패시턴스와 잡음전압이 연결된 경우이다.

비대칭의 경우 마디전압의 변화율에 차이로 인하여 대칭인 경우에 비하여 C_n 값이 약간 적으나 대체로 계산에 의한 값과 잘 일치함을 알 수 있다.

표 2에서 볼 수 있듯이 C_n 이 적어도 34fF이상이어야 저전력 메모리 셀에 불안정이 유발될 수 있으며 이 값은 실제로 실현성이 없으므로 저전력 메모리는 캐패시턴스를 통한 잡음에 대하여는 매우 안정적임을 나타내준다. 일반적으로 DRAM 의 경우 a-입자에 의해 soft error 를 고려하여 최소 셀 캐패시턴스를 대략 30fF로 잡고 있으며 DRAM 셀은 자체 복원력이 없으므로 최소 C_n 값은 셀 캐패시턴스와 거의 같다. 표 2에서 알 수 있듯이 SRAM 셀의 유효전하량은 비교적 낮지만 외부잡음에 대하여 상대적으로 안정됨을 알 수 있다. a-입자의 작동기간이 얼마이며 전류량이 얼마인가 하는 것은 현재 명확치 않으므로^[9] 커플링 캐패시턴스를 통한 잡음에 의한 셀 안정성의 상대적 비교는 상당히 신빙성 있는 안정도 평가를 제공한다.

높은 V_{XGND} 로 인한 비트선의 신호지연에 대한 영향은 다음 장에서 시뮬레이션 결과와 함께 논의되겠지만 MTCMOS 의 경우와 비교하여 추가 지연 시간이 0.2ns 이내로서 그림 4의 M_y 가 비트선 지연시간의 안정화에 있어서도 매우 유효함을 보여주고 있다. 또

한 워드선 선택 시에도 V_{XGND} 값은 거의 변동이 없으므로 대기상태에서 뿐만 아니라 동작시에도 어레이에 서의 전류소모는 40% 정도 줄어들게 된다.

표 2. 수학적 계산에 의한 유효전하량과 캐패시턴스를 통한 잡음에 대한 회로 시뮬레이션 결과 비교

Table 2. Comparison of analytic calculation and simulation results for the evaluation of memory cell stability.

V_{IH}		200mV			100mV	300mV
Δt		1 ps	200 ps	300 ps	1 ps	1 ps
Cn (계산값)		51.3fF	54.8fF	56.7fF	45.0fF	59.9fF
유효전하량(Qm)		12.60f	13.50f	13.96f	12.18f	13.06f
Cn (시뮬레이션)	대칭	50.7fF	55.6fF	58.2fF	45.5fF	58.3fF
	비대칭	34.2fF	34.9fF	35.8fF	33.6fF	35.6fF

V. 128kb 내장형 SRAM의 회로 설계

앞서 기술한 CMOS 소자특성은 NMOS 와 PMOS 간의 전류구동능력(drivability)에 큰 차이를 가진다. 따라서 전체 회로 성능에 큰 영향을 미치는 주요회로부는 NMOS 특성에 의존하도록 설계하는 것이 중요하며 높은 PMOS 문턱전압은 subthreshold 전류의 효과적인 제한을 가능토록 한다.

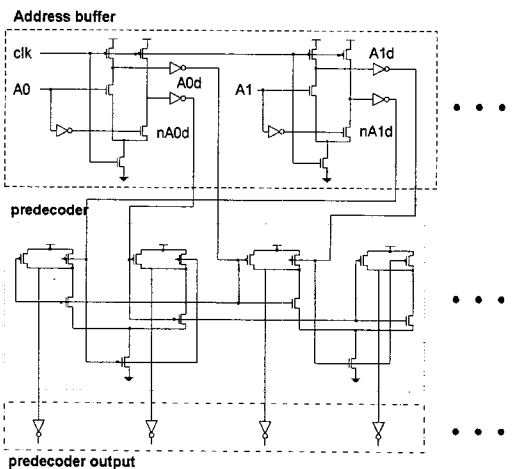


그림 8. 저전력 회로 기법에 따른 어드레스 버퍼와 프리디코더

Fig. 8. Address buffer and predecoder designed by low power circuit technique.

그림 8과 9에서는 주요회로부로서 입력 버퍼 및

predecoder 와 센스 앰프 및 출력 버퍼 회로를 각각 보여주고 있다. 회로설계에서의 특징은 입력 버퍼나 predecoder 에서처럼 공통 pull-down 소자를 이용하여 subthreshold 전류를 최소화하면서도 게이트의 속도를 높였으며 2단으로 구성된 센스앰프의 첫단에는 잠음내성이 높고 신호의 공통전압을 변환시킬 수 있는 전류센서를 이용하고 전력소모가 가장 적은 래치형 센스 앰프를 둘째 단에 설계하였다. 출력 버퍼의 pull-up 소자는 그림 9 에서와 같이 NMOS 소자를 씌우어서 그 크기를 1/2이하로 줄일 수 있었다. 그림 10에서는 전체적인 회로 시뮬레이션의 결과로서 clk 으로부터 출력까지의 지연 시간이 3.4ns으로서 160Mhz 시스템에서의 사용이 가능함을 보여주고 있으며 이는 그림 10(b)에서와 같이 EQ, SAE, D_SAE등의 control신호들이 비트선을 통한 신호경로와 최대한 delay tracking되도록 함으로써 메모리의 올바른 동작을 위한 충분한 시간 마진을 가지면서도 정확한 timing control을 하여준 결과이다. 또한 10(c)에서는 워드선 선택으로부터 4ns만에 메모리 셀에서의 데이터 저장이 완료됨을 알 수 있으며 YMUX의 떨어짐과 함께 비트선 전압의 복원을 시작함으로써 6ns 주기로 동작할 수 있도록 하였다. 그림 11에서는 NMOS 의 문턱전압을 100~300mV 사이에서 변화시켰을 경우의 지연시간의 변화를 보여주고 있다.

간으로 인하여 150ps정도 짧은 지연시간을 가진다.

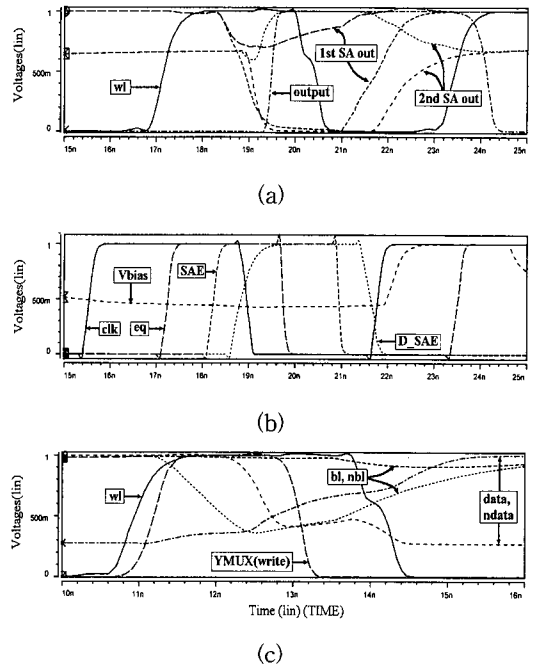


그림 10. 메모리 회로 시뮬레이션에 의한 전압파형 (a) 읽기 동작(b) 읽기동작에서의 control 신호 파형 (c) 쓰기 동작

Fig. 10. Spice simulation results for (a) read cycle (b) control signals for read access (c) write cycle

그림 11에 나타난 전력 소모에서 주목할 것은 200 mV의 단일 문턱 전압의 경우 대기상태(stand-by)에서의 전력소모는 MTCMOS 의 17.7μW에 비하여 21.4 μW로 높지만, 메모리 동작시의 전력소모는 14.8mW에 불과하다는 것이다. 이는 그림 5에서도 보인 바와 같이 메모리 어레이에서 워드선이 선택된 열의 메모리 셀들을 통한 전류가 MTCMOS 의 경우보다 훨씬 적기 때문이다. 그 이유는 단일 문턱전압 CMOS 의 경우 그림 6에서와 같이 메모리 접지 전압(V_{XGND})이 상승되도록 M_X 트랜지스터를 달았기 때문이며 M_X 의 크기는 메모리 셀의 pull-down 트랜지스터의 10배정 도로서 V_{XGND} 값을 300~450mV 정도 상승시킴으로써 back-bias 로 인해 하나의 워드선에 연결된 메모리 열의 subthreshold 전류를 10배까지 줄일 수 있도록 하였다. 이것은 똑같은 대기상태 전력소모에 대하여 NMOS 문턱전압을 100mV 정도 낮출 수 있도록 함으로써 그림 1(b)에 보인 바와 같이 10% 이상의 성능 향상을 가능케 한다.

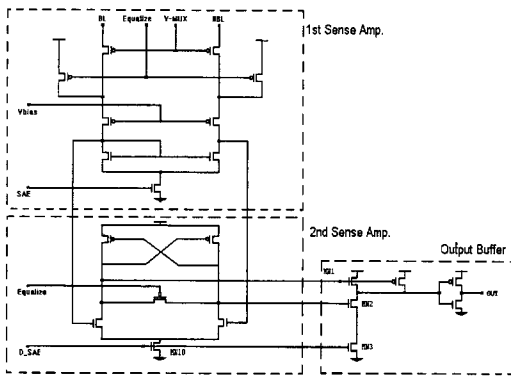
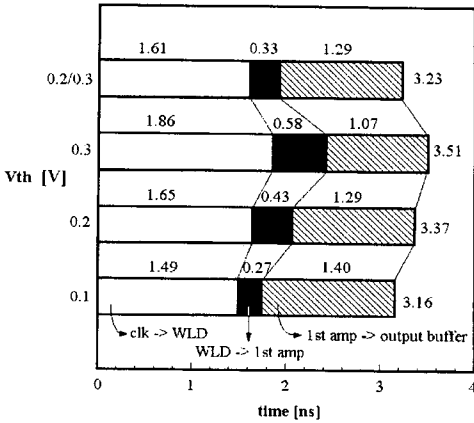
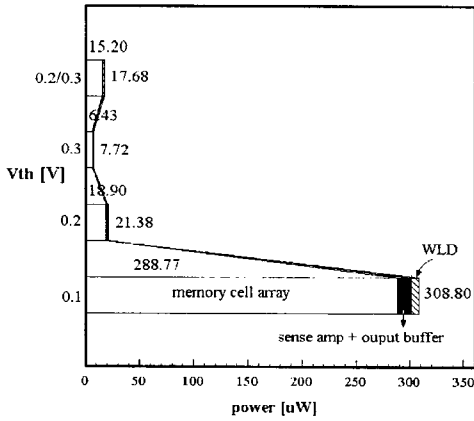


그림 9. 센스 앰프와 출력 버퍼 회로
Fig. 9. Schematic of sense amps and output buffer.

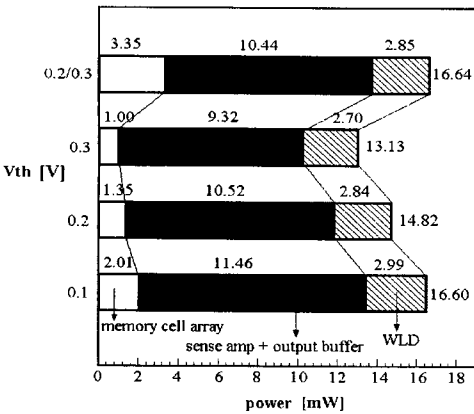
그림 11에서는 특히 NMOS 문턱전압을 주변회로에 서는 200mV, 어레이에서는 300mV로 한 MTCMOS 를 이용할 경우의 시뮬레이션 결과도 보여주고 있으며 200mV 단일 문턱전압에 비하여 짧은 bit-line 지연시



(a)



(b)



(c)

그림 11. 문턱전압의 변화가 여러 성능 지표에 미치는 영향 (a) 지연 시간 (b) 대기상태의 전력 (c) 동작시 전력 소모

Fig. 11. Performance comparisons for various V_{TH} of NMOS transistors including multi- V_{TH} CMOS (a) signal delays (b) stand-by power (c) active power consumption.

VI. 결 론

본 논문에서는 1V, 160MHz 에서 동작하는 128kb 내장형 SRAM 의 회로 설계를 소개하였다. 저전압 메모리 설계에서 가장 어려운 문제인 대기 상태 누설 전류를 효과적으로 제한하는 방법으로서 어레이 접지전압을 높였으며 공정변화에 따른 어레이 접지전압의 변동을 최소화하기 위한 회로 설계와 시뮬레이션 결과를 제시하였다.

저전력 CMOS 기술로서 적합한 불균형 문턱 전압을 가지는 0.5 μ m CMOS 기술을 제안하였으며 이러한 저전력 CMOS 소자특성에 적합한 회로기법을 주변회로의 설계에도 적용함으로써 동작시와 대기시 14.8mW / 21.4 μ W의 낮은 전력소모에서 3.4ns의 높은 메모리 동작속도를 실현하였다.

참 고 문 헌

[1] M. Horowitz, et.al., "Low power digital design," Digest of Tech. papers 1994 IEEE Symposium on Low Power Elec., pp. 8-11, Oct., 1994.

[2] A.P.Chandrakasan, et.al., "Low power CMOS digital design," IEEE J. Solid State Circuits, vol. 27, pp. 473-484, Apr., 1992.

[3] S.Mutoh, et.al., "1-V Power supply high speed digital circuit technology with multithreshold-voltage CMOS," IEEE J. Solid State Circuits, vol. 30, pp. 847-854, Aug. 1995.

[4] 임 정식, 손 일현, 조 제영, 이 영희, 1V-2.7ns 32b Self-Timed Parallel Carry Look-Ahead Adder with Wave Pipelined Clock Control 제 4회 한국반도체 학술대회, pp. 555-558, 1997년 2월.

[5] M.Kakumu and M.Kinugawa, "Power-supply voltage impact on circuit performance for half and lower submicrometer CMOS LSI", IEEE Trans. Electron Devices, vol. 37, pp. 1902-1908, Aug., 1990.

[6] T.Kawahara, et.al., "Subthreshold current reduction for decoded driver by self-reverse biasing," IEEE J. Solid State

- Circuits, vol. 28, pp. 1136-1144, Nov., 1993.
- [7] C.G.Sodini, et.al., "The effect of high fields on MOS device and circuit performance," IEEE Trans. Electron Devices, vol. ED-31, pp. 1386-1393, Oct., 1984.
- [8] E. Seevinck, F.J.List, and J.Lohstroh, "Static-Noise Margin Analysis of MOS SRAM Cells," IEEE Journal of Solid-State Circuits, vol. SC-22, no. 5, pp. 748-754, October 1987.
- [9] K.Takeuchi, et.al, "Alpha-particle-induced charge transfer between n+ regions in high-density trench DRAM with isolated p-well structures," IEEE Trans. Electron Devices, vol. ED-37, pp. 1893-1901, Aug. 1990.

저 자 소 개



鄭 娥(正會員)

1996년 단국대학교 전자공학과 학사.
현재 단국대학교 석사과정 재학중.
주관심분야는 저전력/저전압, 디지털/아날로그 VLSI 회로설계 등임



孫 日 憲(正會員)

1977년, 1981년, 서울대학교 전기공학과 학사 및 석사. 1979년 ~ 1982년 해군사관학교 전임강사. 1988년 매사추세츠 주립대학 전기공학과 박사. 1988년 ~ 1992년 Integrated Device Tech., San Jose에서 선임, 책임연구원. 1992년 ~ 1993년 Intergraph, Palo Alto에서 책임연구원. 1994년 ~ 1995년 SUN Micro Systems, Sunnyvale에서 책임연구원. 1995년 3월 이후 현재 단국대학교 전자, 컴퓨터 공학부 조교수로 재직 중, 주관심분야는 디지털/아날로그 VLSI 회로설계, 저전력/저전압 회로설계 및 평판 디스플레이 구동회로 설계등임