

論文98-35S-3-3

DCS 1800 시스템에서 연판정 출력 등화기에 대한 비터비 복호기 설계 및 구현

(Design and Implementation of a Viterbi Decoder for a Soft Output Equalizer in the DCS 1800 Radio System)

金周應*, 尹碩鉉*, 李在燻*, 康昌彦*

(Joo-eung Kim, Suk-hyon Yoon, Jae-hyuck Lee, and Chang-eon Kang)

요 약

본 논문에서는 경판정 MLSE에 비해서 하드웨어적 복잡도를 거의 증가시키지 않으면서 신뢰성있는 성능을 줄 수 있는 SOVA를 적용한 등화 기법을 DCS 1800 시스템에 적용하고 구현한다. 또한 연판정 출력 등화기의 성능 개선을 위해 채널 추정 기법을 제안하고, 연판정 출력에 대해서 효율적으로 동작하는 비터비 복호기를 VHDL을 이용하여 구현한다. VHDL 설계 결과로부터 구현된 비터비 복호기가 제대로 동작함을 확인할 수 있다. 또한 전체 시스템에 대한 시뮬레이션 결과로부터 SOVA의 경우가 경판정된 MLSE에 비하여 프레임 삭제율(FER)과 비트오율(BER) 관점에서 성능 향상을 보임을 확인할 수 있다.

Abstract

This paper is concerned with the implementation of the equalization technique in a DCS 1800 system employing the soft-decision output Viterbi algorithm (SOVA), which makes the hardware complexity comparable to the hard decision MLSE and gives reliable performance. Also, the channel estimation technique which enhances the performance of the soft-decision output equalizer is proposed, and the Viterbi decoder which operates effectively with the soft-decision output of the equalizer is implemented using the Very High Speed ICs Hardware Description Language (VHDL). From the simulation results, it is shown that the implemented Viterbi decoder operates effectively and the SOVA outperforms the hard-decision MLSE in terms of the frame erasure rate (FER) and bit error rate (BER).

I. 서 론

DCS(Digital Cellular System)에서 사용하는 GMSK 변조의 가우시안 저역통과 여파기의 영향과 채널에서 발생하는 지연 스프레드로 인하여 발생하는 심볼간의 간섭은 신뢰성있는 통신에 장애가 된다. 이

를 극복하기 위해서는 등화기의 사용이 필수적이며, 여러 등화 알고리즘들이 연구되어 왔다. 일반적으로 등화 알고리즘은 선형 등화기와 비선형 등화기로 구분되며, 다시 비선형 등화 기법은 결정 제한 등화 기법과 최대 근사 심볼열 추정(MLSE) 등화 알고리즘으로 나누어진다^[1-3].

MLSE 등화 알고리즘은 채널의 역함수를 추정하여 등화를 수행하는 것이 아니라 확률적으로 가장 높은 가능성을 가지는 시퀀스를 추정하는 알고리즘이다. 이는 컨벌루션 부호에 대한 최적의 복호 방식으로 사용하는 비터비 알고리즘을 채널 등화에 적용한 것으로

* 正會員, 延世大學校 電子工學科

(Dept. of Electronic Engineering Yonsei Univ.)

※ 이 논문은 1994년도 한국학술진흥재단의 대학부설

연구소 연구과제 연구비에 의하여 연구되었음

接受日字: 1997年11月5日, 수정완료일: 1998年2月20日

생각할 수 있으며, 채널에서 발생하는 상호 심볼간 간섭(ISI)를 없애는 것은 컨벌루션 부호의 복호 방식과 동일하다.

이때 컨벌루션 부호를 비터비 알고리즘을 이용하여 복호하는 경우, 가지 매트릭값을 구하기 위하여 부호화기의 생성 다항식에 대한 정보를 이용하는 것과 마찬가지로 MLSE를 이용하여 채널을 등화하기 위해서는 채널의 탭 계수를 추정하는 과정이 필수적이다. 이러한 적응 MLSE의 성능은 선형 등화기나 비선형 결정 궤환 등화기에 비하여 월등히 우수하나 그 복잡도가 문제가 된다^[4-8].

본 논문에서는 기존의 경판정 MLSE에 비해서 하드웨어적 복잡도를 거의 증가시키지 않으면서 신뢰성 있는 성능을 줄 수 있는 연판정 출력 비터비 복호 알고리즘(SOVA)을 제안한다. 그리고 SOVA를 적용한 등화 기법을 DCS 1800 시스템에 적용하여 그 성능을 분석한다. 또한 연판정 출력 등화기의 성능 개선을 위해 채널 추정 기법을 제안하고, 등화기의 연판정된 출력에 대해서 효율적으로 동작할 수 있는 비터비 복호기를 Very High Speed ICs Hardware Description Language (VHDL)을 이용하여 구현한다. 제안된 시스템의 성능을 확인하기 위한 시뮬레이션 채널 환경으로는 PCS (Personal Communication Service)를 위한 JTC (Joint Technical Committee) 권고안에서 설정하고 있는 마이크로 셀 환경을 고려한다^[9]. 이 권고안에는 물리적 환경에 따라 9개의 환경으로 구분되는데, 본 논문에서는 이 중에서 실외 주행 (outdoor vehicular) 환경만을 고려한다. 실험 결과로부터 SOVA의 경우가 기존의 SOVA에 비해서 프레임 삭제율(FER)과 비트오율(BER) 관점에서 약간의 성능 저하를 보이는 반면에, 계산량 복잡도가 기존의 SOVA에 비해서 훨씬 감소함을 확인할 수 있다.

본 논문의 2장에서는 DCS 1800 시스템에서의 채널 추정 방식 및 간략화된 연판정 출력 비터비 알고리즘을 제안한다. 3장에서는 VHDL을 이용한 비터비 복호기의 구현 방법에 대하여 설명한다. 그리고 5장에서는 VHDL을 이용한 채널 복호기의 구현된 채널 복호기의 시뮬레이션 결과 및 제안된 등화 기법과 결합된 전체 시스템의 성능을 프레임 삭제율, class1b 잔여 (residual) 비트오율, class2 잔여 비트오율의 관점에서 분석한다.

II. DCS의 간략화된 비터비 등화기법

DCS에서 사용하는 비터비 등화기의 상태수는 16 상태 또는 32 상태이다. 만일 전체 등가 채널의 총격과 응답을 5개의 탭을 가지는 FIR 여파기로 모델링했다고 가정하자. 이때 전체 등가 채널 모델의 입력은 $a_k \in \{\pm 1, \pm j\}$ 의 열이 된다. 이러한 모델은 최근의 $N-1=4$ 개의 전송 심볼에 해당하는 유한한 상태를 이용하여 표현할 수 있다(여기서 N 은 전체 등가 이산 시간 채널의 탭 개수를 의미한다). 즉, $(a_{k-1}, \dots, a_{k-4})$ 를 상태 벡터로 정의하여 비터비 등화기를 구성할 수 있다. 이때 GMSK의 경우 각각의 순간에서 a_k 는 ± 1 또는 $\pm j$ 의 값을 가질 것을 알 수 있으므로 이 경우의 상태수는 $2 \times 2^{N-1} = 32$ 가 된다. 이때 GMSK 변조를 생각해 보면 a_k 열에는 다음과 같은 규칙이 존재한다는 것을 알 수 있다. 즉, a_k 가 실수 값인 경우 a_{k-1} 는 허수 값을 가지게 되며, 반대로 a_k 가 허수 값인 경우 a_{k-1} 은 실수 값을 가지게 된다는 것이다. 이때 전송열의 시작점 a_0 를 실수라고 가정한다면, 시간 인덱스 k 가 짝수인 경우의 a_k 는 ± 1 의 값을 가질 것이며, 반대로 k 가 홀수인 경우에는 a_k 는 $\pm j$ 의 값을 가지게 된다. 이러한 특성을 이용하면 그림 1과 같은 나비구조의 16 상태 트렐리스를 구성할 수 있다.

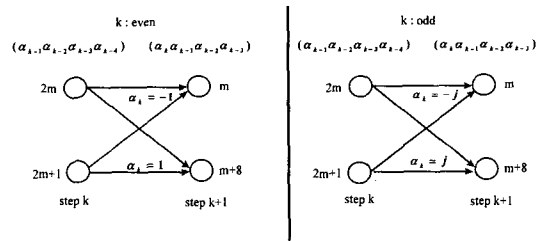


그림 1. 나비 구조의 트렐리스 다이어그램
Fig. 1. Trellis diagram of the butterfly structure.

1) 제안된 채널 추정 방식

기본적인 시간 복원 과정은 초기의 수개의 동기 버스트(synchronization burst)를 이용하여 이루어지고, 노말 버스트(normal burst)에 대한 시간 복원은 미드 앰블(midamble) 학습열을 이용한다. 즉, 미드앰블 학습열과 4배 과표본화된 수신 신호와의 상호상관 $R_{c,r}(k)$ 을 최대로 만들어주는 시점을 미드앰블 열의

시작점으로 판정한다. 시간 복원 알고리즘에서는 $|R_{c,r}(k)|$ 를 최대로 만들어주는 k 를 이용하여 표본화 순간을 결정하게 된다. 상호상관 $R_{c,r}(k)$ 를 이용하여 시간 복원과 동시에 채널의 추정을 수행하는데, $R_{c,r}(k)$ 는 다음의 식으로 표현할 수 있다.

$$R_{c,r}(k) = \frac{1}{L} \sum_{i=0}^{L-1} c_{L-i}^* r_{4L+k-4i}; L=26 \quad (1)$$

이때 r_k 는 4배 과표본화(oversampling)된 수신 신호열이며 c_k 는 원래의 미드앰블 열의 각각의 비트 구간에 3개의 '0' 비트를 첨가한 열이다. 식 (1)의 상호상관을 이용하여 시간 기준점(timebase)을 조정하게 된다. 조정 알고리즘은 다음과 같이 표현할 수 있다

$$\sum_{m=0}^{N-1} |R_{c,r}(i+4m)|^2 \quad -\Gamma \leq i \leq \Gamma^+ \quad (2)$$

여기서 Γ 와 Γ^+ 은 최적화 구간으로써 실험적으로 결정된다. 시간 복원 알고리즘은 식 (2)를 최대로 만드는 i 값을 잡아주어 이를 미드앰블 열의 시작점으로 정하는 것이다. 식 (2)는 결국 상호상관 $R_{c,r}(k)$ 에 NT 구간의 윈도우를 잡아준 후, 그 윈도우에 해당하는 채널 추정값들에 대한 에너지를 계산하고 있다. 식 (2)를 통하여 최대의 에너지를 포함하게 되는 시점 i 를 잡아주었다고 가정하자. 그 시점을 표현의 편의상 ξ 라고 한다면 결과적인 채널의 이산 추정치는 다음의 식으로 나타난다.

$$h'_k = R_{c,r}(\xi+4k) \quad (3)$$

위와 같은 과정을 통하여 채널을 추정하는 경우, 학습열의 자기상관 함수 $R_{c,c}$ 는 충격파 함수에 대한 적당한 추정값이 될 수 없다. 잡음이 없는 경우, 학습열의 자기상관 함수 $R_{c,c}$ 를 그림 2에 나타내었다. 그림 2에서 알 수 있는 바와 같이 τ 가 0인 경우 최대 값을 가지지만 양 옆 쪽의 2개의 최대치도 크기를 무시할 수 없을 정도로 크다. 이러한 현상을 막기 위하여 본 논문에서는 다음과 같이 LMS 알고리즘을 이용하여 채널의 추정치를 보정하는 방법을 사용한다.

$$\hat{h}_i = \hat{h}_i + \gamma \sum_{n=N}^{L-1} \left[r_{n+k_0} - \sum_{m=0}^{N-1} c_{n-m} \hat{h}_m \right] \overline{c_{n-i}} \quad i=0,1,\dots,N-1 \quad (4)$$

여기서 \hat{h}_i 는 채널 추정치, \hat{h}_i 는 보정된 채널 추정치,

그리고 r_{k_0} 는 미드앰블 학습열의 시작점에 해당하는 수신 신호 값을 나타낸다. 그리고 학습 이득 γ 는 참고문헌 [3]에서의 유도 과정을 통해 대략적으로 다음과 같은 최적치를 가짐을 알 수 있다.

$$\gamma_{opt} = \frac{1}{L_{TS} - N + 1}, \quad L_{TS} = 26 \quad (5)$$

미드앰블 학습열의 상호상관만을 이용하여 채널 추정을 수행한 경우에는 오차 성능의 정체 현상을 볼 수 있지만, 식 (4)를 이용하여 보정 과정을 수행하게 되면, 미드앰블 학습열의 비이상적인 상호상관 특성으로 인한 성능의 정체 현상을 막을 수 있다. 이러한 효과는 4장의 결과 고찰에서 살펴본다.

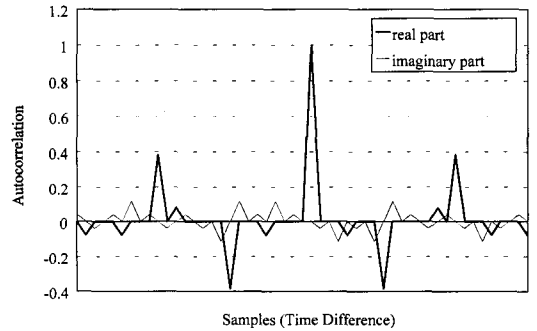


그림 2. 26-미드앰블 열에 대한 자기상관 함수
Fig. 2. Auto-correlation function of the 26-midamble sequence

2) GMSK 신호에 대한 MLSE 알고리즘

표본화 순간의 결정을 위하여 사용하는 방식은 노말 버스트의 경우 가운데 26비트의 학습열과 수신 신호열과의 상호상관을 통하여 상호상관의 전력을 최대로 만드는 점을 미드앰블 열의 시작점으로 결정하는 방식이다^[10]. MLSE 등화 알고리즘은 간단하게 다음과 같은 과정으로 설명할 수 있다.

단계 1)

1개의 노말 버스트를 수신한 후, 식 (2)를 이용하여 전체 등가 이산 채널의 충격파 응답에 대한 추정치 $h'_k (k=0,1,\dots,N-1)$ 를 구한다.

단계 2)

단계 1)에서 추정된 채널을 이용하여 수신 정합 여파기를 다음과 같이 구성한다.

$$h_{MF} = h'^*_k \quad (6)$$

단계 3)

각각의 상태 노드 $\alpha(k)$ 에 대하여 $\alpha(k)$ 로의 2개의 천이에 대하여 각각 다음과 같은 누적 메트릭 값을 구한다.

$$J[\alpha(k-1), \alpha(k)] = J_M[\alpha(k-1)] + F[\alpha(k-1), \alpha(k)] \quad (7)$$

$J_M[\alpha(k-1)]$ 은 상태 $\alpha(k-1)$ 까지의 누적 경로 메트릭을 나타내고, $J[\alpha(k-1), \alpha(k)]$ 은 상태 $\alpha(k-1)$ 의 누적 경로 메트릭과 $\alpha(k-1)$ 에서 $\alpha(k)$ 로의 천이 메트릭의 합을 의미한다. 이 때, $F[\alpha(k-1), \alpha(k)]$ 는 상태 $\alpha(k-1)$ 에서 $\alpha(k)$ 로의 천이 메트릭으로 다음과 같은 값을 가지게 된다.

$$F[\alpha(k-1), \alpha(k)] = \text{Re} \left[a_k^* \left(z_k - \sum_{i=1}^{N-1} a_{k-i} S_i \right) \right] \quad (8)$$

식 (8)에서 z_k 는 수신단 정합 여파기의 출력 표본 값을 나타내고,

$$z_k = \sum_{i=0}^{N-1} r_{k+i} h_{MF,i} \quad (9)$$

로 표현된다. a_k 는 k 번째 순간에서 전체 등가 충격파 응답의 입력으로 사용되는 심볼값으로 k 가 짝수인 경우에는 ± 1 의 값을 가지고, k 가 홀수인 경우에는 $\pm j$ 의 값을 가지게 된다. S_k 는 추정된 채널의 자기 상관 함수로 다음과 같이 표현된다.

$$S_k = \sum_{i=0}^{N-1} h'_i h''_{k+i} \quad (10)$$

단계 4)

식 (8), (9), (10)을 이용하여 식 (7)의 메트릭을 각각의 천이에 대하여 구한후 이 두 값을 비교하여 $\alpha(k)$ 의 누적 경로 메트릭을 다음과 같이 갱신한다.

$$J_M[\alpha(k)] = \max_{\alpha(k-1), \alpha(k)} \{J[\alpha(k-1), \alpha(k)]\} \quad (11)$$

단계 5)

단계 3)과 단계 4)를 반복하여 마지막으로 전송된 심볼에 대하여 계산을 수행한 후 역추적을 시작한다.

3) 간략화된 SOVA

SOVA는 내부부호(inner code)와 외부부호(outer code)를 연쇄(concatenated)시켜서 사용하는 시스템의 성능을 향상시키고자, 내부 복호기의 출력을 연판정 값으로 만들기 위해 사용되는 방식이다. 연쇄 시스

템의 경우에도 마찬가지로 내부 복호기의 출력을 연판정된 값으로 만들어 줄 수 있다면, 연판정된 값을 입력으로 받아들이는 외부 복호기인 비터비 복호기의 성능은 경판정된 값을 입력으로 사용하는 외부 복호기의 성능보다 우수하다^[11].

DCS 시스템은 심볼간의 간섭이 존재하는 환경 하에서 컨벌루션 부호를 사용하는 일종의 연쇄 시스템으로 고려할 수 있다. 즉, 컨벌루션 부호를 외부 부호화기로 생각할 수 있고, 채널에서 발생하는 심볼간의 간섭과 GMSK 변조기의 가우시안 여파기에 의한 심볼간의 간섭이 결합된 것이 내부 부호화의 역할을 한다고 고려할 수 있다. 이 경우 컨벌루션 부호에 대한 외부 비터비 복호기의 성능을 최적화하기 위해서는 연판정을 출력할 수 있는 내부 등화기법의 필요성이 절대적이다.

SOVA에서는 근사 함수를 직접 계산하여 구하는 방식을 적용하는 것이 아니라 기존의 비터비 알고리즘의 경판정 출력값에 신뢰도 정보를 곱하여 연판정 출력값을 생성하는 방법을 사용한다. 따라서 SOVA에 있어서 기존의 비터비 알고리즘에 부가적으로 추가되어야 하는 사항은 신뢰도 정보를 만들어내는 부분이다. 원래의 비터비 알고리즘에서 신뢰도 정보를 얻기 위한 알고리즘은 참고문헌 [11]에서 제안된 바 있다. 그러나, 이 방식은 복호 과정의 매 순간, 매 상태마다 신뢰도 정보를 계산한 후, 기존의 비터비 알고리즘의 출력값과 그에 해당하는 신뢰도 정보와의 곱을 통하여 연판정 출력값을 생성한다. 따라서 위의 SOVA 알고리즘은 상당히 큰 용량의 신뢰도 메모리를 필요로 한다. 또한 매 상태마다 두 개의 열에 대한 비교가 이루어져야 하므로 상당히 많은 계산을 요한다는 단점을 가진다. 본 논문에서는 간단하면서도 비교적 우수한 성능을 주는 다음과 같은 SOVA 알고리즘을 사용한다.

단계 1) 기존의 비터비 알고리즘으로부터 역추적을 통해 최적 경로를 추정한다.

단계 2) 단계 1)의 최적의 경로를 구성하는 식 (8)로 표현되는 시간 k 에서의 가지 메트릭을 신뢰도 정보로 이용한다.

단계 3) GMSK 신호에 대한 차동 검파를 행한 후 단계 2)에서 구한 신뢰도 정보와 차동 검파기의 출력을 곱하여 연판정된 출력 값을 계산한다.

위와 같은 단계를 통하여 신뢰도 정보를 구할 수 있는 것은 사용하는 MLSE가 식 (8)로 표현되는 메트릭을 최대화 만드는 시퀀스를 추정하는 것이며, 따라서 큰 메트릭이 보다 많은 신뢰도를 가지게 하는 것으로 생각할 수 있기 때문이다. 위와 같은 세 단계로 이루어진 SOVA 알고리즘의 출력에 대하여 비터비 복호기를 사용하여 컨벌루션 부호에 대한 복호 과정을 수행한다. 이때 비터비 복호기에서 사용하는 기준은 신뢰도 레벨을 사용하는 것으로 높은 신뢰도를 가진 출력이 보다 많은 메트릭을 가지도록 만든 후, 경로 메트릭을 최대화 만드는 시퀀스를 복호 시퀀스로 판정하는 방법이다. 이 방식은 최적 경로에 대한 가지 메트릭을 신뢰도 정보로 사용하기 때문에 기존의 경판정 MLSE에 비해 커다란 복잡도의 증가를 막을 수 있다.

III. 채널 추정기 및 비터비 복호기 구현

이장에서는 앞에서 설명한 채널 추정기 및 비터비 복호기를 VHDL을 이용하여 구현한다. GSM 권고안에 따르면 채널 복호기의 규격에는 여러 채널에 대해 각기 다른 규격이 있는데 본 논문에서는 TCH/FS 채널만을 고려한다.

1. 채널 추정기

채널 추정기는 채널 추정 제어기, 최대상관값 계산기, 그리고 위상천이 계산기의 세개의 블록으로 구성되어 있다. 이 중 채널 추정 제어기는 외부로부터 데이터를 받아들여 외부 램에 저장하는 외부 램 주소발생기와, 각 블록들 간의 동작 순서를 제어하는 블록 제어기로 이루어져 있다.

● 채널 추정 제어기

채널 추정 제어기는 채널 추정기의 각 블록들로부터 상태 신호를 받아들여, 블록들이 연속적으로 동작할 수 있도록 각각의 블록들의 리셋 신호를 발생시킨다. 이 블록은 채널 추정기를 구성하는 외부 램 주소 발생기, 최대상관값 검색기와 위상천이 계산기의 세 블록을 순서대로 동작시키는 역할을 한다. 채널 추정 제어기는 채널 추정기의 각 블록들 간의 비동기 동작을 지원한다.

모든 블록은 16 비트의 I, Q 채널의 복소수 데이터를 이용해 계산한다. 그림 3은 구현된 채널 추정기의 블록도를 나타낸다.

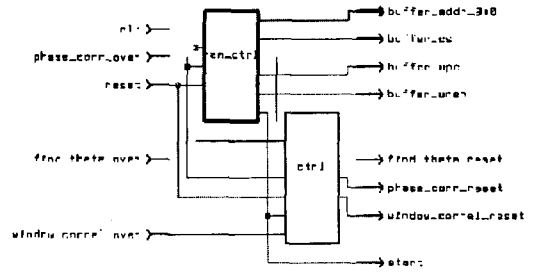


그림 3. 채널 추정기의 블록도
Fig. 3. Block diagram of the channel estimator.

● 최대상관값 계산기

최대상관값 검색기는 채널 통과로 인한 시간천이와 위상천이 정도를 알아내기 위해, 이미 알고 있는 예상 수신 신호와의 상관값을 계산한다. 예상 수신 신호로는 학습열을 GMSK 변조시켜 경판정한 값을 사용한다. 길이가 16인 예상 수신 신호의 윈도우를 1/4비트씩 천이시키며 수신 데이터와 상관값을 계산한 뒤, 최대상관값을 가지는 점을 기준으로 시간지연과 위상지연을 계산할 수 있다. 이 최대상관값 검색기는 최대상관값을 위상천이 계산기로 보내 위상천이를 보상케 한다. 그림 4는 최대상관값 검색기의 블록도를 보여주고 있다.

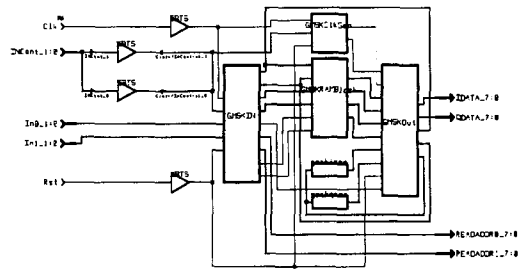


그림 4. 최대상관값 검색기의 블록도
Fig. 4. Block diagram of the maximum correlation detector.

● 위상천이 계산기

위상천이 계산기는 최대상관값 계산기에서 구한 I, Q 채널 최대상관값 사이의 비를 가지고 위상 천이 정도를 계산한다. 이 블록은 입력된 최대상관값 비에서 위상천이의 sin, cos값을 구한 뒤, 수신 신호에 곱함으로써 위상천이를 보상한다. 여기에서는 하드웨어 구성상의 편의를 위해 arc tangent, sine, cosine표를 한번의 나눗셈으로 대체하였다. 그림 5는 위상천이 계

산기의 블록도를 나타낸다.

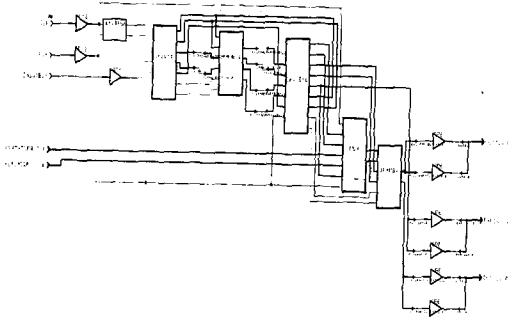


그림 5. 위상천이 계산기의 블록도
 Fig. 5. Block diagram of the phase shift calculator.

2. 비터비 복호기

VHDL을 이용하여 구현된 비터비 복호기는 부호율이 1/2, 구속장 길이가 5, 그리고 생성 다항식이 $G_0=1+D^3+D^4$, $G_1=1+D+D^3+D^4$ 이다. 그림 4는 구현된 비터비 복호기의 전체적인 블록도를 나타낸다.

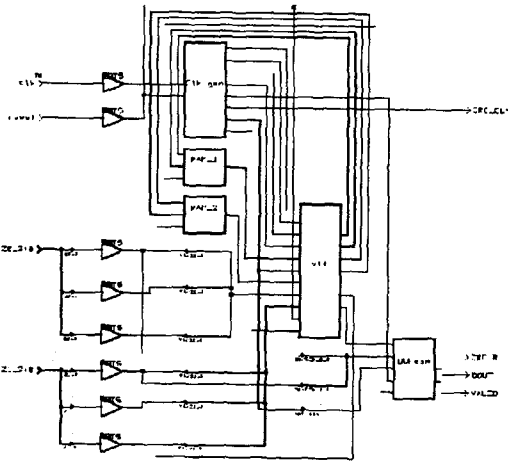


그림 6. 비터비 복호기 전체 블록도
 Fig. 6. Block diagram of the Viterbi decoder.

제작된 비터비 복호기의 내부구조는 main 블록 (Vit), RAM 블록(RAM1 : 32×6 RAM, RAM2 : 32×16 RAM), timing 조절을 위한 클럭 발생 블록, 그리고 버퍼 제어 블록으로 이루어져 있다. Main 블록은 다시 Branch Metric (BM) 블록, Add-Compare-Select (ACS) 블록, RAM 제어 블록, Trace 블록의 5개의 블록으로 이루어져 있다. 그림 7은 비터비 복호기의 주 블록도를 나타낸다.

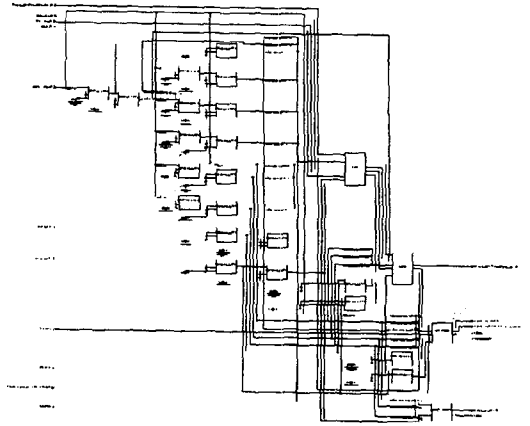


그림 7. 비터비 복호기의 주 블록도
 Fig. 7. Main block diagram of the Viterbi decoder.

• BM 계산 블록

BM 계산 블록은 입력 데이터(3 비트×2)를 병렬로 받아서 이 값과 자체 계산한 기준값을 비교하여 BM을 계산한다. 이 값을 BML, BMH 출력으로 보내어 ACS 블록에서 값을 받도록 한다. 여기서 데이터 입력값(Z0,Z1)은 채널 잡음이 섞인채로 수신된 데이터를 3 비트, 즉 000에서 111까지 8개의 레벨로 판정한 값이다. RAM1으로 부터 상태 매트릭(state metric)을 입력받아서 그 값을 SMP(State Metric Past) 포트를 통해 ACS 블록으로 넘겨준다. 이 때 오버플로우를 방지하기 위해서 이전 단계에서 정규화된 값을 빼주게 된다.

• ACS 블록

ACS 블록은 BM 블록으로 부터 입력받은 BM과 이전 상태의 경로 매트릭(path metric)을 더하고, 각 상태로 도달하는 2가지 경로의 거리를 비교해서, 거리가 짧은 경로를 선택한다. 즉 생존 경로(survival path)를 구해서 그 매트릭값을 RAM1에 저장한다. 또한 DV 포트를 통해서 최단경로 추적을 위한 데이터를 Trace 블록으로 넘겨준다. 본 논문에서는 ACS 블록에서 상태 매트릭을 갱신하는 방법은 드브루진 그래프(de Bruijin graph)를 이용하여 계산횟수를 감소시키도록 하였다.

• RAM 제어 블록

RAM 제어 블록은 내부 RAM인 RAM1과 RAM2 중에서 RAM1을 제어하기 위한 블록이다. 또한 WE 신호를 조절하여 RAM1의 read, write timing을 제

어하며, 어드레스를 발생시키는 역할을 한다. RAM1은 32×6 비트의 크기를 가지고 있으며 경로 메트릭 값을 저장한다. 여기서 32는 16 상태×2, 즉 SMP와 SMN(State Metric Next)의 상태수를 나타내고, 6 비트는 상태 메트릭의 비트수를 나타낸다.

● Trace 블록

Trace 블록은 비터비 복호기에서 최단 경로를 역으로 추적하여 복호된 출력값을 내주는 역할을 한다. ACS로 부터 받은 DV 값을 RAM2(32×16)에 저장하고, 31개의 가지만큼을 추적한다. RAM2에서 16은 상태수를 나타내며, 32는 생존 길이(survivor depth)를 나타낸다. 실제적으로는 31의 Survivor depth를 갖지만 FPGA 자체지원 내부 RAM을 사용하기 위하여 32×16 RAM을 사용하였다. Trace 블록이 한번의 출력을 내는 데에는 128 클럭이 소요되며 하나의 가지를 역으로 추적하는데는 4 클럭이 소요된다. 따라서 역추적에는 모두 31×4 클럭이 소요되며, 4 클럭은 ACS로 부터 DV 값을 읽어오고 메모리에 저장하는데에 소요된다.

IV. 시뮬레이션 결과 및 분석

본 논문에서는 심볼간 간섭을 극복하기 위하여 간략화된 SOVA를 적용한 적응 등화기를 구성한다. 또한 최적의 비트 에러율 성능을 얻기 위하여 MLSE 심볼 검파와 수정된 채널 임펄스 추정 방법을 사용하고, 연판정 출력 기법을 적용한다.

시뮬레이션 채널 환경으로는 PCS를 위한 JTC 권고안에서 설정하고 있는 마이크로 셀 환경을 고려한다. 이 권고안에는 채널을 9개의 환경으로 구분되는데, 본 논문에서는 이 중에서 실외 주행 환경을 고려한다. 또한 이 권고안에서는 주어진 환경하에서 세 개의 다경로 채널들로 정의한다. 채널 A는 자주 발생하는 지연 스프레드가 작은 경우, 채널 B는 종종 발생하는 지연 스프레드의 크기가 중간 정도인 경우, 채널 C는 드물게 발생하는 아주 심한 지연 스프레드를 갖는 경우를 의미한다.

1) VHDL로 구현된 채널 추정기 및 비터비 복호기 이절에서는 구현된 채널 추정기 및 비터비 복호기에 대한 시뮬레이션 결과를 보인다. 또한 VHDL을 이용하여 구현된 채널 추정 방식의 결과를 간단히 살펴본다. 시뮬레이션은 기능(functional) 시뮬레이션을 수행

하며 그 결과를 분석한다. 이 단계는 FPGA 칩에 회로를 구현하기 위한 마지막 단계로서 이 결과를 통하여 구현될 회로의 동작 여부를 판단할 수 있다.

그림 8은 채널추정 제어기, 최대상관값 계산기와 위상천이 계산기의 연속 동작을 두 사이클 반 동안 나타내었다.

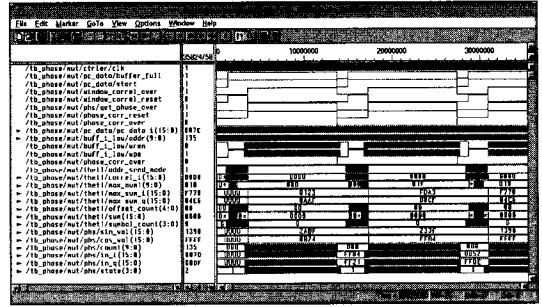


그림 8. 채널 추정기의 기능 시뮬레이션 결과
Fig. 8. Functional simulation result of the channel estimator.

그림 9는 구현된 비터비 복호기의 기능 시뮬레이션 결과를 보여준다. 그림에서 알 수 있듯이 original_delayed는 컨벌루션 부호화되기 전의 데이터를 나타내며 부호화된 값과 비교하기 위해 지연되어 있다. 비터비 복호기의 경우도 최초의 입력이후 초기 출력을 내보내기까지는 어느정도의 지연을 갖음을 알 수 있다. 또한 송신단에서 컨벌루션 부호화기로 입력되는 원래 데이터와 수신단의 비터비 복호기 출력 데이터가 동일함을 알 수 있다.

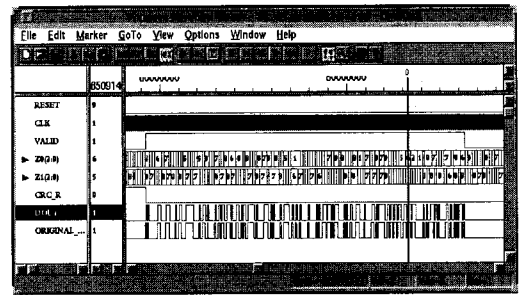


그림 9. 비터비 복호기의 기능 시뮬레이션 결과
Fig. 9. Functional simulation result of the Viterbi decoder.

2) 시뮬레이션 결과 및 분석

실험에서 사용한 비터비 등화기는 16-상태로 구성하였으며, 연판정 출력과 경판정 출력을 주는 등화기

를 각각 사용한다. 성능의 척도로는 프레임 삭제율과 class1b 잔여 비트오율, class2 잔여 비트오율을 사용한다.

그림 10은 2장에서 설명한 식 (4)를 이용하여 채널 추정 값에 대한 보정 과정을 수행한 효과를 나타내고 있다. 실험 환경은 도플러 주파수가 100Hz인 도심지 실외 주행 환경(채널 B)이며, 비터비 등화기를 사용한 경우이다. 실험 결과에서 알 수 있듯이 미드엠블 학습열의 상호상관만을 이용하여 채널 추정을 수행한 경우에는 오차 성능의 정체 현상을 볼 수 있지만, 식 (4)를 이용하여 보정 과정을 수행하게 되면, 미드엠블 학습열의 비이상적인 상호상관 특성으로 인한 성능의 정체 현상을 막을 수 있음을 확인할 수 있다.

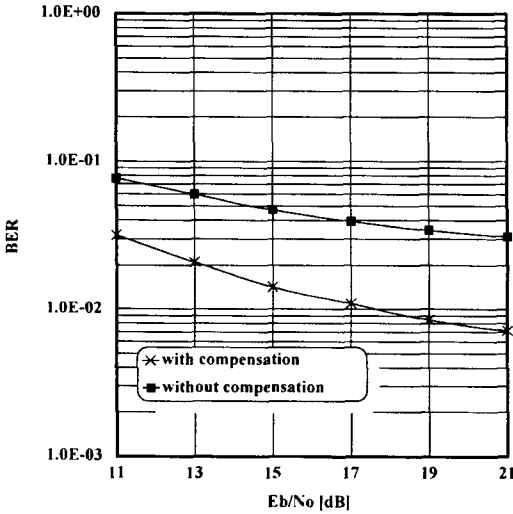
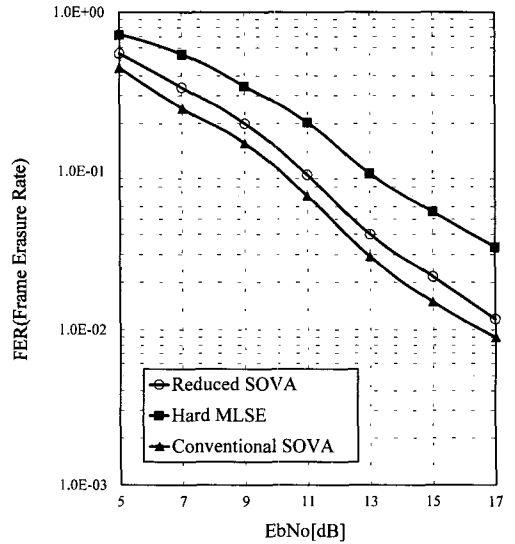


그림 10. 채널 보정 효과
Fig. 10. Effect of the channel compensation.

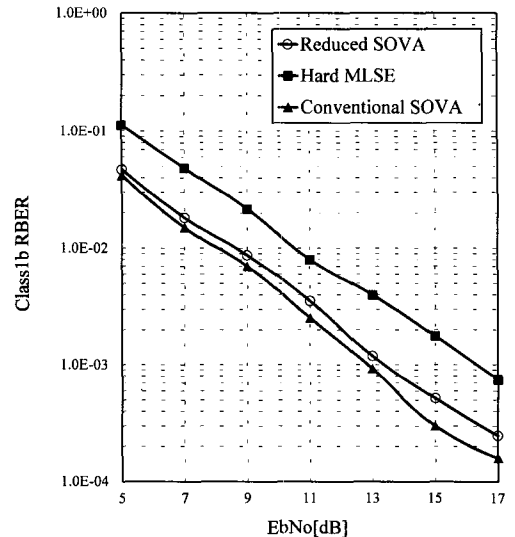
그림 11은 도심지 실외 주행 환경(채널 B)에서의 제안된 시스템의 성능을 보여 주고 있다. 이 채널은 최대 시간 지연이 19000ns로 약 5심볼 구간동안의 상호 심볼간 간섭이 발생하는 주파수 선택적 페이딩 채널으로 생각할 수 있다. 그림 11 (a)는 3가지 등화 방식에 따른 프레임 삭제율 성능 곡선을 나타낸다. 그림을 통하여 볼 수 있는 바와 같이, 간략화된 SOVA의 경우에 17 [dB]에서 1.2×10^{-2} 의 프레임 삭제율 성능을 주는 것을 볼 수 있다. 또한 간략화된 SOVA와 경판정 MLSE 간의 성능 차이는 1.5~3 [dB] 정도를 보이고 있다. 반면에 기존의 SOVA를 적용한 경우에 비해서는 약 0.5~3 [dB] 정도의 성능 저하를

보이고 있다. 그림 11 (b)는 각 등화 방식에 따른 class1b 비트오율 성능 곡선을 나타낸다. 비트오율 성능도 프레임 삭제율 성능 곡선과 비슷한 모양을 가지고 있다. 간략화된 SOVA의 경우 경판정된 MLSE에 비하여 1.5~4 [dB]의 성능 향상을 보이고 있지만, 기존의 SOVA에 비해서 성능 저하를 보이고 있다. 그림 11 (c)는 148 비트의 경로 메모리를 가지는 방식에 따른 class 2 잔여 비트오율 성능 곡선이다.

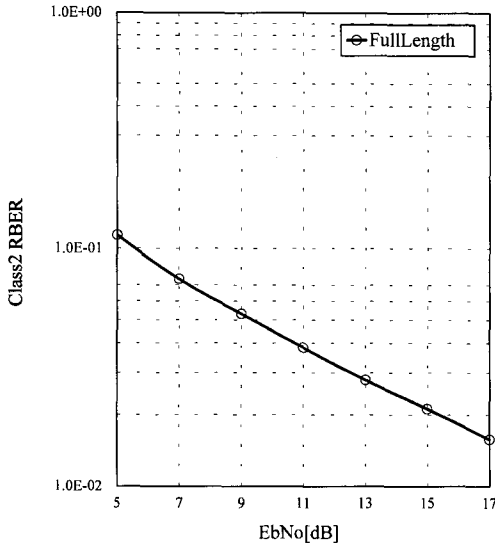
앞의 2-3절에서 설명한 바와 같이 간략화된 SOVA는 높은 신뢰도를 가진 출력이 보다 많은 메트릭을 가지도록 만든 후, 경로 메트릭을 최대도록 만드는 시퀀스를 복호 시퀀스로 판정하는 방법이다.



(a) FER



(b) class I residual BER



(c) class II residual BER

그림 11. 도심지 실외의 주행 환경(채널 B)의 성능
Fig. 11. Performance result of the outdoor vehicular urban high-rise (channel B).

따라서 이 방식은 최적 경로에 대한 가지 메트릭을 신뢰도 정보로 사용하기 때문에 기존의 SOVA에 비해 커다란 복잡도의 증가를 막을 수 있다.

V. 결론

본 논문에서는 경판정 MLSE에 비해 하드웨어적 복잡도를 유지하면서 신뢰성있는 성능을 줄 수 있는 SOVA를 적용한 등화 기법을 제안하였다. 또한 등화기의 3 비트로 연판정된 출력에 대해서 효율적으로 동작할 수 있는 비터비 복호기를 VHDL을 이용하여 구현하였다. 제안된 시스템의 성능을 JTC 권고안에서 설정하고 있는 마이크로 셀 환경에서 분석하였다. VHDL 설계 결과로부터 구현된 채널 복호기가 제대로 동작함을 확인할 수 있었다. 또한 전체 시스템에 대한 시뮬레이션 결과로부터 SOVA의 경우가 경판정된 MLSE에 비하여 프레임 삭제율과 비트오율 관점에서 성능 향상을 보임을 확인할 수 있었다.

참고 문헌

[1] S. U. Qureshi, "Adaptive Equalization," IEEE Proc., vol. 73, pp. 1349-1387, Mar.

1982.

- [2] B. Widrow and S. D. Sterns, Adaptive Signal Processing, Prentice-Hall, 1985.
- [3] J. G. Proakis, Digital Communications, McGraw-Hill, 1989.
- [4] J. G. Proakis and J. H. Miller, "An Adaptive Receiver for Digital Signaling through Channel with Intersymbol Interference," IEEE Trans. Inform. vol. IT-15, pp.484-497, July 1969.
- [5] J. G. Proakis, "Adaptive Equalization for TDMA Digital Mobile Radio," IEEE Trans. on Veh Tec., vol.40, pp.333-341, May, 1991.
- [6] G. D. Forney, "Maximum-Likelihood Sequence Estimation of Digital Sequences in the Presence of Intersymbol Interference," IEEE Trans. Inform. vol. IT-18, pp. 363-378, May 1972.
- [7] G. David Forney, Jr., "The Viterbi Algorithm," in Proc. of the IEEE, vol.61, pp. 268-278, Mar. 1973.
- [8] Dacfez Dzung, "Error probability of MLSE equalization using imperfect channel measurements," in Proc. of ICC'91, pp. 558-562, 1991.
- [9] Deployment/Testing AD HOC Group, "Technical Rreport on RF Channel Characterization and System Deployment Modeling," JTC(AIR)/94.0923-065R6.
- [10] Shigeru Ono, Hiroshi Hayashi, Tomoko Tanaka and Noriaki Kondoh, "A MLSE receiver for the GSM digital cellular system," in Proc. of VTC'94, pp.230-233, 1994.
- [11] P. Hoehner and J. Hagenauer, "A Viterbi Algorithm with Soft-Decision Outputs and Its Application," in Proc. of Globecom'88, pp.47.1.1-47.1.7, 1988.
- [12] N. Seshadri and C. Sunderberg, "List Viterbi Decoding Algorithm with applications," IEEE Trans. on Comm., vol.42, No.2/3/4, pp.313-323, Feb./Mar./ Apr. 1994

저 자 소 개



金周應(正會員)

1996년 2월 연세대학교 전자공학과 학사. 1998년 2월 연세대학교 전자공학과 석사. 1998년 3월 ~ 현재 연세대학교 전자공학과 박사과정. 주관심 분야는 이동통신, multi-carrier CDMA

尹碩鉉(正會員) 第33卷 A編 第10號 參照

현재 연세대학교 전자공학과 박사과정



李在燻(正會員)

1994년 2월 연세대학교 전자공학과 학사. 1996년 2월 연세대학교 전자공학과 석사. 1996년 3월 ~ 현재 연세대학교 전자공학과 박사과정. 주관심 분야는 이동통신, 분산 안테나 및 핸드오프

康昌彥(正會員) 第31卷 A編 第4號 參照

현재 연세대학교 전자공학과 교수