

박판화된 다층기판에서 Dual-offset Stripline 구조의 누화 해석 (Analysis of Crosstalk of Dual-offset Stripline in a FR-4 High Multilayer PCB)

李命鎬*, 田溶一*, 全炳胤*, 朴權喆*, 姜錫烈*

(Moung Ho Lee, Yong Il Jun, Byoung Yoon Cheon, Kwon Chul Park, and Seok Youl Kang)

요 약

본 논문에서는 FR-4 박판화된 다층 기판에서 dual-offset stripline 구조의 근단누화 계수를 해석적인 방법과 HSPICE 시뮬레이션 방법에 의해 구했으며 해석적인 방법의 계산 오차와 적용 범위를 정의 하였다. 그리고, 복잡한 dual-offset stripline 구조에서 고속 FCT(Fast CMOS TTL)에 의한 근단 및 원단누화 계수를 HSPICE를 사용 계산 하였다. 이러한 결과를 사용하여 1[pF] 커패시터로 종단된 복잡한 dual-offset stripline 구조에서 근단누화 및 원단누화 결합 구조를 해석 하였으며 배선 등급(grade) 규격에 의해 배선 되는 경우 근단누화 및 원단누화를 검토 하였다.

Abstract

In this paper, we find the values of near-end crosstalk coefficients in dual-offset stripline of a FR-4 multilayer PCB by an analytic method and a HSPICE simulation method, define calculation errors in an analytic method and the application range, simulate near-end crosstalk coefficients of the FCT(Fast CMOS TTL) in complicated dual-offset stripline by HSPICE and analyze near-end crosstalk and far-end crosstalk coefficients in dual-offset stripline. So, we analyze coupling structure of the near-end crosstalk and far-end crosstalk in the complicated dual-offset striplines that are 1[pF] capacitors terminated, and define a coupling formula of near-end crosstalk and far-end crosstalk coefficients in complicated dual-offset striplines.

I. 서 론

현재 ATM 교환 시스템의 throughput이 증가 하고 있으며 이 throughput이 증가하는 것에 따라 규모가 커지는 스위치 회로팩을 어떻게 실장하는 가가 중요한 문제로 대두 되고 있다. 이러한 문제를 해결하기 위해 선진국에서는 고집적도의 PGA(Pin Grid Array)

Array) 소자들을 MCM(Multichip Module)화 하여 고밀도 실장을 하고 있다. 그러나, 현재 우리나라의 경우 MCM 기술 수준은 기초 기술 연구 단계이어서 MCM 기술을 사용한 스위치 회로팩 제작은 거의 불가능하다. 따라서, MCM 기술을 사용하지 않고 기존의 FR-4 다층 기판에 ASIC(Application Specific Integrated Circuit)들을 사용하여 스위치 회로팩을 구현 하려면 가장 큰 문제가 ASIC과 ASIC 사이 고속인 신호 연결선이 길어지는 것에 의한 배선간 누화이며 특히, 고밀도 실장을 하는 경우 배선 수가 더 많아져 문제는 더 심각하다. 스위치 규모가 커짐에 따라 증가되는 고속 디지털 신호의 배선을 FR-4 다층 기

* 正會員, 韓國電子通信研究院 ATM技術研究部
(Electronics and Telecommunications Research Institute)
接受日字: 1997年9月5日, 수정완료일: 1998年3月12日

판으로 어느 수준까지 구현 가능한지 현실점에서 정확히 알 수 없다. 따라서, 본 논문에서는 FR-4 다층 기판에 스위치 회로팩 ASIC의 구성 소자인 고속 FCT(Fast CMOS TTL)가 여러 가지 배선 구조 중 배선 밀도가 가장 높은 dual-offset stripline 구조로 배선 되는 경우 배선간의 누화 현상을 HSPICE를 사용 시뮬레이션 하였으며, 그 결과를 사용 누화 결합 해석과 고밀도 배선 가능 한계를 검토 하였다. 그리고 또, 누화 억제 방법 및 누화를 최소화하는 dual-offset stripline 구조의 배선 배치 구조에 대하여서도 기술 하였다.

현재 누화 관련 발표된 논문은 microstripline 혹은 stripline에 관한 것이며 거의 대부분 microstripline 구조에서 IC Chip bond wires 혹은 leadframes 실장에 관련된 것 이다. 단순한 구조의 누화 해석 방법은 여러 가지 발표 되었으며 그 중 전자장 수치 해석적 방법이 비교적 정확한 결과를 얻으나 배선 구조가 복잡한 경우 해석 과정이 간단치 않으며 복잡 하다. 본 논문에서는 사용 방법이 복잡하지 않으며 확장성 및 응용성이 좋고 field solver와 결과를 일치 시켜 비교적 정확한 결과를 얻을 수 있는 HSPICE H95.1 버전을 사용하여 시뮬레이션 하였다.

본 논문의 내용은 I. 서론, II. Dual-offset stripline 의 누화 계수 계산 방법, III. Dual-offset stripline 구조의 누화 결합 해석과 누화 계산, IV. 결론 순으로 구성되어 있다.

II. Dual-offset stripline의 누화 계수 계산 방법

Dual-offset stripline 구조는 스트립 전송 선로의 한가지 변형이며 PCB가 박판화 되는 경우 다른 구조 보다 고밀도 배선이 가능하고 임피던스 제어가 용이한 장점을 가지나 잠정적인 누화 문제를 가지고 있다. 따라서, 본 논문에서는 아직 완전히 알려지지 않은 dual-offset stripline에 관한 자세한 누화 해석을 하였다. Dual-offset stripline 구조에서 누화 계수의 계산 방법은 해석적 방법과 HSPICE를 사용하는 수치 해석적인 방법이 있다. 실제 복잡한 구조를 가지는 전송 선로에 해석적 방법을 적용하기 어려운 경우가 많으며 적용 가능 하더라도 근사 계산을 하므로 계산 오차를 발생 시킬 수 있다. 이러한 경우 HSPICE를 사

용하면 어렵지 않게 누화 계수를 계산 할 수 있다. 본 장에서는 이 두 가지 방법을 자세하게 기술하며 그 결과를 비교 검토 한다.

1. 스트립 전송 선로의 해석적 누화 계수 계산 방법
우선 dual-offset stripline의 누화 계수를 계산 하기 전에 스트립 전송 선로의 해석적인 누화 계수를 계산 할 필요가 있다. 스트립 전송 선로의 누화량을 계산 하기 위해 Cohn [1]에 의해 계산된 기수 모드 (odd mode) 임피던스 Z_{oo} 와 우수 모드 (even mode) 임피던스 Z_{oe} 를 사용하여 계산 할 수 있다¹². 누화량 계산식을 유도하기 전에 그림1과 같은 구조에서 $\frac{W}{b} \geq 0.35$, 배선의 두께 $t = 1oz$, 전송 선로의 입력 임피던스는 정할 되었다고 가정 한다.

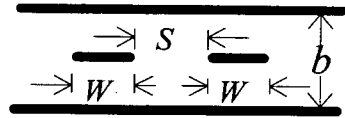


그림 1. 측면 결합 병렬 선로
Fig. 1. Side coupled parallel lines.

$$Z_{oo} = \frac{94.15/\sqrt{\epsilon_r}}{\frac{W}{b} + \frac{\ln 2}{\pi} + \frac{1}{\pi} \ln(1 + \coth(\frac{\pi}{2} \cdot \frac{S}{b}))} [\Omega] \quad (1)$$

$$Z_{oe} = \frac{94.15/\sqrt{\epsilon_r}}{\frac{W}{b} + \frac{\ln 2}{\pi} + \frac{1}{\pi} \ln(1 + \tanh(\frac{\pi}{2} \cdot \frac{S}{b}))} [\Omega] \quad (2)$$

단, ϵ_r = 상대 유전율

$$Z_o \sqrt{\epsilon_r} = \frac{\eta}{(C_e/\epsilon)} \quad (3)$$

여기서, Z_o 는 특성 임피던스를 나타내며, η 는 자유 공간의 임피던스, C 는 두 금속판 사이의 단위 길이 당 용량을 나타낸다. 또, ϵ 은 스트립 전송 선로 유전체의 유전율을 나타낸다.

식(3)에서 우수 모드 경우 다음과 같이 주어진다.

$$Z_{oe} \sqrt{\epsilon_r} = \frac{\eta}{(C_e/\epsilon)} \quad (4)$$

단, C_e = 우수 모드에서 단위 길이 당 용량 [F/m]

식(2)와 (4)에서 단위 길이 당 우수 모드 용량 C_e 는 다음과 같이 주어진다.

$$C_e = 4\epsilon \left[\frac{W}{b} + \frac{\ln 2}{\pi} + \frac{1}{\pi} \ln(1 + \tanh(\frac{\pi}{2} \cdot \frac{S}{b})) \right] \quad (5)$$

단위 길이 당 기수 모드 용량 C_o ^[3]는 다음과 같이 주어지며 C_m 은 단위 길이 당 결합 용량을 나타낸다.

$$C_o \approx C_e + 2C_m \tag{6}$$

$$Z_{oe} = \frac{1}{vC_2}, Z_{oo} = \frac{1}{vC_o} \tag{7}$$

단, v : 유전체 속의 전파 속도 [m/sec]

결합 계수는 다음식으로 주어진다.

$$K_m = \frac{Z_{oe} - Z_{oo}}{Z_{oe} + Z_{oo}} \tag{8}$$

식(6), (7), (8)에서 다음과 같은 관계식을 얻는다.

$$C_m = \frac{K_m}{1 - K_m} C_e \tag{9}$$

단위 길이 당 기수 모드 인덕턴스를 L_o 라 하고 단위 길이 당 우수 모드 인덕턴스를 L_e 라 하면 다음과 같이 각각 나타낼 수 있다.

$$L_o = Z_{oo}^2 C_o = \frac{1}{v^2 C_o} = \frac{Z_{oo}}{v} \tag{10}$$

$$L_e = Z_{oe}^2 C_e = \frac{1}{v^2 C_e} = \frac{Z_{oe}}{v} \tag{11}$$

단위 길이 당 결합 인덕턴스 L_m 은 다음식으로 주어진다.

$$L_m = \frac{1}{2}(L_e - L_o) \tag{12}$$

식(10), (11), (12)에서 다음식을 얻는다.

$$L_m = Z_{oo} \cdot Z_{oe} \cdot C_m = Z_o^e \cdot C_m \tag{13}$$

누화에는 근단누화(near-end crosstalk)와 원단누화(far-end crosstalk)가 있으며 근단누화 계수를 K_b 라 하고 원단누화 계수를 K_f 라 하면 각각 다음식으로 주어진다.

$$K_b = \frac{l}{4\tau} \left(\frac{L_m}{Z_o} + C_m Z_o \right) \tag{14}$$

$$K_f = \frac{-l}{2} \left(\frac{L_m}{Z_o} - C_m Z_o \right) \tag{15}$$

식(13), (14), (15)와 $Z = Z_o C$ 식에서 K_b 와 K_f 는 다음과 같이 계산 된다.

$$K_b = \frac{C_m}{2C} \tag{16}$$

$$\text{단, } C = \frac{\eta\epsilon}{Z_o\sqrt{\epsilon_r}}, \quad K_f = 0 \tag{17}$$

즉, $K_f = 0$ 이므로 스트립 전송 선로에서는 근단누화만 존재하고 원단누화는 발생하지 않음을 알 수 있다.

2. Dual-offset stripline의 해석적 누화 계수 계산 방법

Homogeneous 매질 내에 신호가 전파되는 스트립 전송 선로와 dual-offset stripline에서 각각의 특성 임피던스를 계산 할 수 있으면 dual-offset stripline을 스트립 전송 선로로 근사화하여 앞에서 유도한 식을 사용하여 누화를 계산 할 수 있다. 이 때 근사화된 스트립 전송 선로의 유전율은 dual-offset stripline 구조에서 계산 할 수 있으며 등가 유전율 ϵ_{refl} 로 정의 하자.

1) 스트립 전송 선로의 특성 임피던스 계산

우선 dual-offset stripline의 해석적인 누화 해석을 하기 위해 등가 유전율 ϵ_{refl} 을 구해야 하며 이 등가 유전율을 구하기 위해 스트립 전송 선로의 특성 임피던스와 dual-offset stripline의 특성 임피던스를 구해야 한다.

스트립 전송 선로의 특성 임피던스는 2가지 조건에 따라 다음식으로 각각 주어진다.

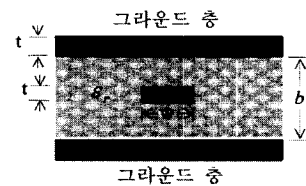


그림 2. 스트립 전송 선로 구조
Fig. 2. A structure of a stripline.

$$\frac{w}{b-t} \leq 0.35 \text{의 경우} \\ Z_o\sqrt{\epsilon_r} = 60 \ln \left(\frac{4b}{\pi d} \right) [\Omega] \tag{18}$$

$$d = \frac{w}{2} \left[1 + \frac{t}{\pi W} \left(1 + \ln \frac{4\pi W}{t} + 0.5\pi \left(\frac{t}{W} \right)^2 \right) \right] \tag{19}$$

$$\frac{w}{b-t} \geq 0.35 \text{의 경우} \\ Z_o\sqrt{\epsilon_r} = \frac{94.15}{\left(\frac{w}{b} + \frac{C_f}{0.0885\epsilon_r} \right) \left(1 - \frac{t}{b} \right)} [\Omega] \tag{20}$$

$$C_f = \frac{0.0885\epsilon_r}{\pi} \left[\frac{2}{1-t} \ln\left\{ \frac{1}{1-\frac{t}{b}} + 1 \right\} - \left(\frac{1}{1-\frac{t}{b}} - 1 \right) \ln\left\{ \frac{1}{(1-\frac{t}{b})^2} - 1 \right\} \right] [bF/Cm] \quad (21)$$

2) Dual-offset stripline의 특성 임피던스 계산

앞에서 기술한 등가 유전율 ϵ_{ref} 을 계산하기 위해 dual-offset stripline의 특성 임피던스를 구한다. Dual-offset stripline 구조에서 한 개의 배선 특성 임피던스는 근사적으로 다음 2가지 조건에 의해 각각 주어진다. 그림3에서 아래와 위의 신호 배선은 서로 직교(orthogonal) 하며 좌우 신호 배선은 서로 평행 하다고 가정 한다.

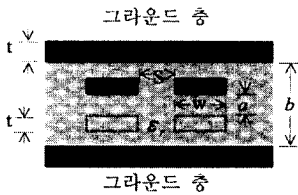


그림 3. Dual-offset striplines 구조
Fig. 3. A structure of dual-offset striplines.

$\frac{w}{b-t} \leq 0.35$ 의 경우

$$Z_0\sqrt{\epsilon_r} = \frac{\eta}{C} [\Omega] \quad (22)$$

$$\frac{C}{\epsilon} = \frac{C_{p1}}{\epsilon} + \frac{C_{p2}}{\epsilon} + \frac{2C_L}{\epsilon} + \frac{2C_R}{\epsilon} \quad (23)$$

$$\frac{w_n}{b} = \frac{0.07(1-\frac{t}{b}) + \frac{w}{b}}{1.2} \quad (24)$$

$$\frac{C_{p1}}{\epsilon} = \frac{2W_n/(b-a)}{1-t/(b-a)} \quad (25)$$

$$\frac{C_{p2}}{\epsilon} = \frac{2W_n/(b+a)}{1-t/(b+a)} \quad (26)$$

$$\frac{C_L}{\epsilon} = \frac{1}{\pi} \left[\frac{2}{1-t/(b-a)} \ln\left\{ \frac{1}{1-t/(b-a)} + 1 \right\} - \left(\frac{1}{1-t/(b-a)} - 1 \right) \ln\left[\frac{1}{\{1-t/(b-a)\}^2} - 1 \right] \right] \quad (27)$$

$$\frac{C_R}{\epsilon} = \frac{1}{\pi} \left[\frac{2}{1-t/(b+a)} \ln\left\{ \frac{1}{1-t/(b+a)} + 1 \right\} - \left(\frac{1}{1-t/(b+a)} - 1 \right) \ln\left[\frac{1}{\{1-t/(b+a)\}^2} - 1 \right] \right] \quad (28)$$

$\frac{w}{b-t} \geq 0.35$ 의 경우

$$Z_0\sqrt{\epsilon_r} = \frac{\eta}{C} [\Omega] \quad (29)$$

$$\frac{C}{\epsilon} = \frac{C_{p1}}{\epsilon} + \frac{C_{p2}}{\epsilon} + \frac{2C_L}{\epsilon} + \frac{2C_R}{\epsilon} \quad (30)$$

$$\frac{C_{p1}}{\epsilon} = \frac{2W/(b-a)}{1-t/(b-a)} \quad (31)$$

$$\frac{C_{p2}}{\epsilon} = \frac{2W/(b+a)}{1-t/(b+a)} \quad (32)$$

$$\frac{C_L}{\epsilon} = \frac{1}{\pi} \left[\frac{2}{1-t/(b-a)} \ln\left\{ \frac{1}{1-t/(b-a)} + 1 \right\} - \left(\frac{1}{1-t/(b-a)} - 1 \right) \ln\left[\frac{1}{\{1-t/(b-a)\}^2} - 1 \right] \right] \quad (33)$$

$$\frac{C_R}{\epsilon} = \frac{1}{\pi} \left[\frac{2}{1-t/(b+a)} \ln\left\{ \frac{1}{1-t/(b+a)} + 1 \right\} - \left(\frac{1}{1-t/(b+a)} - 1 \right) \ln\left[\frac{1}{\{1-t/(b+a)\}^2} - 1 \right] \right] \quad (34)$$

3) Dual-offset stripline을 스트립 전송 선로로 근사화 한 경우 등가 유전율 및 누화 계산

그림2 스트립 전송 선로 구조와 그림3 dual-offset stripline 구조는 homogeneous 매질을 통하여 신호가 전파 된다. 이 경우 두 구조의 차이점은 전송 선로의 단위 길이당 용량에서 약간의 차이가 발생 할 수 있다. 즉, dual-offset stripline 구조에서 신호 배선이 스트립 전송 선로 신호 배선 보다 약간 더 어느 한쪽 그라운드 층에 접근 하기 때문에 단위 길이당 결합 용량이 스트립 전송 선로 구조 보다 약간 더 증가 한다. 따라서, 그림2 스트립 전송 선로 구조와 그림3 dual-offset stripline 구조에서 각각의 특성 임피던스를 같다고 놓고 스트립 전송 선로 ϵ_r 로 풀 것이 등가 유전율 ϵ_{ref} 이다. 식(18), 식(22)를 사용 하여 식(35)를 얻을 수 있으며, 식(20), 식(29)를 사용 하여 식(36)을 얻는다.

$\frac{w}{b-t} \leq 0.35$ 의 경우

$$\epsilon_{ref} = \left(\frac{60C}{\epsilon_0\sqrt{\epsilon_r}\eta} \ln\left(\frac{4b}{\pi d}\right) \right)^2 \quad (35)$$

$\frac{w}{b-t} \geq 0.35$ 의 경우

$$\epsilon_{ref} = \frac{94.15C}{\epsilon_0\sqrt{\epsilon_r}\eta \left(\frac{w}{b} + \frac{C_f}{0.0885\epsilon_r} \right)} \quad (36)$$

위에서 구해진 등가 유전율 ϵ_{ref} 를 사용 하여 식(16)의 스트립 전송 선로 근단누화 계수 K_t 를 구하면 해석적 방법에 의한 dual-offset stripline의 근단누화 계수를 구하는 것이되며 그 결과를 그림4에 나타내었다.

3. HSPICE에 의한 dual-offset stripline 누화 시뮬레이션 방법

HSPICE^[4]는 배선을 많은 부분(section)으로 나누어 각각 분포 정수 회로를 사용 반복 계산하여 그 결과를 얻는다. 그림3의 구조를 HSPICE로 시뮬레이션 하기 위해서는 신호 원(signal source)과 회로 정의(circuit definition)를 해야 한다. 신호 원은 FCT(Fast CMOS TTL)의 상승 시간 $t_r=1.5ns\sim6ns$ 에서 1.5ns를 선택 하고 파형 모양은 진폭이 10V인 스텝 입력으로 하였으며 회로 정의는 R, L, C 분포 정수 회로인 lossy U model^[4]을 사용 하였다. 그리고, 선로의 입출력 임피던스는 50Ω으로 정합 하였고, 50cm 전송 선로는 150 부분(section)으로 나누었으며 각각의 부분(section)은 L, C, R 분포 정수 회로 모형을 사용 하였다. 본 논문에서 사용한 HSPICE H95.1 버전은 field solver와 결과를 일치 시킨 버전이므로 비교적 정확한 결과를 얻을 수 있다. 누화 계수와 누화량과의 관계는 다음과 같이 정의 되며 해석적 결과와 HSPICE에 의한 시뮬레이션 결과를 비교 하기 위해 전송 선로 길이와 누화량 계산 방법에 대하여 검토 해 볼 필요가 있다.

$t_r < 2t_d$ 일 때

$$V_{X-Talk} = K_b \times V_{i(Swing)} \quad (37)$$

단, $t_d = (\sqrt{LC})/l = \frac{\sqrt{\epsilon_r}}{v} l$, l = 배선 길이 [m]

- V_{X-Talk} = 근단누화량 [V]
- K_b = 근단누화 계수
- t_r = 누화 신호의 상승 시간 [sec]
- t_d = 배선 길이에 의한 지연 시간 [sec]
- η = 자유 공간의 임피던스 376.7 [Ω]
- ϵ = PCB의 유전율 [F/m]
- ϵ_r = PCB의 상대 유전율
- $V_{i(Swing)}$ = 입력 전압 스윙 폭 [V]

$t_r > 2t_d$ 일 때

$$V_{X-Talk} = K_b \times V_{i(Swing)} \times \frac{2t_d}{t_r} \quad (38)$$

HSPICE에서 주어지는 TDR(Time Domain Reflection method) 시뮬레이션 결과는 각 마디(node)의 파형(전압)으로 주어지므로 해석적 방법에

의한 결과와 HSPICE에 의한 시뮬레이션 결과를 비교 하려면 식(37)이 성립하여야 되고 이 식의 조건식을 풀면 FR-4 에폭시 수지 기판에서 배선 길이가 14.22cm 보다 크면 만족함을 알 수 있다. 따라서, 배선 길이 50cm 로 시뮬레이션 하더라도 문제가 없다.

4. 해석적 방법과 HSPICE 방법에 의한 근단누화 계수 K_b 계산 결과

그림3의 구조에서 본 논문에서 제시한 해석적 방법과 HSPICE로 시뮬레이션한 방법에 의한 근단누화 계수 K_b [%]를 그림4에 나타냈으며 해석적 방법에 의한 K_b 값의 오차 값은 최대 약 ±25[%]가 된다. 앞에서 기술한 것 같이 해석적 방법에 사용된 Cohn식에서 스트립 전송 선로 배선의 가장자리(fringing)^{[11], [12], [15]} 용량을 근사화 하였기 때문에 배선간 간격에 따라 오차 값이 변하고 있다. 따라서, 식(16)의 유도 과정에 정의한 가정 외에 $\frac{a}{b}$ 에 대한 추가적인 가정이 필요하다. 즉, 그림4에서 오차가 약 ±25[%] 이내로 계산되기 위해서는 $0.3 < S/b < 0.7$ 조건이 필요하다.

따라서, 본 논문에서 제시한 dual-offset stripline을 등가 유전율 E_{reff} 인 스트립 전송 선로로 근사화하여 누화 해석 하더라도 문제가 없음을 알 수 있다.

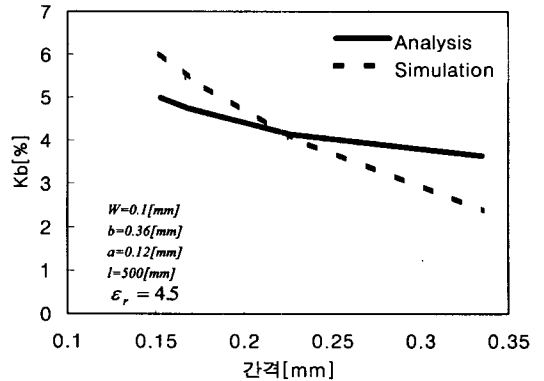


그림 4. 해석적 방법과 HSPICE의 시뮬레이션 방법에 의한 근단누화 계수 K_b [%]

Fig. 4. Near-end crosstalk coefficients K_b [%] by an analytic and a HSPICE simulation methods.

III. Dual-offset stripline 구조의 누화 결합 해석과 누화 계산

본 장에서는 dual-offset stripline 구조에서 누화

가 결합되는 최악의 경우 몇 가지 예를 정의 하여 근 단누화 계수와 원단누화 계수를 lossy U model을 사용 HSPICE로 시뮬레이션 하였다. 이러한 결과에 의해 누화 결합 구조와 배선 가능 한계를 해석 하였다.

1. 단순한 dual-offset stripline 누화 결합 구조에서 누화 해석

2개의 배선이 평행으로 배선되는 dual-offset stripline 누화 결합 구조에서 종단이 개방 되는 경우 근단 및 원단누화가 어떤 형태로 결합되는 지 정량적으로 해석해 볼 필요가 있다. 우선 배선의 종단이 개방된 구조에서 근단 및 원단누화 결합을 정량적으로 해석 하기 위해 다음과 같은 구조A를 정의 하자. 해석 방법은 수식에 의한 방법과 HSPICE 시뮬레이션에 의한 방법이 있으나 HSPICE에 의한 방법이 더 정확하므로 이 방법을 사용 한다. 구조A의 시뮬레이션 입력 조건은 다음과 같다고 가정한다.

- 배선 Act, Pass의 출력 임피던스는 1pF로 병렬 종단
- 비대칭 $a/2 = 0.06$ [mm] 임(그림3 참조)
- 입력 신호는 상승 시간이 1.5ns인 10V 스텝 파형
- 그림5에서 배선 Act 에 위의 입력 신호 1개를 가함
- 배선 Act, Pass의 입력 임피던스는 50Ω으로 정함

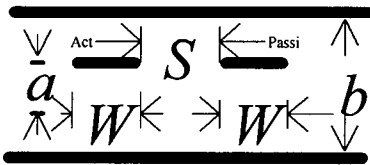


그림 5. 시뮬레이션 구조 A
Fig. 5. A Simulation structure A.

그림5의 근단 및 원단누화 계수를 각각 K_b, K_r 라고 하여 표1에 HSPICE 시뮬레이션 결과를 나타내었다.

표 1. 구조A의 근단 및 원단누화 계수

Table 1. Near-end crosstalk and far-end crosstalk coefficients in the structure A.

s [mm]	0.50	0.335	0.226
K_b [%]	1.48	2.41	4.09
$K_r \cdot 10^3$	0.053	0.109	0.212

단, 구조A에서 $W=0.1mm, a=0.12mm, b=0.36mm, l=500mm, \text{동박 두께 } t=1oz$

그림2와 그림3에서 그림3의 경우 그림2 보다 특성 임피던스가 작으며 비대칭 구조에 의해 용량성 결합을 증가 시킨다. 이 증가 되는 단위 길이당 결합 용량을 ΔC_m 이라고 하면 식(14), 식(15)에서 다음과 같이 나타낼 수 있다.

$$\begin{aligned}
 K_b &= \frac{1}{4\tau} \left\{ \frac{L_m}{Z_0} + (c_m + \Delta C_m)Z_0 \right\} \\
 &= \frac{1}{4\tau} \left\{ \frac{C_m Z_0^2}{Z_0} + (C_m + \Delta C_m)Z_0 \right\} \quad (39) \\
 &= \frac{1}{4} \frac{(2C_m + \Delta C_m)}{C} \text{ 단, } \tau = Z_0 C
 \end{aligned}$$

$$\begin{aligned}
 K_r &= -\frac{1}{2} \left\{ \frac{L_m}{Z_0} - (C_m + \Delta C_m)Z_0 \right\} \\
 &= \frac{1}{2} \Delta C_m Z_0 \quad (40) \\
 &= \frac{\Delta C_m \tau}{2C}
 \end{aligned}$$

Dual-offset stripline 구조에서 원단누화는 positive 극성을 가지며 ΔC_m 의 크기는 표1, 식(40), 식(13)에서 약 2 ~ 8 [pF/m] 정도 계산 되었으며 배선 간격이 좁을 수록 큰 값이 되었다. 실제 원단누화는 종단 임피던스가 정합된 경우는 문제가 되지 않으나 종단이 개방된 경우는 ΔC_m 을 통한 미약한 전류가 MΩ 정도의 인접 배선 종단에 순방향으로 강하되어 근단누화에 비교 될 수 있는 큰 값이 된다. 스트립 전송 선로의 단위 길이당 결합 용량 C_m 은 식(9)에서 약 7.5 ~ 12 [pF/m] 정도 계산 되었으며 배선 간격이 좁을 수록 큰 값이 되었다. 따라서, dual-offset stripline의 비대칭성은 배선 간격이 좁은 경우 ΔC_m 이 C_m 에 비교 될 수 있는 양이 되어 누화 계산 시 생략 할 수 없는 인자가 된다. 본 논문에서는 이 ΔC_m 의 영향을 ϵ_{ref} 로 근사화 하여 전송 선로의 입출력 임피던스가 정합이 된 경우 해석적인 결과를 얻었으며 그림4에 그 결과를 나타내었다. 이러한 결과에서 dual-offset stripline은 배선의 입출력 임피던스가 정합되지 않으면 상당한 수준의 원단누화가 발생되어 근단누화만 존재 하는 스트립 전송 선로 보다 좋지 않음을 알 수 있다. 그러나, PCB가 박판화된 경우 dual-offset stripline은 스트립 전송 선로 보다 좀더 큰 배선 임피던스를 구현 할 수 있다.

일반적으로 원단누화는 negative 극성을 가지는 것으로 알려져 있으나 dual-offset stripline에서는 반대의 극성을 가짐을 본 논문에서 제시 하였다.

2. 복잡한 dual-offset stripline 배선 구조에 대한 HSPICE 시뮬레이션

여기에서는 HSPICE에 의한 시뮬레이션 방법을 사용하여 배선 구조에 따라 어떠한 구조 일때 근단누화 계수 K_b 와 원단누화 계수 K_f 가 더 작은지 알기 위해 앞에서 기술한 HSPICE를 사용 계산 하였다. 복잡한 누화 결합 구조에서 근단누화는 인접한 좌우 배선만 문제가 되고^[6] 원단누화도 종단의 미약한 전류에 의해 발생 하므로 인접한 좌우 배선의 경우만 문제가 될 수 있다. 따라서, 복잡한 dual-offset stripline 구조는 배선 3개가 평행으로 배선 될 때 그림6, 7과 같은 2가지의 배선 구조를 가질 수 있으며 Act는 능동 배선을 나타내고 Pass1은 수동 배선을 나타낸다. 평행 배선 길이 l 은 0.5m로 150부분(section)으로 나누어 계산하였다. 그리고 실제 FCT(Fast CMOS TTL) 배선 조건과 비슷하게 하기 위해 배선의 입력측은 50Ω 로 정함 하였으며 배선의 출력측은 $1 [pF]$ 커패시터로 종단 하였다.

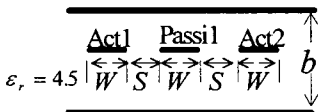


그림 6. 시뮬레이션 구조B
Fig. 6. A simulation structure B.

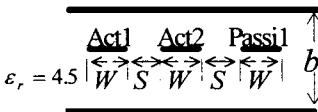


그림 7. 시뮬레이션 구조C
Fig. 7. A simulation structure C.

그림6, 7의 dual-offset stripline 근단 및 원단누화 시뮬레이션 입력 조건은 아래와 같으며 시뮬레이션 결과를 그림8, 9에 나타내었다.

- 각각의 배선 Act1, Pass1, Act2의 출력 임피던스는 $1pF$ 로 병렬 종단

- 비대칭 $a/2 = 0.06 [mm]$ 임(그림3 참조)
- 입력 신호는 상승 시간이 1.5ns인 10V 스텝 파형
- 그림6, 7에서 배선 Act1과 배선 Act2에 위의 입력 신호 두개를 동위상으로 독립적으로 각각 가함
- 각각의 배선 Act1, Pass1, Act2의 입력 임피던스는 50Ω 로 정함

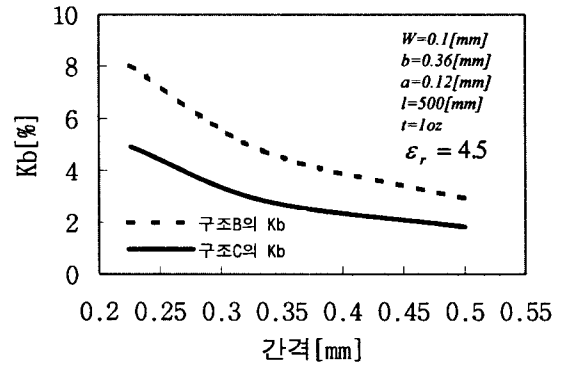


그림 8. 구조 B와 C의 근단누화 계수 K_b [%]
Fig. 8. Near-end crosstalk coefficients K_b [%] in the structure B and the structure C.

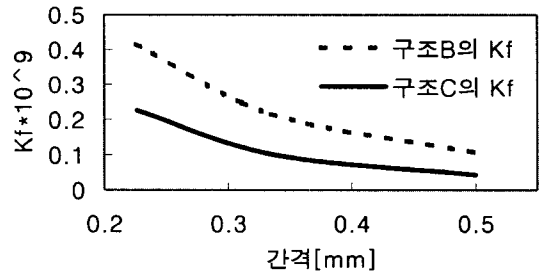


그림 9. 구조B와 C의 원단누화 계수 K_f
Fig. 9. Far-end crosstalk coefficients K_f in the structure B and the structure C.

앞에서 기술한 것과 같이 dual-offset stripline 의 입출력 임피던스가 정함된 경우 원단누화 세력은 근단 누화에 비해 무시 할 수 있을 정도로 작으나 전송 선로의 출력쪽이 개방된 경우 매우 작은 전류가 고저항 종단에 흐르므로 원단누화가 근단누화에 비교 될 수 있을 정도로 큰 세력이 된다. 원단누화 세력의 크기와 원단누화 계수와의 관계는 다음과 같다.

$$t_d < t < t_d + t, \text{ 경우}$$

$$V(l, t) = \frac{K_f \cdot V_k \cdot l}{t_r} \tag{41}$$

$$K_f = \frac{V(l, t) \cdot t_r}{V_k \cdot l}$$

단, $V_k =$ 입사 입력 전압 5 [V]

$t_r = 1.5$ [ns]

$0 < t < t_a$ 이거나 $t > t_a + t_r$ 인 경우

$$K_f = 0 \tag{42}$$

그림6, 7의 구조B, C의 HSPICE 시뮬레이션 결과를 그림8, 9에 나타내었으며 구조C의 경우 구조B의 경우 보다 근단 및 원단누화량이 상당히 더 적음을 알 수 있다. 따라서, 능동 배선은 능동 배선 끼리 배선하고 수동 배선은 수동 배선 끼리 배선하고 두 그룹을 서로 이격 시키면 수동 배선에 근단누화량이 상당히 줄어들음을 알 수 있다. 특히, 여러 개의 클럭 라인이 배선 될 때 클럭 라인 사이 수동 배선이 들어가면 근단 및 원단누화가 문제 될 수 있음을 알 수 있다. 실제 PBA(Printed Board Assembly)에 배선을 하다 보면 그림6의 구조B와 같은 형태로 배선 되는 경우가 있을 수 있으며 이 경우 근단 및 원단누화 문제를 발생 시키지 않게 하기 위해 배선간 최소 도체 간격을 정의 할 필요가 있다. 표2, 3에 다층 기판 제작 업체가 많이 사용하는 배선 등급(grade)의 최소 도체 간격에 따른 dual-offset stripline 구조B, C의 근단 및 원단누화 계수 K_b [%], $K_f \cdot 10^9$ 을 나타내었다.

표 2. 배선 등급에 따른 최소 도체 간격의 근단누화 계수 K_b [%] 값

Table 2. Near-end crosstalk coefficients K_b [%] for traces space in the layout grade rule.

S [mm]	0.5	0.335	0.226
구조B의 K_{bB} [%]	2.93	4.75	8.03
구조C의 K_{bC} [%]	1.83	2.85	4.92

단, 구조B, C에서 $W=0.1mm$, $a=0.12mm$, $b=0.36mm$, $l=500mm$, 동박 두께 $t=1oz$

표2의 근단누화에 관한 자세한 연구 결과는 참고 문헌 [6]을 참고 하며, 표3의 원단누화에서 dual-offset stripline 구조B는 dual-offset stripline 구조C에 비해 2배의 값을 가진다. 즉, 종단이 개방된 경우 원단누화는 바로 인접한 배선에 의해 서만 영향을 받으며 그 다음 배선에 의해서는 거의 영향을 받지

않음을 알 수 있다. 따라서, dual-offset stripline 구조는 배선이 중단되지 않으면 근단누화만 존재하는 스트립 전송 선로 구조 보다 고속 디지털 배선 밀도가 좋지 않음을 알 수 있다.

표 3. 배선 등급에 따른 최소 도체 간격의 근단누화 계수 $K_f \cdot 10^9$ 값

Table 3. Far-end crosstalk coefficients $K_f \cdot 10^9$ for traces space in the layout grade rule.

S [mm]	0.5	0.335	0.226
구조B의 $K_{fB} \cdot 10^9$	0.106	0.215	0.415
구조C의 $K_{fC} \cdot 10^9$	0.043	0.101	0.226

단, 구조B, C에서 $W=0.1mm$, $a=0.12mm$, $b=0.36mm$, $l=500mm$, 동박 두께 $t=1oz$

PCB의 허용 전기적 잡음을 70 [%]로 볼 때 PCB 내부의 허용 누화 잡음은 약 30 [%]가 된다. CMOS의 잡음 여유도^[12]는 1 [V] 이므로 최악의 경우 원단누화 잡음과 근단누화 잡음의 합은 약 300 [mV]를 초과 해서는 안된다. 표2, 3에서 dual-offset stripline 구조B의 근단누화와 원단누화 합이 323 [mV]가 되어 50 [cm] 평행 배선 간격은 최소한 0.5 [mm] 이상이 되어야 한다. 같은 방법으로 배선 길이가 짧은 경우 평행 배선 간격을 역으로 계산 할 수 있다.

위의 dual-offset stripline 구조B에서 배선의 입출력 임피던스가 정합 되면 수동 배선의 누화 계수는 $2K_b$ 가 되며 그림6에서 배선 간격은 0.335 [mm] 이상(IC pin간 1선 통과 구조) 이면 50 [cm] 평행 배선이 가능 하다. 이와 같이 출력 중단 방법에 의한 큰 차이가 나는 것을 확인 할 수 있었다.

IV. 결론

본 논문에서는 dual-offset stripline을 스트립 전송 선로로 근사화 하여 누화를 해석적으로 해석 하였으며 HSPICE 시뮬레이션 결과와 어느 정도 오차는 있으나 일치 하였다. 따라서, dual-offset stripline을 스트립 전송 선로로 근사화 하는 과정에 사용된 등가 유전율 ϵ_{ref} 의 유효성이 검증 되었다. 그리고, 근단누화 계산 결과의 오차는 가장자리(fringe) 용량의 근사화에 의해 발생됨을 알 수 있었다.

HSPICE 시뮬레이션 결과 dual-offset stripline에서 배선의 입출력 임피던스가 정합된 경우 원단누화는 무시할 수 있었으나, 배선 종단을 $1 [pF]$ 로 개방했을 때 미약한 원단누화 전류가 인접 배선 $M\Omega$ 종단에 순방향으로 강하 되어 근단누화에 비교될 수 있을 정도의 큰 세력이 됨을 확인 할 수 있었다. 일반적으로 원단누화는 역방향(negative)으로 알려져 있으나 dual-offset stripline에서는 반대가 됨을 확인 할 수 있었으며 이 것은 단위 길이당 부가 용량 ΔC_m 에 의해 기인함을 본 논문에서 밝혔다. 이 ΔC_m 은 배선이 서로 인접 하면 할수록 스트립 전송 선로 단위 길이당 누화 결합 용량 C_m 에 비교될 수 있는 값이 되어 누화 계산 시 무시할 수 없는 양이 됨을 제시 했다. 그리고, dual-offset stripline에서 배선 종단을 $1 [pF]$ 로 개방 했을 때 원단누화는 바로 인접한 좌우 배선의 미약한 누화 전류에 의해서만 영향을 받으며 그 외 도체에 의해서는 거의 영향을 받지 않음을 알 수 있었다.

Dual-offset stripline 배선 구조에 따른 근단누화 시뮬레이션 결과(신호원은 FCT: Fast CMOS TTL, 배선 종단 개방) 능동 배선은 능동 배선 거리 수동 배선은 수동 배선 거리 배선 하며 두 그룹을 이격 시키면 근단 및 원단누화를 상당히 줄여 줄 수 있음을 알 수 있었으며, 능동 배선 사이 수동 배선이 평행으로 배선 되는 최악의 경우 배선 등급에 따른 최소 도체 간격에 대해 근단 및 원단누화 값을 계산 하였다. 계산 결과 FR-4 다층 기판의 PBA(Printed Board Assembly)에 dual-offset stripline 구조로 고속 FCT 소자가 실장 되는 경우 현재 국내에 생산되는 박판화 한계값인 유전체 두께 $b=0.36 [mm]$, 비대칭 $a/2=0.06 [mm]$ 로 $50cm$ 평행으로 배선 가능 하려면 배선간 $0.5mm$ 이상 이격 시켜야 됨을 알 수 있었다. 그러나, 배선의 입출력 임피던스가 정합된 경우 표준형 IC pin간 1선 통과(배선 간격 $0.335mm$)가 가능 하였다. 따라서, PCB가 한계 상태로 박판화 되는 경우 dual-offset stripline 구조에서 배선의 입출력 임피던스가 정합되지 않으면 근단누화만 존재하는 스트립 전송 선로 구조 보다 고속 디지털 배선의 실장 밀도가 좋지 않음을 알 수 있다. 실제 고속 FCT 소자의 경우 I/O의 열 문제로 배선의 입출력 임피던스가 정합 혹은 종단되지 않으므로 dual-offset stripline 구조의

고밀도 배선 보다 스트립 전송 선로 구조의 고밀도 배선이 더 좋음을 알 수 있다.

이러한 시뮬레이션 결과 자료는 고속 디지털 고밀도 배선의 설계 기준이 되어 PCB 제작 업체와 하드웨어 설계자 모두에게 유용한 자료가 될 것으로 생각 한다. 단, 신호원인 FCT 소자의 등가화 방법에 의해 본 논문에서 계산된 누화 계수 값은 실제의 값과 약간 차이가 발생할 수 있다.

참 고 문 헌

- [1] HARLAN HOWE, JR. *STRIPLINE CIRCUIT DESIGN*, Artech House, Inc., pp. 33~40, 111~119, 1974.
- [2] Brian C. Wadell, *Transmission Line Design Handbook*, Artech House, Inc., pp. 232~237, 1991.
- [3] David M. Pozar, *Microwave Engineering*, ADDISON WESLEY, pp. 415~421, 1993.
- [4] META-SOFTWARE, *HSPICE USERS MANUAL Volume2 Elements and Models*, Meta-Software, Inc., pp. 2-8~2-35, 1995.
- [5] Charles S. Walker, *Capacitance, Inductance and Crosstalk Analysis*, Artech House, Inc., pp. 71~81, 1990.
- [6] 이명호의 4인, *다층기판에서 복잡한 스트립라인 구조의 누화 해석*, 전자공학회논문지 제33권 A 편 제10호, pp. 61 ~ 70, 1996년 10월
- [7] PPC ELECTRONIC AG, *Controlled-impedance multilayer boards*, PPC ELECTRONIC AG, Swiss, pp. 2 ~ 6, 1994.
- [8] Xiao-Wei (David) Dai, *Accuracy of SPICE Modeling of High Speed PCBs(I)*, Interim Report, Hybricon Corporation, U.S.A., pp. 1 ~ 13, 1996.
- [9] DAVID H. SCHRADER, *MICROSTRIP CIRCUIT ANALYSIS*, Prentice Hall PTR, pp. 153~156, 1995.
- [10] 과학기술정보연구소, *PCB 랜턴의 설계기술 및 설계 KNOW-HOW*, 과학기술정보연구소, pp. 95~106, 1995.
- [11] Nobuaki Sugiura, *Signal Transmission Evaluation in a Rack System*, KEPCON96, 한국실장기술연구회, pp. 85 ~ 105, 1996년 6

[12] David A. Weston, *Electromagnetic Compatibility*, Marcel Dekker, Inc., pp. 268~269, 1991.

[13] AMP, *DESIGN REPORT(ETRI XCENT PARALLEL PROCESSOR BACK-PLANE)*, AMP, pp. 11~13, 1996.4.

저 자 소 개



李 命 鎬(正會員)

1954년 8월 12일생. 1977년 2월 고려대학교 전자공학과(학사). 1983년 2월 고려대학교 대학원 전자공학과(석사). 1983년 6월 ~ 현재 한국전자통신연구원 ATM 교환연구실 선임연구원

임연구원



田 溶 一(正會員)

1958년 9월 5일생. 1981년 2월 고려대학교 전기공학과(학사). 1983년 2월 한국과학기술원 전기공학과(석사). 1983년 3월 ~ 1987년 3월 금성정밀(주) 주임연구원. 1987년 4월 ~ 현재 한국전자통신연구원 ATM 교환연구실 선임연구원

연구원



全 炳 胤(正會員)

1962년 3월 5일생. 1984년 2월 아주대학교 전기공학과(학사). 1987년 8월 한국과학기술원 전기 및 전자공학과(석사). 1987년 9월 ~ 현재 한국전자통신연구원 ATM 교환연구실 선임연구원

실 선임연구원



朴 權 喆(正會員)

1953년 10월 8일생. 1977년 2월 고려대학교 전기공학과(학사). 1979년 2월 고려대학교 대학원 전자공학과(석사). 1988년 2월 고려대학교 대학원 전자공학과(박사). 1982년 2월 ~ 현재 한국전자통신연구원 ATM 교환연구실장

장



姜 錫 烈(正會員)

1949년 12월 9일생. 1973년 2월 부산대학교 전기공학과(학사). 1987년 2월 한국과학기술원 전산과(석사). 1992년 3월 ~ 현재 한국과학기술원 전산과(박사과정). 1979년 12월 ~ 현재 한국전자통신연구원 ATM 기술연구부장

장