

論文98-35S-4-10

# 영상처리를 위한 DTCNN 하드웨어 구현에 관한 연구

## (A Study on DTCNN Hardware Implementation for Image Processing)

文成龍 \*

(Sung Ryong Moon)

## 요 약

본 논문에서는 그레이 스케일 형태학의 기본연산인 dilation과 erosion 연산을 이용하여 DTCNN의 회로를 설계하였으며, 또한 각 셀은 국부적 연결성을 이용하여 확장성을 갖도록 PE를 설계하였다. 이러한 PE설계로 셀과 셀 사이의 연결은 간단하고, VLSI 구현이 용이할 뿐만 아니라 병렬처리가 가능하도록 회로를 구현하였다. 실험결과 제안된 방법은 순차 데이터 처리보다. 연산속도가 개선됨을 검증하였으며, 병렬처리 DTCNN은 COMPASS 툴을 이용하여 0.8 $\mu$ m CMOS로 구현하였다.

## Abstract

In this paper, the circuit of DTCNN was designed using dilation and erosion operation, a basic operation of gray-scale morphology, also each cell designed PE in order to having extension using the local connectivity. In this PE design, connection of between cell and cell become simple. And it is realized to easily VLSI realization as well as to circuit to be parallel processing. As the result of simulations, the proposed method was verified to improved more operation speed than the sequential data processing, parallel processing DTCNN was implemented in a 0.8 $\mu$ m CMOS technology using COMPASS Tool.

## 1. 서 론

영상처리에 있어서 선형필터는 윤곽선(edge)를 불 선명하게 하고, 효과적으로 임펄스 잡음을 제거할 수 없으며, 신호에 중속된 잡음이 존재 할 때는 성능이 저하된다. 따라서 영상 처리에 있어서 비선형 필터링 기술이 대두되고 있으며, 평활화 필터와 메디안(median) 필터는 잡음제거에 있어서는 효과적이지만 에지와 같은 세부사항들을 제대로 보존하지 못한다는

문제점이 있다.<sup>[1][2]</sup> 이에 비해 기하학적 특성을 이용하기 때문에 에지와 같은 중요 정보를 잘 유지할 수 있어 신호처리에 있어서 효과적인 수리 형태학(mathematical morphology)은 보존해야 할 필수적인 정보와 제거해야 할 무관한 데이터를 공간영역에서 설계자가 적절한 구조적 원소와 연산을 선택함으로써, 주피수 영역의 푸리에 변환을 이용하는 경우보다 효율적이다. 이러한 형태학적 연산의 특징은 집합이론을 적용함으로써 논리구현이 용이하고, 국부적연산을 기초로 하기 때문에 VLSI화 하는데 적합하다. 그러나 형태학 연산은 순차적이고, 반복적인 성질을 가지고 있으므로 많은 양의 계산이 필요하게 되므로 실시간 처리에 어려움이 있다. 따라서 형태학과 구조적인 면에서 많은 유사성을 가지며, 이런 특성을 개선하기 위해서 병렬처리 기법과 형태학의 대수학적 규칙을 이용하여

\* 正會員, 圓光大學校 電子工學科

(Dept. of Elec. Eng., Wonkwang Univ.)

※ 이 논문은 1997년도 원광대학교 교비지원에 의해서 연구됨

接受日字: 1998年2月3日, 수정완료일: 1998年3月24日

이미지의 복잡한 연산처리에 효과적인 CNN(Cellular Neural Networks)으로 구현할 수 있다.<sup>[3-5]</sup>

CNN은 1988년 Chua에 의해 제안된 이론으로써 영상처리와 패턴인식에 효과적인 하드웨어 구조의 기본단위인 셀로 구현되며, 이 셀들은 선형 및 비선형회로로 구성되어 있다. 또한 인접셀과 상호연결이 간단하고 국부적 연산이 가능하여 병렬처리로 구현할 수 있으므로 신호처리에 있어서 소프트웨어적인 방식보다 실시간처리가 가능하다.<sup>[7]</sup>

DTCNN(Discrete Time Cellular Neural Network)은 CNN의 이산형태로서 형태학의 연산을 DTCNN에 적용함으로써 회로구현이 용이하고 또한 국부적 상호연결성은 각각의 셀 들을 이용하여 확장이 가능하며, VLSI설계에 적합하다.<sup>[8] [10]</sup>

따라서 본 논문에서는 영상 처리과정에서 필연적으로 화질이 저하되는데, 이와 같은 영상으로부터 잡음 제거와 중요한 정보의 복원에 우수한 성능을 갖고 있는 그레이 스케일 형태학과 영상처리 및 패턴인식에 다양한 응용력을 갖고 있는 DTCNN의 회로 구조를 연구 분석하고, 그레이 스케일 형상학의 기본연산인 dilation과 erosion 연산을 이용하여 DTCNN의 병렬 처리 회로를 설계한다. 설계된 하드웨어는 원 영상에 포함된 잡음을 제거하며, 영상정보의 손실을 최소화할 뿐만아니라 특징점 검출을 위한 모의실험을 통해 회로의 동작상태를 확인한 후 설계된 회로를 집적화하여 One Chip화 하고자 한다.

## II. 그레이 스케일 형태학

Sternberg에 의해서 제안된 umbra와 surface 개념을 이용하여 그레이 스케일 함수에 대한 수리형태학인 2차원 공간상의 함수  $f(x, y)$ 를 집합으로 표현할 수 있어야하며 또한 이 집합을 함수로 전환할 수 있어야 한다.<sup>[1] [2]</sup>

이진 영상에서 정의된 수리형태학의 기본연산을 확장하여 그레이 스케일 영상에서도 사용할 수 있으며,  $f$ 와  $k$ 는 공간  $E^N$ 에서의 함수이고  $x$ 는 공간  $E^N$ 에서의 한 점일 때 두 함수의 그레이 스케일 dilation은 두 함수의 umbra의 dilation에 의한 surface로 정의되며  $k$ 에 의한  $f$ 의 dilation은 식(1)과 같다.

$$f \oplus k = T [ U [ f ] \oplus U [ k ] ] \quad (1)$$

그레이 스케일 dilation을 합집합에 의한 최대값을 얻을 수 있도록 변환하면  $f \oplus k$  는

$$(f \oplus k)(x) = \max_{\substack{z \in K \\ x-z \in F}} \{ f(x-z) + k(z) \} \quad (2)$$

로 계산할 수 있다.

$f(x)$ 가 샘플링 함수  $f(i), i \in Z$  이고,  $K$ 는 구조적 집합이면, 1차원 dilation 필터의 출력은 식(3)이 된다.

$$y_i = [f \oplus K](i) = \max \{ f_{i-v}, \dots, f_i, \dots, f_{i+v} \} \quad (3)$$

구조적 원소의 구조에 의해 정의된 이웃에서  $f+k$ 의 최대값을 선택하는 결과이며, 그레이 스케일 영상에 대해서 dilation을 수행시 일반적인 결과는 2가지 특성을 가지는데 첫째로 구조적 원소의 값이 모두 양수이면 입력 영상보다 밝아지는 경향이 있으며 둘째로 어두어지는 것은 구조적 원소의 값이 감소되거나 제거되는 것으로 설명할 수 있다. 따라서 그레이 스케일 영상의 값과 모양은 dilation에 이용되는 구조적 원소에 관계된다.<sup>[2]</sup>

그레이 스케일 erosion에 대한 정의는 그레이 스케일 dilation의 정의와 같은 방법으로 정의되며, erosion은  $f \ominus k$ 로 표시되고 식(4)와 같이 정의된다.

$$f \ominus k = T [ U [ f ] \ominus U [ k ] ] \quad (4)$$

그레이 스케일 erosion은 차집합의 최소값으로 얻을 수 있도록 변환하면  $f \ominus k$  는

$$(f \ominus k)(x) = \min_{\substack{z \in K \\ x-z \in F}} \{ f(x+z) - k(z) \} \quad (5)$$

로 계산할 수 있다.

$f(x)$ 가 샘플링 함수  $f(i), i \in Z$  이고,  $K$ 는 구조적 집합이면, 1차원 erosion 필터의 출력은 식 (6)과 같다.

$$y_i = [f \ominus K](i) = \min \{ f_{i-v}, \dots, f_i, \dots, f_{i+v} \} \quad (6)$$

그레이 스케일 erosion은 구조적 원소  $k$ 의 이동이라기보다는 입력영상  $f$ 의 이동으로 이해할 수 있으며, erosion 은 구조적 원소에 의해 정의되는 이웃에서  $f-k$ 의 최소값을 선택하며, 그레이 스케일 영상에 대해

erosion을 수행시 일반적인 결과는 구조적 원소의 모든 원소들이 양수이면 출력영상은 입력영상에 비해 어두워지며, 또한 영상의 밝은 부분은 형태소의 모양과 값의 크기에 따라 줄어들거나 사라지게 된다. [3] [4]

### III. DTCNN의 구조

DTCNN은 국부적 연결과 CNN 에서 친이된 불변 가중치가 있는 케환 임계 네트워크의 한 종류이다. DTCNN의 동 특성(dynamic behaviour)은 클럭에의 해 동작되는 케환과 이진 출력에 기초를 두고 있으며, 하나의 셀은 CNN에서 정의된 것처럼 r-이웃 조건에 만족하는 인접셀에 의해서 입력과 출력에 의해 영향을 받는다. DTCNN의 구조는 셀룰러 오토마타(cellular automata)와 밀접한 관계를 갖고 있지만 다른점은 연속적인 입력, 가중치를 가진다는 점이다. [9] [11-13]

#### 1. DTCNN의 정의

CNN의 회로방정식을 오일러 누적 알고리즘(euler integration algorithm) [9] 에 적용하면 이산형태의 특성방정식으로 표현할 수 있으며, 이미지 처리를 위한 선형 시변환 템플릿을 갖는 다중 계층적 DTCNN의 순환 알고리즘은 식(7), (8)과 같다. [8-10]

$$x^c(k) = \sum_{d \in N_{A,c}} a_{i,j}^{c,d}(k) y_i^d(k) + \sum_{d \in N_{A,c}} b_{i,j}^{c,d}(k) u_i^d(k) + i_i^c(k) \quad (7)$$

$$y_i^c(k+1) = f(x_i^c(k)) = \begin{cases} 1 & \text{if } x_i^c(k) \geq 0 \\ -1 & \text{if } x_i^c(k) < 0 \end{cases} \quad (8)$$

CNN과는 달리 DTCNN의 전체적인 시스템은 클럭에 의해 동작되며, 단지 이진값이 케환연산자(  $a_{i,j}^c$  )에 의해 가중된다. 한번의 동작이 시작 되기전에 초기값들은 0 이나 1로 정의 되며, 이와같은 것은 전체적인 시스템의 동적특성에 중요하며, 또한 두 번째 셀의 입력으로 가정할 수 있다. 셀의 입력(u)는 연속적인 값으로 정의되며, 단지 제어계수(  $b_{i,j}^c$  )와 곱 해지게 된다. DTCNN의 장점으로는 선형 부등식의 집합을 통해 차기 출력 상태를 설명할 수 있다는 것이다. 또한 이진출력특성에 의해서 여러 칩의 내부접속이 간단하며, 전파속도는 단지 클럭율을 조절함으로써 큰 범위 안에서 조정될 수 있다. 그림 1은 DTCNN 셀의 블록도이며, DTCNN 셀은 이웃하는 셀들로부터 받아들이는 입력부분과 다른 인접 셀로 보내는 출력 부분, 그리고

자기자신의 입력으로 구성되어 있다.

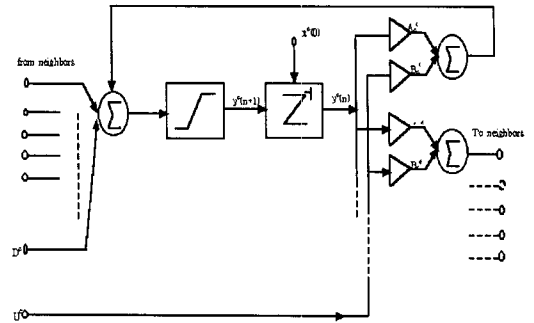


그림 1. DTCNN 셀 블록도  
Fig. 1. DTCNN Cell diagram.

#### 2. 형태학과 DTCNN의 관계

영상에 대한 형태학 정의를 DTCNN과의 등가관계를 정의해 보면 다음과 같다. 먼저 민코스키 대수(minkowski algebra)에서 영상 X는 cellular activation 패턴  $\nu$  (DTCNN input u or output  $y(k)$ )에 등가이다. 즉, 영상 X 에서 각 요소 c는  $\nu^c = +1$  이고 다른 요소 c 에대해 서는  $\nu^c = -1$  이며, 식(9) 와 같다.

$$X = \nu \equiv (\forall c : (c \in X \Rightarrow \nu^c = 1) \wedge (c \notin X \Rightarrow \nu^c = -1)) \quad (9)$$

$X \oplus A$  에대한 DTCNN의 출력은 영상 X로 초기화되고 그때 구조적 요소 A(template)는 한번의 연산과정으로 계산될 수 있으며 등가적으로 표현하면  $y(0) = X \Rightarrow y(1) = X \oplus A$  이된다. 이 관계를 식(9)에 적용할 때 식(10)과 같은 dilation 결과를 얻을 수 있다.

$$(c-d \in X \oplus A \Rightarrow y^c(1) = 1) \wedge (c-d \notin X \oplus A \Rightarrow y^c(1) = -1) \quad (10)$$

위 식(10)같은 방법으로  $X \ominus A$  에대한 DTCNN의 출력은 영상 X로 초기화되고 그때 구조적 요소 A(template)는 한번의 연산과정으로 계산될 수 있으며 등가적으로 표현하면  $y(0) = X \Rightarrow y(1) = X \ominus A$  이 된다. 이 관계를 식(9)에 적용할 때 식(11)과 같은 erosion 결과를 얻을 수 있다.

$$(d-c \in X \ominus A \Rightarrow y^c(1) = 1) \wedge (d-c \notin X \ominus A \Rightarrow y^c(1) = -1) \quad (11)$$

」 형태학 표현을 DTCNN의 요소로 직접 구현되기는 어려운 점을 가지고 있으므로 적절한 표현을 구현하기 위해서 형태학의 연산과정의 단순성을 적용하여 DTCNN의 근본적인 연산을 형태학 연산으로 표현하고, 다중적 수행 능력을 갖는 단일 DTCNN을 종속적으로 대체하므로써 필요한 연산을 구현할 수 있다. [4-5], [8-11]

#### IV. DTCNN 하드웨어 설계

영상으로부터 잡음 제거와 중요한 정보의 복원에 우수한 성능을 갖고있는 그레이 스케일 형태학 연산은 순차적, 반복적인 성질을 가지고 있으므로 많은 양의 계산이 필요하게 되므로 실시간 처리에 어려움이 있다. 따라서 이런 특성을 개선하기 위해서 병렬처리 기법과 형태학 표현을 변환할 수 있는 대수학적 규칙을 이용하여 영상의 복잡한 연산처리에 효과적인 DTCNN 회로를 구현하였으며, 구현된 전체 블록도는 그림 2와 같다.

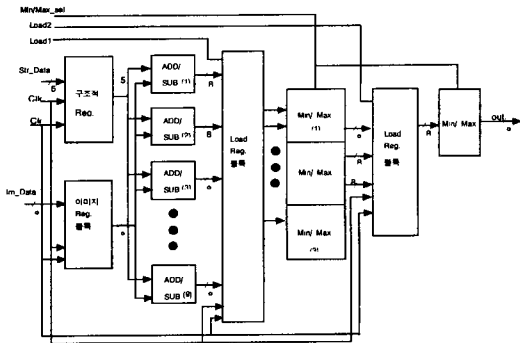


그림 2. 병렬처리 DTCNN PE 블록도  
Fig. 2. The Block of parallel processing DTCNN.

전체회로의 구조는 3 X 3의 구조적 원소를 저장하기 위하여 5비트 레지스터로 구성된 구조적 레지스터 블록, 입력영상을 저장하기 위한 8비트 레지스터로 구성된 입력 레지스터 블록, 그리고 가산과 감산을 하기 위하여 병렬 처리가 가능토록 한 9개의 ADD/SUB 블록이 있으며, 가산된 데이터의 최대/최소를 선택하기 위한 Min/Max 블록으로 설계하였다.

또한 가산기블록은 선택단자에 의해서 그레이 스케일 dilation, erosion 연산을 수행할 수 있도록 하였고, 설계된 회로는 DTCNN의 PE로써 영상의 크기에

따라 확장성을 갖도록 설계하였다.

#### 1. 구조적 원소 레지스터 블록 설계

구조적 원소 블록은 부호 비트를 포함한 3 x 3용 5비트 레지스터 9개로 구성되었으며, 클럭이 입력되면 9개의 레지스터의 출력이 가산기에 입력이된다. 그림 3은 구조적 원소 레지스터의 회로이다

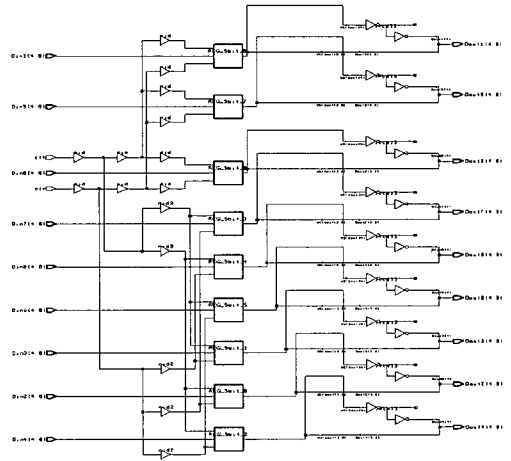


그림 3. 구조적 원소 레지스터 회로  
Fig. 3. The circuit of structuring element register.

#### 2. 영상 레지스터 선택 블록

영상 데이터를 저장하기 위한 블록으로서 3 x 3용 8비트 레지스터 9개로 구성되며, 클럭 펄스가 입력되면 영상 레지스터 9개 모두의 출력이 가산기에 입력이 된다.

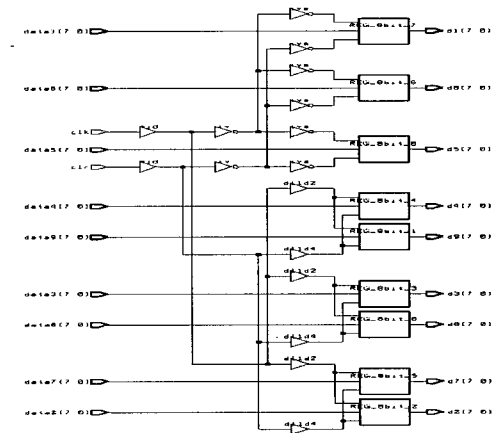


그림 4. 영상 레지스터 블록 회로  
Fig. 4. The circuit of image register block.

영상 크기는 그레이 레벨을 갖는 256 x 256으로써 영

상을 3 x 3으로 분할하여 영상 데이터 레지스터의 입력으로 한다. 그림 4 영상 레지스터 블록의 회로이다.

3. ADD/SUB 블록 설계

그레이 스케일 dilation과 erosion을 처리하기 위해서는 가산/감산의 베이스 R보수의 ADD연산이 요구되고, 구조적 원소 레지스터의 5비트 출력과 영상 데이터 레지스터 8비트로부터 얻은 데이터를 처리하기 위한 블록이며, 병렬처리를 위해 9개의 ADD/SUB 회로가 필요하다. 그림 5의 ADD/SUB블록 SET 단자에 의해서 dilation 연산시에는 가산기로 동작하고, erosion 연산시는 감산기로 동작하도록 하여 회로를 구성하였으며, 그레이 스케일 opening, closing, OC, CO 연산이 가능하도록 회로를 설계하였다.

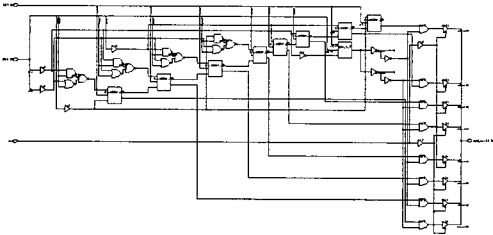


그림 5. ADD/SUB 회로  
Fig. 5. The circuit of ADD/SUB.

4. LOAD 레지스터 블록 설계

병렬 처리를 위해 ADD/SUB 블록의 연산결과를 저장하기 위한 블록으로서 로드 신호를 가지는 8비트

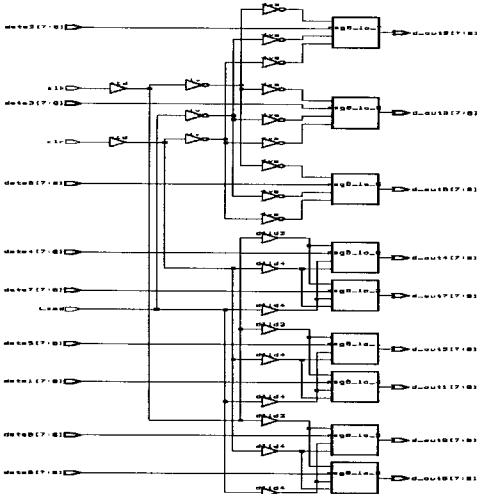


그림 6. LOAD 레지스터 블록 회로  
Fig. 6. The circuit of register block.

레지스터 9개로 구성되었으며, 그림 6은 LOAD 레지스터블록 회로이다.

5. Min/Max 블록 설계

9개의 ADD / SUB 블록으로부터 병렬로 출력된 데이터중 최대/최소를 선택하기 위한 블록으로서 8비트 크기 비교기, 디코더, 그리고 Min/Max 선택기 (MUX)로 구성된다. 8비트 3개의 입력으로부터 최대/최소를 선택하고 이를 멀티플렉서를 통하여 출력하게 된다. Min/Max의 전체 블록 다이어그램은 그림 7과 같다.

8비트 데이터 형식의 입력이 A, B, C 라 가정하면 최대/최소값 결정을 위하여 8비트 크기 비교기 3개가 필요하며 비교기 A, B, C 3개의 입력을 받아 A와B, A와C, B와C 의 크기를 상대적으로 비교하여 최대/최소값을 추출하며 최대/최소값으로 결정된 입력 데이터는 다음단계에서 디코딩하기 위하여 디코더에 출력을 보내면 Min/Max 블록에서 최대/최소 데이터를 선택하게 된다. Min/Max를 선택하기 위해서 디코더와 Min/Max 선택기에 제어단자를 두어 제어신호가 "1" 이면 Min 값을 선택하고 "0"이면 Max 값을 선택하도록 회로를 설계하였다.

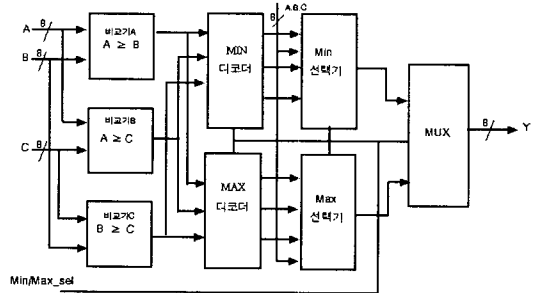


그림 7. Min/Max 블록도  
Fig. 7. The block of Min/max.

6. 병렬처리 DTCNN PE 회로 및 레이아웃

병렬 처리 DTCNN 회로는 각 블록에 대한 계층적 구조에 따라 Top Down 방식을 채택하여 Synopsys Tool 환경에서 VHDL 코딩에 의해 합성되었으며, 합성된 회로는 그림 8에 보였다. 병렬처리 DTCNN의 전체 레이아웃은 0.8μm CMOS n-well 설계규칙에 따라 COMPASS Tool을 사용하였으며, 5mmx5mm로 집적화하고 전체 회로에 사용된 트랜지스터 수는 5만개 정도이다. 그림 9는 DTCNN의 전체 레이아웃된 회

로써 DRC 체크와 LVS 체크를 거쳐 칩으로 제작되었다.

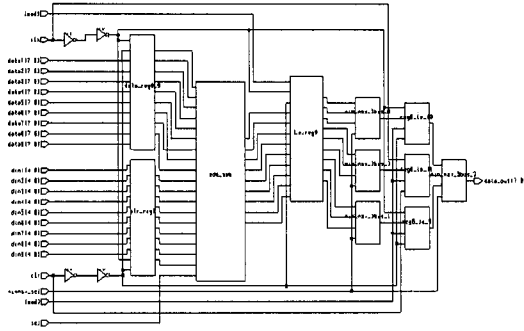


그림 8. DTCNN PE 회로  
Fig. 8. The circuit of DTCNN PE.

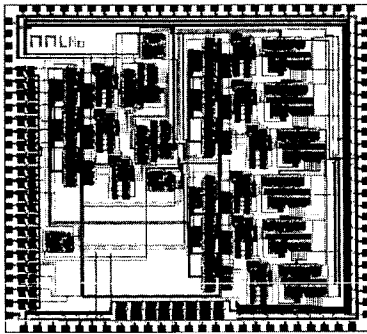


그림 9. Layout 결과  
Fig. 9. The result of layout.

7. 하드웨어 동작실험 및 검증

설계된 DTCNN 회로를 이용하여 각각의 경우에 대해 모의 실험을 하였으며 이 실험에 이용된 구조적 데이터와 이미지 데이터에 대한 결과값을 표 1에서 볼 수 있다.

표 1. 구조적 데이터와 이미지 데이터에 대한 결과값

Table 1. The result for structure data and image data

종류	입력 및 출력	입력 데이터		출력 데이터	
		구조적 데이터	이미지 데이터	최대값	최소값
(1)		0 1 0	1 2 3	" 9 "	" 1 "
		1 2 1	4 5 6		
		0 1 0	7 8 9		
(2)		0 1 0	2 3 4	" 12 "	" 2 "
		1 2 1	5 10 7		
		0 1 0	8 9 4		

위의 표 1에서 볼 수 있듯이 dilation에 의한 DTCNN의 연산시는 최대값을 선택하고 erosion에 의

한 DTCNN의 연산은 최소값을 선택함을 알 수 있다. 순차적 데이터 처리 회로는 한번의 동작에 필요한 시간은 450ns 이상 필요하고 8개의 Min/Max 회로가 필요하지만, 제안된 방식의 회로에서는 200ns로 데이터를 처리할 수 있고 4개의 Min/Max 회로로 설계되어 하드웨어적으로도 게이트 수를 줄일 수 있으며, 처리 속도를 2배 이상 개선하였다.

그림 10은 종류(1)에 대한 병렬처리방식의 dilation에 의한 DTCNN의 연산결과이며 최종출력은 200ns 미만에서 출력값으로 "00001001"을 얻을 수 있음을 확인하였으며, 종류(1)에 대한 병렬 처리방식의 erosion에 의한 DTCNN의 경우는 그림 11과 같고, 종류(2)에 대한 dilation과 erosion에 의한 DTCNN의 연산 결과는 그림 12, 그림 13와 같으며, dilation에 의한 DTCNN의 연산인 경우 최대값을 찾는 연산이므로 결과값으로 "00001100"를, erosion에 의한 DTCNN의 연산인 경우 최소값을 찾는 연산이므로 결과값으로 "00000010"를 얻을 수 있음을 확인하였다.

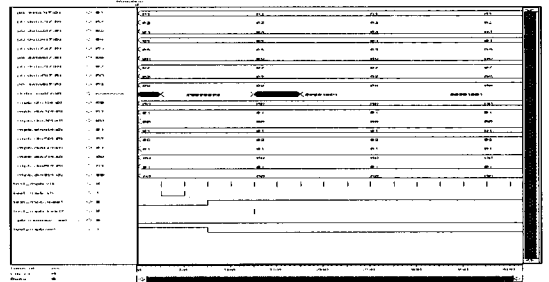


그림 10. 표 1에 대한 dilation에 의한 DTCNN의 출력 특성 파형  
Fig. 10. Output characteristic wave of DTCNN by dilation for table 1.

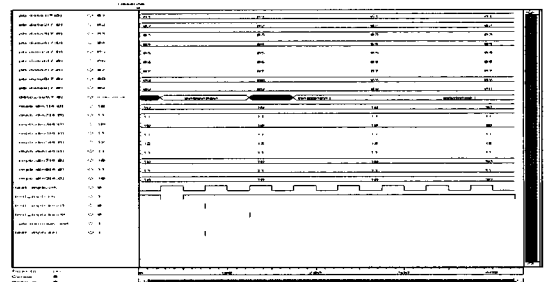


그림 11. 표 1에 대한 erosion에 의한 DTCNN의 출력 특성 파형  
Fig. 11. Output characteristic wave of DTCNN by erosion for table 1.

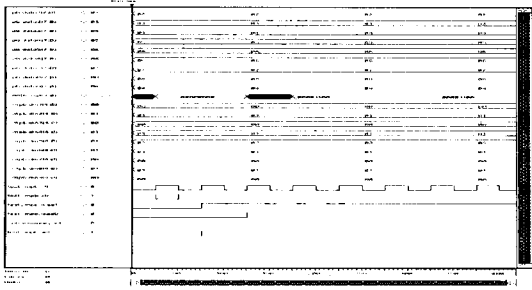


그림 12. 표 2에 대한 dilation에 의한 DTCNN의 출력 특성 파형  
 Fig. 12. Output characteristic wave of DTCNN by dilation for table 2.

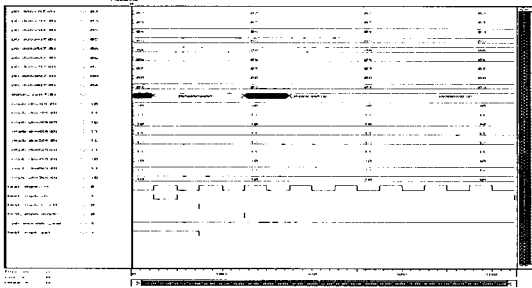


그림 13. 표 2에 대한 erosion에 의한 DTCNN의 출력 특성 파형  
 Fig. 13. Output characteristic wave of DTCNN by erosion for table 2.

V. 모의실험 및 결과분석

그레이 스케일 형태학의 기본연산인 dilation, erosion 연산과, 이들 연산을 조합한 연산인 opening, closing, OC, CO 연산을 적용한 DTCNN의 회로를 설계하여 영상에 포함된 잡음을 제거하였다.

실험에 사용된 각 연산에 대한 성능평가를 위하여 식(12)와 같이 정의되는 MSE(Mean Square Error)를 이용하였다. 여기서, MSE는 평균자승오차를 나타내며,  $x(i,j)$ 는 원래의 영상의 화소값,  $\hat{x}$ 는 처리된 화소값을 의미한다.

$$MSE = \frac{\sum_{i=1}^M \sum_{j=1}^N [x(i,j) - \hat{x}]^2}{\sum_{i=1}^M \sum_{j=1}^N x(i,j)^2} \quad (12)$$

그림 14는 lenna 원 영상과 3차원 히스토그램이고, 그림 15는 임펄스 잡음이 포함된 영상과 3차원 히스

토그램으로써 그림 15에 포함된 잡음을 제거하기 위하여 그레이 스케일 형태학의 기본연산을 처리할 수 있는 DTCNN구조에 적용하여 컴퓨터 시뮬레이션 결과는 그림 16 ~ 그림 21 이다.

표 2와 같이 그레이 스케일 형태학 연산과 구조적 원소에 따라 오차가 다르며, 임펄스 잡음이 포함된 영상에 대하여 dilation, erosion, opening, closing, OC, CO에 의한 DTCNN의 연산결과 표 2와 같은 결과를 얻었다.

표 2. 필터링 결과의 MSE 성능 비교

Table 2. Comparison MSE of filtering result.

DTCNN에 적용된 연산 방법	Dilation	Erosion	Opening	Closing	OC	CO
MSE	40	36	32	33	28	30

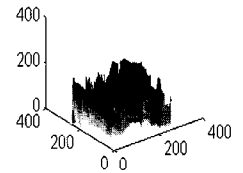


그림 14. Lenna 원 영상 및 히스토그램  
 Fig. 14. Original image and histogram.

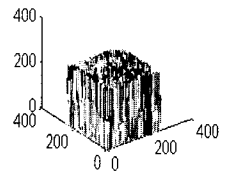


그림 15. Lenna 잡음 영상 및 히스토그램  
 Fig. 15. Noise image corrupted by impulse noise and histogram.

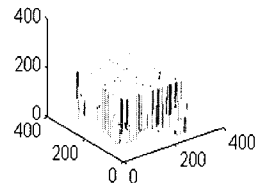
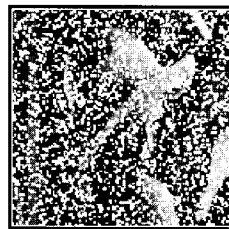


그림 16. Dilation에 의한 DTCNN 영상 및 히스토그램  
 Fig. 16. Image of DTCNN by dilation and histogram.

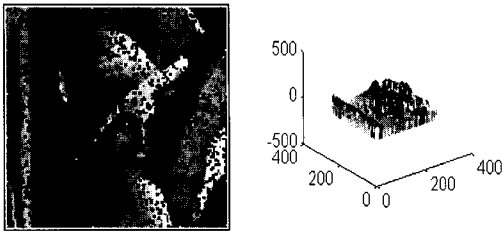


그림 17. Erosion에 의한 DTCNN 영상 및 히스토그램

Fig. 17. Image of DTCNN by erosion and histogram.

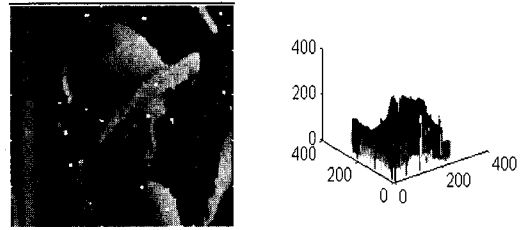


그림 21. CO에 의한 DTCNN 영상 및 히스토그램  
Fig. 21. Image of DTCNN by CO and histogram.

### VI. 결론

본 논문에서는 그레이 스케일 형태학의 복잡한 연산을 DTCNN으로 변환하는 함수적 등가관계를 이용하여 영상처리에 있어서 효과적인 DTCNN의 병렬처리 회로의 하드웨어를 구현하였고 모의실험을 통하여 표2와 같은 실험결과를 얻었다. 또한 설계된 DTCNN회로의 PE는 확장성 및 병렬구조로 설계하여 데이터를 처리함으로써 순차적 데이터처리 보다 약 2배정도 빠른 결과를 얻을 수 있음을 그림 10 ~ 그림 13으로 확인하였다.

DTCNN에 대한 제안된 구조는 5mmx5mm 면적에서 0.8 $\mu$ m CMOS 공정으로 레이아웃 하여 one chip화 하였으며, 설계된 DTCNN 회로의 성능을 컴퓨터 시뮬레이션을 통하여 비교 검토 하였다. Dilation 과 erosion에 의한 DTCNN 연산을 기본으로 하여 임펄스 잡음이 포함된 영상에 대하여 opening, closing, OC, CO에 의한 DTCNN의 연산 결과 opening, OC에 의한 DTCNN 연산이 closing, CO에 의한 DTCNN의 연산 보다 잡음제거면에서 우수함을 확인 하였다.

앞으로 가변적 템플릿의 FCNN에 형태학을 적용하여 영상복원 및 에지검출에 대한 연구가 있을 것으로 사료된다.

### 참고 문헌

[1] P. Maragos, R.W.Schafer, "Morphological filters, part I : their set theoretic analysis and relations to linear shift invariant filters," IEEE Trans. on Acoustics, Speech and signal processing, Vol ASSP-35, no.8, pp. 1153-1169, Aug. 1987.

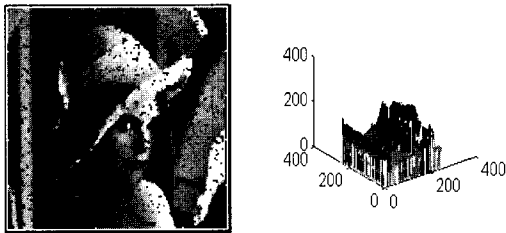


그림 18. Opening에 의한 DTCNN 영상 및 히스토그램

Fig. 18. Image of DTCNN by opening and histogram.

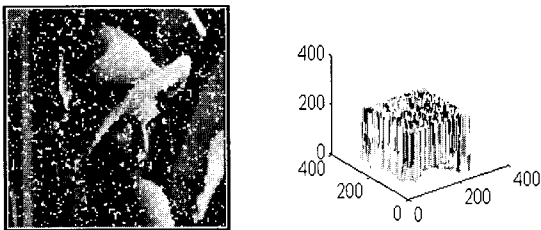


그림 19. Closing에 의한 DTCNN 영상 및 히스토그램

Fig. 19. Image of DTCNN by closing and histogram.

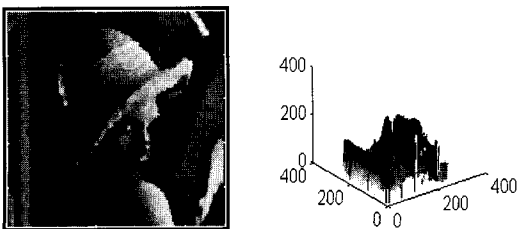


그림 20. OC에 의한 DTCNN 영상 및 히스토그램  
Fig. 20. Image of DTCNN by OC and histogram.



- [2] Serra, "Image analysis and mathematical morphology," Academic Press, 1988.
- [3] L. O. Chua and L. Yang, "Cellular neural networks: theory", IEEE Trans. Circuits and Systems, CAS-35, no. 10, pp. 1257-1272, Octo. 1988.
- [4] H. Harreret al, "some Examples of Processing Analog Images with Discrete-Time Cellular neural network" proceedings of the third IEEE International Workshop on cellular neural networks (CNN-94). pp. 201-206, Rome(Italy) December 1994.
- [5] H. Harrer, J. A. Nossek and F. Zou, "A learning algorithm for discrete-time cellular neural networks", Proc. IJCNN-91, Singapore, pp. 717-722, 1991.
- [6] H.Harrer and J.A. Nossek, "Discrete-Time Cellular neural networks" International Journal of circuit Theory and applications, Vol. 20 pp. 435-467 September 1992.
- [7] L. O. Chua and L. Yang, "Cellular neural networks: applications", IEEE Trans. Circuits and Systems, CAS-35, no. 10, pp. 1273-1290, Octo. 1988.
- [8] F. Zou, S. Schwarz and J. A. Nossek, "Cellular neural network design using a learning algorithm", Proc. First IEEE Int. Workshop on Cellular Neural Networks and Their Applications, CNNA-90, Budapest, pp. 73-81, 1990.
- [9] T. Roska and L.O. Chua, "Cellular neural networks with nonlinear and delay-type template elements", Proc. First IEEE Int. Workshop on Cellular Neural and Their Applications, CNNA-90, Budapest, pp. 12-25, 1991.
- [10] S. Tan, J. Hao and J. Vandewalle, "Cellular neural networks as a model of sociative memories", Pros. First IEEE Int. Workshop on Cellular Neural Network and Their Applications, CNNA-90, Budapest, pp. 26-35, 1990.
- [11] T. Roska and L. O. Chua, "The CNN universal machine: An analogic array Computer," IEEE Trans. Circuit Syst. II, vol. 40, pp. 163-167, Mar. 1993.
- [12] J. Serra. Ed., Image Analysis and Mathematical Morphology(Vol. 2): Theory Advances. New York: Academic, 1988.
- [13] 윤여근, 문성룡, "가변적 템플릿 메모리를 갖는 디지털 프로그래머블 CNN 구현에 관한 연구", 대한전자공학회 논문지 제34권 C편 제 10호, 10. 1997.

---

저 자 소 개

文成龍(正會員) 第34卷C編第10號 參照