

## MOS 소자에서 $WSi_2$ 게이트 전극이 Thin Oxide 성질에 미치는 영향

박진성 · 이현규 · 김갑식\* · 문종하\*\* · 이은구

조선대학교 재료공학과

\*영흥개발 부설 연구소

\*\*전남대학교 무기재료공학과

(1997년 7월 10일 접수)

## Effect of $WSi_2$ Gate Electrode on Thin Oxide Properties in MOS Device

Jin Seong Park, Hyun Kyu Lee, Gab Sik Kim\*,  
Jong Ha Moon\*\* and Eun Gu Lee

Dept. of Materials Engineering, Chosun University

<sup>†</sup>Research Center, Youngheung Development Industrial Co.

<sup>\*\*</sup>Dept. of Inorganic Materials Science and Engineering, Chonnam Nat'l University

(Received July 10, 1997)

### 요 약

$WSi_2/CVD-Si/SiO_2/Si$ -substrate의 폴리사이드 구조에서 실리콘 증착,  $POCl_3$  확산, 그리고  $WSi_2$  증착 유무에 따른 thin oxide 특성을 연구했다.  $WSi_2$  막을 증착하지 않은 CVD-Si/ $SiO_2/Si$ -substrate 구조에서 CVD-Si를 polycrystalline-Si로 증착한 시편이 amorphous-Si를 증착한 시편보다 산화막 불량률이 적다.  $WSi_2$ 를 증착시킨  $WSi_2/CVD-Si/SiO_2/Si$ -substrate의 구조에서 CVD-Si의 polycrystalline-Si 혹은 amorphous-Si의 막 증착에 따른 thin oxide의 불량률 차이는 미미하다. 산화막 불량률은 CVD-Si에 확산시킨 인(P) 증가, 즉 면저항(sheet resistance) 감소로 증가한다. Thin oxide의 절연특성은  $WSi_2$  증착으로 저하된다.  $WSi_2$  증착으로 산화막 두께는 증가하나 막 특성은 열등해져 산화막 절연성이 떨어진다.

### ABSTRACT

In  $WSi_2/CVD-Si/SiO_2/Si$ -substrate polycide structure, the properties of thin oxide were studied as functions of deposition conditions of CVD-Si, diffusion conditions of  $POCl_3$  for both with or without  $WSi_2$ . The thin oxide failure rate for polycrystalline-Si as a gate electrode are lower than those of amorphous-Si in CVD-Si/ $SiO_2/Si$ -substrate structure. The effect of CVD-Si layer, polycrystalline- or amorphous-Si, is decreased by the deposition of 50 nm  $WSi_2$  on CVD-Si layer. The oxide failure rate of thin oxide increases with the concentration of phosphorus doped in CVD-Si. Although the thickness of thin oxide is increased by the deposition of  $WSi_2$ , the breakdown quality of thin oxide was deteriorated.

**Key words :** Thin oxide,  $WSi_2$  electrode, MOS device, Oxide reliability

### 1. 서 론

VLSI의 집적도가 증가함에 따라 게이트 산화막의 두께는 더욱 감소해 0.25  $\mu m$  소자에서는 10 nm 이하의 산화막을 사용할 예정이다. 이에 따라 소자 구성의 각 요소들도 점점 축소되고, 회로 구성요소인 배선의 저항이 급격히 증가하여 저 저항 물질이 요구되고 있다. 이러한 저 저항 물질로는 금속 실리사이드(metal silicide)

가 가능성이 있고<sup>1)</sup>, 특히  $TiSi_2$ 와  $WSi_2$  계통의 물질에 대한 연구가 활발히 진행되고 있다. 이들 물질을 사용한 게이트 전극구조는 접착성 및 산화막 열화 가능성을 고려하여 산화막과 실리사이드 사이에 다결정 실리콘을 삽입한 metal-silicide/CVD-Si/ $SiO_2/Si$ -substrate 구조의 MOS 특성에 대한 연구가 진행되고 있다.

$TiSi_2$ 는 게이트 전극물질로서 저 저항 및 저온공정 진행 가능성이 때문에 많은 연구가 진행되어 왔으나 850°C

이상에서의 T<sub>1</sub> 확산에 의한 산화막 열화 문제점이 보고되고 있다.<sup>2)</sup> 반면에 WSi<sub>2</sub>는 비저항이 TiSi<sub>2</sub>보다 높지만 TiSi<sub>2</sub>와 같이 W 원소의 확산은 거의 없다. WSi<sub>2</sub> 형성 방법은 스파터링, CVD(chemical vapor deposition), 그리고 silicidation 등이 있지만 CVD 방법이 양산성 및 두께 균일도 등의 특성이 우수하여 적용 가능성이 가장 높은 제조 방법으로 알려져 있다.

그러나 CVD 방법에 의한 WSi<sub>2</sub> 형성시 텅스텐의 초기 물질로 사용되는 WF<sub>6</sub> 중의 불소(F)가 유입되어 산화막의 두께, 유전율, 그리고 굴절률 등에 영향을 주는 것으로 알려져 있다. 또 다결정 실리콘에 전도도를 증가시키기 위해 확산시킨 인(P)이 WSi<sub>2</sub> 막 내로 재확산 되는 것이 보고되고 있다.<sup>3,6)</sup> 이와 같은 기초적인 물리화학적 연구는 일부 진행 되었지만, 산화막 특성 특히 극박막화된 10 nm 이하의 극박막 산화막 특성과 관련된 이해가 부족했다.

따라서 본 실험은 WSi<sub>2</sub>/CVD-Si/SiO<sub>2</sub>/Si-substrate의 MOS 구조에서 CVD-Silicon의 두께 및 POCl<sub>3</sub> 농도, 후속 열처리 등에 따른 산화막 특성을 연구하였다.

## 2. 실험방법

비저항이 10 Ω·cm인 p-type (100) 실리콘 웨이퍼를 사용하였다.

CVD-Si 두께, POCl<sub>3</sub> 확산조건, 그리고 WSi<sub>2</sub> 증착 유무에 따른 면저항을 비교하기 위한 물성분석용 시편제조공정은 다음과 같다. 초기세정을 실시하고 16 nm의 산화막 성장 후 다결정(혹은 비정질) 실리콘 두께가 50, 110, 그리고 200 nm가 되도록 CVD-Si를 증착하였다.<sup>4)</sup> 실리콘 기판에서의 면저항이 각각 12, 33, 55, 110 ohm/sq가 되도록 POCl<sub>3</sub> 확산공정을 진행하여 산화막 위의 CVD-Si이 전극 특성을 갖도록 한 후, WSi<sub>2</sub>를 50 nm 증착하여 WSi<sub>2</sub>/CVD-Si/SiO<sub>2</sub> 형태로 시편구조를 형성시켰다. CVD 방법에 의한 WSi<sub>2</sub>는 WF<sub>6</sub>와 SiH<sub>4</sub>를 반응원료로 하여 증착시켰다.

게이트 전극 형성에 따른 산화막 특성을 관찰하기 위한 시편 제조공정은 다음과 같다. 시편의 소자간 분리기술은 LOCOS(local oxidation of silicon) 공정으로 진행한 다음 8 nm의 thin oxide(혹은 게이트 산화막)를 성장시킨 후, WSi<sub>2</sub>를 증착 시키지 않은 polycrystalline(or amorphous)-Si/SiO<sub>2</sub>/Si-substrate 구조의 폴리게이트 MOS 시편과, 50 nm의 WSi<sub>2</sub>를 증착시킨 WSi<sub>2</sub>/polycrystalline(or amorphous)-Si/SiO<sub>2</sub>/Si-substrate 형태의 변형된 폴리게이트 MOS 구조로 시편을 제작했다.

게이트 전극의 면저항 및 산화막 특성을 800°C-950°C 온도구간에서 질소 분위기로 30분동안 후속 열처리를 실시하여 관찰하였다. 시편의 면저항은 4점 저항

측정기(4 point probe)로 측정하였다. 전기적 성질은 I-V 측정으로부터 관찰했고, 측정조건은 0.2 volt씩 전압을 증가시키며 각 구간에서의 유지시간을 0.5초로 하였으며, 불량 판정은 각 구간에서의 누설전류가 10 μA 이상 흐를 때로 정의하였다. 산화막 두께는 고정도 투과현미경(high resolution TEM)으로 관찰 하였다.

## 3. 결과 및 고찰

8 nm의 SiO<sub>2</sub> 열산화막 성장후 CVD-Si 증착 온도와 900°C/30 min/N<sub>2</sub> 열처리에 따른 누적 산화막 불량율과 CVD-Si 증착후에 WSi<sub>2</sub> 증착 유무와 900°C/30 min/N<sub>2</sub> 열처리에 따른 누적 산화막 불량율을 전계(electric field)의 함수로서 각각 Fig. 1과 Fig. 2에 도시했다.

WSi<sub>2</sub> 막을 증착하지 않은 CVD-Si/SiO<sub>2</sub>/Si-substrate 구조의 Fig. 1 경우 CVD-Si를 625°C의 다결정 실리콘으로 증착한 시편(P-Si)이 540°C의 비정질 실리콘 상태로 증착한 시편(A-Si)보다 산화막 불량률이 적다. 또한 이들 시편을 900°C/30 min/N<sub>2</sub> 열처리 실시로 모두 산화막 불량율은 증가했으며, 역시 비정질 실리콘 경우(A-Si, 900°C)가 다결정 실리콘 경우(P-Si, 900°C)보다 불량율이 높다. 그러나 WSi<sub>2</sub>를 증착시킨 WSi<sub>2</sub>/CVD-Si/SiO<sub>2</sub>/Si-substrate의

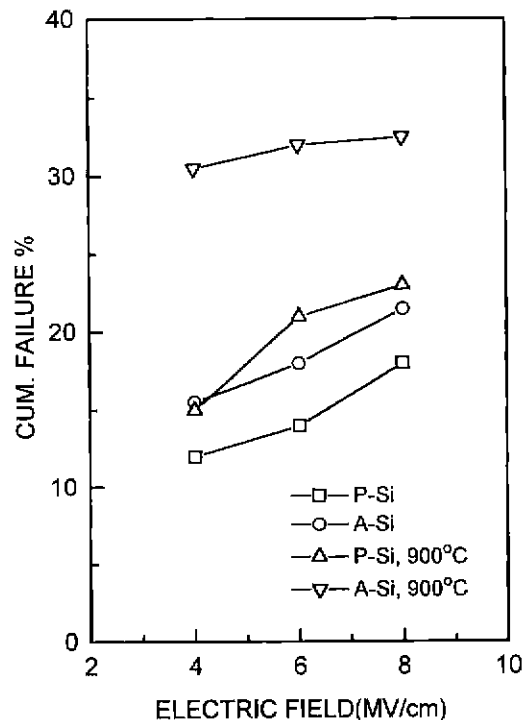


Fig. 1. Breakdown cumulative failure with electric field for CVD-Si/SiO<sub>2</sub>/Si-substrate.

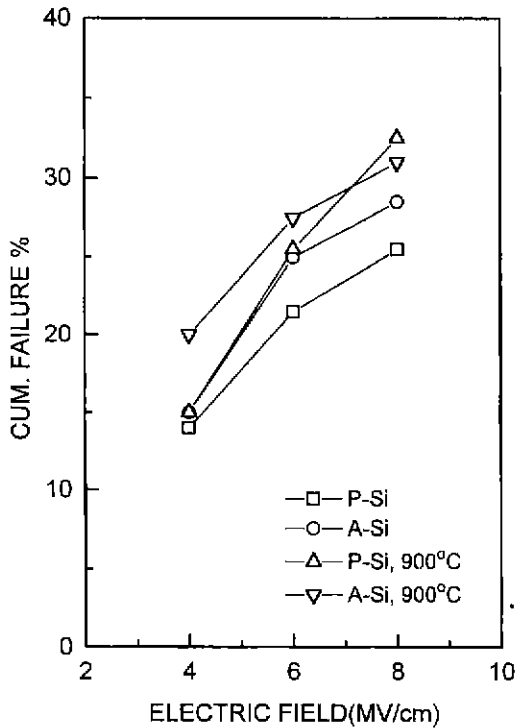


Fig. 2. Breakdown cumulative failure with electric field for  $WSi_2/CVD-Si/SiO_2/Si$ -substrate.

Fig. 2 경우는 CVD-Si 증착조건 및 열처리 조건에 따른 현저한 유의차를 확인하기 어렵다. 각 막의 두께는  $WSi_2$  50 nm, CVD-Si 110 nm, 그리고  $SiO_2$  8 nm 이었고,  $POCl_3$ 을 확산시킨 CVD-Si의 면저항은 55 ohm/sq로 하였다.

Fig. 1에서 다결정 실리콘과 비정질 실리콘의 산화막 불량을 차이는 일반적인 막 특성이 다결정 실리콘보다

비정질 실리콘이 열등해서, 특히  $POCl_3$  확산시 인(P) 고용도가 커서 인에 의한 산화막 열화로 추정할 수 있다.<sup>4)</sup>  $WSi_2$  막을 증착시킨 Fig. 2의 결과에서 산화막 불량율에서 차이가 미미한 것은  $WSi_2$  막을 증착시키기 위해 사용한  $WF_6$ 의 잔류 불소(F)가 산화막 내로 이동해서 산화막 물성을 변화시킨 결과이다. Fig. 3은 polycrystalline-Si/ $SiO_2$ /Si-substrate 구조에  $WSi_2$  증착과 열처리 정도에 따른  $SiO_2$  막 두께변화를 TEM으로 관찰한 것이다. 8 nm의 산화막 두께는 800°C/30 min/ $N_2$  처리로 약 10% 정도 증가되었지만 열처리 온도를 증가시켜도 산화막 두께 증가는 미미하다. 즉  $WSi_2$  증착 원료인  $WF_6$  중의 잔류 불소가 산화막 내로 확산되어 산화막 두께를 증가시켜 산화막 특성을 변화시키고, 이에 따라 인(P)의 영향이 감소해서 다결정 실리콘 혹은 비정질 실리콘의 CVD-Si 막 종류에 따른 불량률 차이가 감소했다고 볼 수 있다.

$WSi_2/CVD-Si/SiO_2/Si$ -substrate 구조에서 CVD-Si을 110 nm의 다결정 실리콘으로 증착시키고 여기에  $POCl_3$  확산조건을 변화시켜 면저항이 각각 12, 33, 55 ohm/sq으로 되도록 했다. 후속 공정을 고려한 900°C/30 min/ $N_2$ 로 열처리 후 산화막 불량률 측정된 결과를 Fig. 4에 도시했다. 산화막 불량률은 면저항(sheet resistance) 감소로 증가한다. 즉 과잉의 인(P) 농도 혹은  $POCl_3$  확산 역시 산화막 특성에 영향을 준다.

( $WSi_2$ )/CVD-Si/ $SiO_2$ /Si-substrate 구조에서 CVD-Si을 50 nm의 다결정 실리콘으로 증착하고 면저항은 110 ohm/sq가 되도록 하고,  $WSi_2$  증착 유무와 열처리에 따른 산화막 특성을 Fig. 5에 도시했다.  $WSi_2$  막을 증착시키지 않은 경우는 100% 초기불량이 발생한다. 50 nm의 다결정 실리콘 위에 50 nm의  $WSi_2$ 를 증착(as-depo)시킨 것은 증착하지 않은 것에 비해서 불량율이

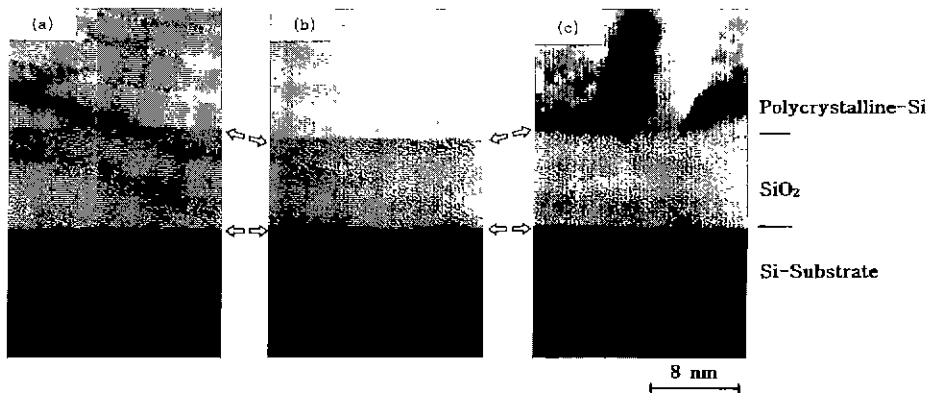


Fig. 3. Thickness variation of thin oxide with anneal temperature. (a)  $WSi_2/polycrystalline-Si/SiO_2/Si$ -substrate+800°C/30 min/ $N_2$ , (b) polycrystalline-Si/ $SiO_2$ /Si-substrate+900°C/30 min/ $N_2$  and (c)  $WSi_2/polycrystalline-Si/SiO_2/Si$ -substrate+900°C/30 min/ $N_2$ .

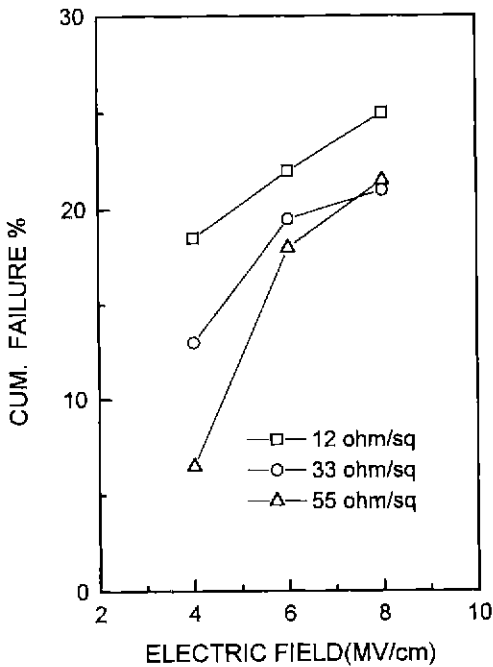


Fig. 4. Breakdown cumulative failure of thin oxide with electric field for  $WSi_2$ /polycrystalline-Si/ $SiO_2$ /Si-substrate.

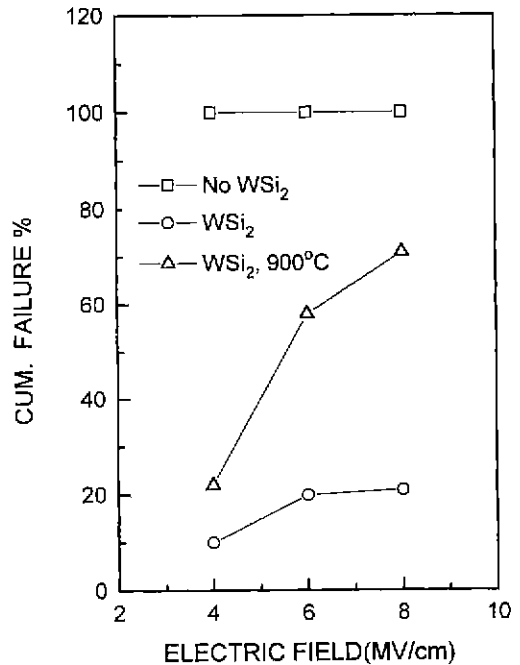


Fig. 5. Breakdown cumulative failure of thin oxide with electric field for  $(WSi_2)$ /polycrystalline-Si/ $SiO_2$ /Si-substrate.

감소했지만, 이 시편에  $900^\circ C/30 \text{ min}/N_2$ 의 추가 열처리로 불량율이 크게 증가했다.

50 nm의 다결정 실리콘을 갖는 polycrystalline-Si/ $SiO_2$ /Si-substrate 구조는 다결정 실리콘 두께가 50 nm로 매우 얇아 전도성을 부여하기 위해 확산시킨 인(P)이 다결정 실리콘의 입계(grain boundary)를 따라 과잉 축적, 석출되어 산화막 특성을 저하시키고, 또한 인가한 전계가 산화막 위에 불균일하게 가해져 대부분의 초기 불량을 야기한 것으로 추정된다. 50 nm의  $WSi_2$ 를 증착(as-depo)시켜 열처리를 하지 않은 시편의 불량율을 감소는  $WSi_2$ 의 전도성이 다결정 실리콘보다 커서  $WSi_2$ /polycrystalline-Si 전극 구조가 산화막에 보다 균일한 전계를 인가했기 때문으로 추정된다.  $WSi_2$ 의 as-depo 시킨 시편에  $900^\circ C/30 \text{ min}/N_2$ 의 추가 열처리에 의한 불량율 증가는 F 혹은 W이 확산<sup>11</sup>되어 산화막으로 이동해서 산화막 특성을 저하시킨 결과이다.

8 nm 두께의 thin oxide의 면적을  $3.32 \times 10^4 \mu m^2$ 로 제조한  $(WSi_2)$ /polycrystalline-Si/ $SiO_2$ /Si-substrate의 MOS 캐패시터에 대한  $WSi_2$  증착 유무에 대한 산화막의 절연특성을 전하축적용량(Qbd)으로 측정<sup>7)</sup>해서 Fig. 6에 도시했다.  $WSi_2$ 를 증착한 시편의  $Q_{bd}$ 가 증착하지 않은 시편에 비해 전하축적 용량이 저하됨을 알수 있다. 즉  $WSi_2$  증착으로 산화막 두께는 증가하나 막 특성은 열등해서 산화

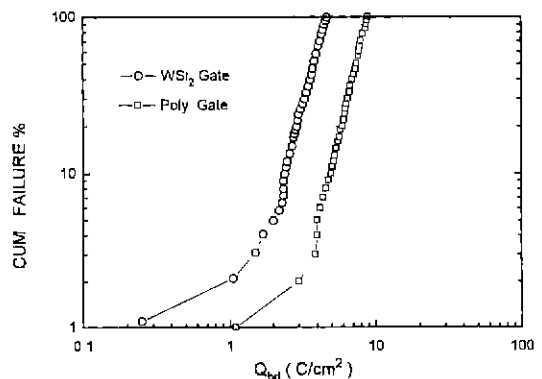


Fig. 6. Comparison of  $Q_{bd}$  between polycrystalline-Si/ $SiO_2$ /Si-substrate and  $WSi_2$ /polycrystalline-Si/ $SiO_2$ /Si-substrate structure.

막 절연성이 떨어진다.

### 5. 결 론

비저항이  $10 \Omega \cdot cm$ 인 p-type (100) 실리콘 웨이퍼를 사용해 제조한 MOS 구조의 thin oxide 특성과  $WSi_2$  증착의 영향은 다음과 같다.

$WSi_2$  막을 증착하지 않은 CVD-Si/SiO<sub>2</sub>/Si-substrate 구조에서 CVD-Si을 다결정 실리콘으로 증착한 시편이 비정질 실리콘을 증착한 시편보다 산화막 불량이 적다.  $WSi_2$ 를 증착시킨  $WSi_2$ /CVD-Si/SiO<sub>2</sub>/Si-substrate 구조에서 게이트 전극으로 다결정 실리콘 혹은 비정질 실리콘을 사용했을 때 그 들간의 thin oxide 불량을 차이는 미미하다. 산화막 불량은 CVD-Si에 확산시킨 인(P) 증가, 즉 면저항(sheet resistance) 감소로 증가한다. Thin oxide의 절연특성은  $WSi_2$  증착으로 저해된다.  $WSi_2$  증착으로 산화막 두께는 증가하나 막 특성은 열등해져 산화막 절연성이 떨어진다.

### 감사의 글

본 논문은 1997년도 조선대학교의 학술연구지원 및 우수연구센터 지원에 의해 수행되었기에 감사를 드립니다.

### REFERENCES

1. T. Shibata, K. heida and M. Monaka, *IEEE Trans. Electron Devices*, ED-29, pp.531 (1982).
2. J.S. Park, W.S. Lee and D.J. Jung, "Thin Oxide Degradation by Ti-polycide gate in MOS Device," *Kor. Inst. Tele. Elect.*, **29A**(12), 125-131 (1992).
3. P.J. Wright and K.C. Saraawat, "The Effect of Flourine in Silicon Dioxide Gate Dielectrics," *IEEE Trans. Electron Devices.*, **36**(5), 789-889 (1989).
4. P.J. Park et al., "Characteristics of Gate Electrode for  $WSi_2$ /CVD-Si/SiO<sub>2</sub>," *J. Kor. Ceram. Soc.*, **30**(1), 55-61 (1993).
5. H.J. Whitlow et al., "Flourine in Low Pressure Chemical Vapor Deposited W/Si contact Structures: Inclusion and Thermal Stability," *Appl. Phys. Lett.*, **50**, 1947-1499 (1987).
6. J. Torres et al., "Phosphorus Redistribution in a  $WSi_2$ /polycrystalline-Silicon Gate Structure during Furnace Annealing," *J.Appl. Phys.*, **63**(3), 732-742 (1988).
7. M. Ushiyama et al., "Two Dimensional Inhomogeneous Structure at Gate-Electrode/ Gate Insulator Interface causing Floeler-Nordheim Current Deviation in Non-volatile Memory," *Inter Reliability Phys. 29th Annual Proc.*, 331-336 (1991).

1. T. Shibata, K. heida and M. Monaka, *IEEE Trans.*