

기판 조건에 따른 $TiSi_2$ 박막의 형성 및 전기적 특성 변화 고찰

김은하 · 고대홍
연세대학교 세라믹공학과
(1998년 7월 18일 접수)

Effects of Conditions of Silicon Substrates on The Formation and Electrical Properties of $TiSi_2$ Thin Films

Eun-Ha Kim and Dae-Hong Ko

Department of Ceramic Engineering, Yonsei University

(Received July 18, 1998)

요 약

타이타늄/실리콘 간의 고상반응에 의하여 타이타늄 실리사이드 박막을 형성하고, 기판 조건에의 의존성을 고찰하였다. 도핑이 되지 않은 단결정 실리콘 기판 상에서 750°C 에서의 RTP 처리에 의해 두께 550 \AA , 면저항 $2.8\sim 3.2 \Omega/\square$ 의 저저항 C54 타이타늄 실리사이드 박막을 형성하였다. As 또는 B 이 도핑된 단결정 실리콘, 다결정 실리콘 기판 상에서는 C49-C54 상전이 온도가 증가하여, 800°C 에서의 RTP 처리에 의해 저저항 C54 상이 형성되었다. 또한, As 이온 주입에 의해 기판이 비정질화된 경우, 타이타늄/비정질 실리콘 간의 반응유도에 의해 C49-C54 상전이 온도가 감소하였다.

ABSTRACT

Formations of $TiSi_2$ thin films by a solid state reaction between Ti thin films and Si substrates and the effects of the conditions of Si substrates have been investigated. Low-resistant C54- $TiSi_2$ films were formed by rapid thermal processes at 750°C on the undoped Si (100) substrate, and at 800°C on the As or B-doped Si (100) substrates as well as on As or B-doped poly-Si substrates. Cross-sectional TEM analyses confirmed the formation of small-grained C49 $TiSi_2$ films by rapid thermal processes at 700°C on pre-amorphized poly-Si substrate by As implantation. The temperatures of the transformation to the C54 phase decreased in small-grained C49- $TiSi_2$ films.

Key words: $TiSi_2$, C49-to-C54 transformation, Pre-amorphization

1. 서 론

최근 고성능의 반도체 소자 제품에 대한 수요가 급증함에 따라, 반도체 소자의 고성능화를 위한 소자의 고속화, 고집적화에 대한 연구개발이 활발하게 진행되고 있다. 소자의 고집적화를 진행하는 경우, design rule $0.35 \mu\text{m}$ 이하의 소자에서는 소자의 기생저항(parasitic resistance)이 급격히 증가하여, 종래의 소자 스케일 감소에 의한 성능의 향상은 일어나지 않는다.¹⁾ 이를 극복하기 위해서 CMOS 소자의 소오스/드레인(source/drain) 지역, 그리고 게이트 지역에 동시에 저저항의 실리사이드 박막을 형성하여, active 박막 및 게이트의 저항 및 active 금속 접촉저항을 최소화할 수 있는 SAL-

ICIDE (self aligned silicide) 공정을 사용하는 방법이 제안되었다.^{1,2)}

현재 가장 일반적으로 SALICIDE 공정에 사용되고 있는 재료인 타이타늄 실리사이드는 재료의 비저항이 약 $15 \mu\Omega\text{cm}$ 로 코발트 실리사이드와 더불어 실리사이드 중에 가장 낮다. 또한, 타이타늄은 실리사이드를 형성 시에 실리콘 표면의 자연 산화막과 반응하여 이를 분해시키기 때문에,³⁾ 형성된 실리사이드가 비교적 균일하여, 소오스/드레인 (source/drain) 지역의 접합누설전류를 줄일 수 있다는 장점을 지니고 있다. 이러한 장점에도 불구하고, 타이타늄 SALICIDE 공정은 design rule의 감소에 따라 근본적인 문제점을 보인다. 즉, $0.35 \mu\text{m}$ 이하의 design rule의 소자에서는 SALICIDE 공정에 의하

여 생성된 실리사이드 박막의 저항이 현저하게 증가하는 문제를 보이고 있다.^{6,5)} 이러한 저항의 증가는 소오스 및 드레인 지역인 단결정 실리콘이나 게이트 지역인 다결정 실리콘 상부에서 공통적으로 나타나는 문제로, design rule 0.35 μm 이하에서 크게 증가하기 시작하여 design rule이 0.2 μm 이하에서는 형성된 실리사이드의 면저항이 수십 Ω/\square 으로 급격히 증가한다고 보고되고 있다.⁶⁾ 이와 같은 design rule 감소에 따른 실리사이드 박막의 급격한 저항 증가의 원인은 타이타늄 실리사이드의 다음과 같은 재료 특성에 있다. 타이타늄 실리사이드는 온도에 따라, 저온에서는 준안정상인 C49 상을, 고온에서는 최종 안정상이며 동시에 저저항상인 C54 상을 형성한다.⁶⁾ Design rule의 감소에 따라, 이러한 동일이상 간의 상전이 기구는 상전이 온도의 증가 및 불완전 상전이와 같은 특성을 나타낸다. 이로 인하여, 저항의 급격한 증가가 야기된다고 보고되고 있다.⁷⁾

본 연구는 기판 조건의 변화에 따른 타이타늄 실리사이드의 형성기구의 변화에 대한 관찰 결과를 바탕으로, 기판 비정질화에 따른 타이타늄 실리사이드의 형성기구의 변화 및 전기적 특성의 향상을 연구하였다. 또한, 저저항 특성을 나타내는 SALICIDE 공정 적용을 위하여, 기판 비정질화가 타이타늄 실리사이드 박막의 전기적 특성의 향상에 미치는 효과를 고찰하였다.

2. 실험방법

비저항이 7~25 $\Omega\text{-cm}$ 인 p-type (100) 실리콘 웨이퍼 기판을 Trichloro Ethylene (TCE), 아세톤, CH_3OH , 탈이온수를 이용하여 세정하고, 불산을 이용하여 표면의 산화막을 제거한 후 탈이온수로 린스하였다. 세정 직후 웨이퍼를 고진공 증착 장비 내로 장입하여 자연 산화막의 생성을 최소화 하였다. 장입된 웨이퍼에 UHV DC magnetron sputter를 이용, 진공도 2.0×10^{-8} torr 이하, sputtering Ar 기체 압력 3.0×10^{-3} torr의 조건에서 약 350~400 Å의 두께의 타이타늄 박막을 증착하였다. 질소 분위기에서 RTP를 이용하여 타이타늄 박막이 증착된 웨이퍼를 열처리하여, 650~700°C에서 일차적으로 준안정상인 C49 TiSi_2 상을 형성하고, 미반응된 타이타늄 및 RTP 처리과정 중 형성된 타이타늄 질화물을 $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:200:600$ 인 화학용액을 사용하여 제거하였다. 750~850°C의 범위에서 열처리하여 최종적으로 저저항의 C54 TiSi_2 상을 형성하였다.

기판 조건의 변화를 위하여 이온주입에 방법에 의해 As 또는 B을 각각 60 keV, $5 \times 10^{15}/\text{cm}^2$ 및 25 keV, $2 \times 10^{15}/\text{cm}^2$ 의 조건으로 주입시킨 후, 퍼니스 어닐링에 의해 도펀트 활성화를 하였다. 이후, 기판 비정질화를 위

하여 As 이온 주입을 실시하였다. 이때, As 이온 주입 에너지를 40 keV로 설정하고, 주입량을 $1 \times 10^{14}/\text{cm}^2$ 또는 $1 \times 10^{15}/\text{cm}^2$ 로 변화시켰다.

형성된 박막의 전기적 특성 분석을 위하여 4탐침법을 이용하여 면저항을 측정하였다. 박막의 결정구조 분석을 위하여 XRD 분석을 수행하였으며, 사용한 X-선 회절기는 Philips PW1820 이다. 또한, 박막의 미세구조 분석을 위하여 단면 TEM 분석을 수행하였다. TEM 시편 준비는 표준단면시편제조법에 따랐으며, 사용한 TEM 장비는 Hitachi H-600 electron microscope 이고 분석 조건은 가속 전압 100 KV 이다.

3. 결과 및 고찰

비저항 7~25 $\Omega\text{-cm}$ 인 p-type (100) 실리콘 웨이퍼 기판 위에 타이타늄 박막을 증착한 후, RTP 처리에 의해 타이타늄 실리사이드 (TiSi_2) 박막을 형성하였다. 이때 증착한 타이타늄 박막의 두께는 400 Å 이었고, 최종 열처리에 의해 형성된 타이타늄 실리사이드 박막의 두께는 550 Å 이었다. RTP 처리 온도에 따른 박막의 면저항 및 XRD 결과를 각각 그림 1 과 그림 2에 나타내었다. 각각의 시편은 700°C에서 1차 RTP 후 미반응된 타이타늄 및 타이타늄 질화물을 제거하고, 저저항 C54상

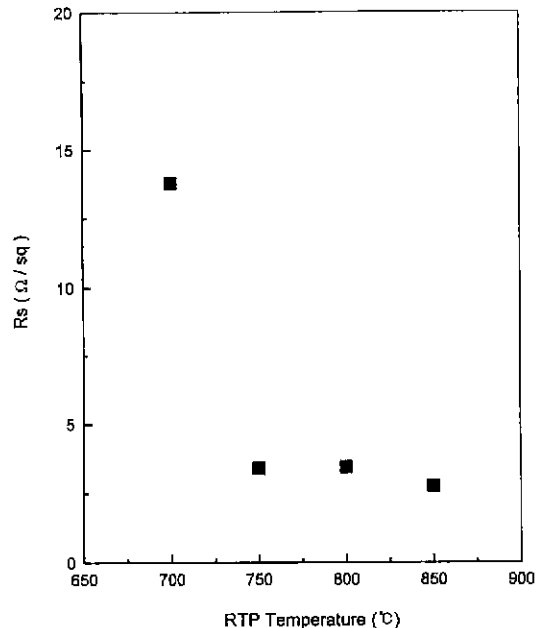


Fig. 1. Sheet resistance values of TiSi_2 films on undoped Si (100) substrates with various RTP temperatures.

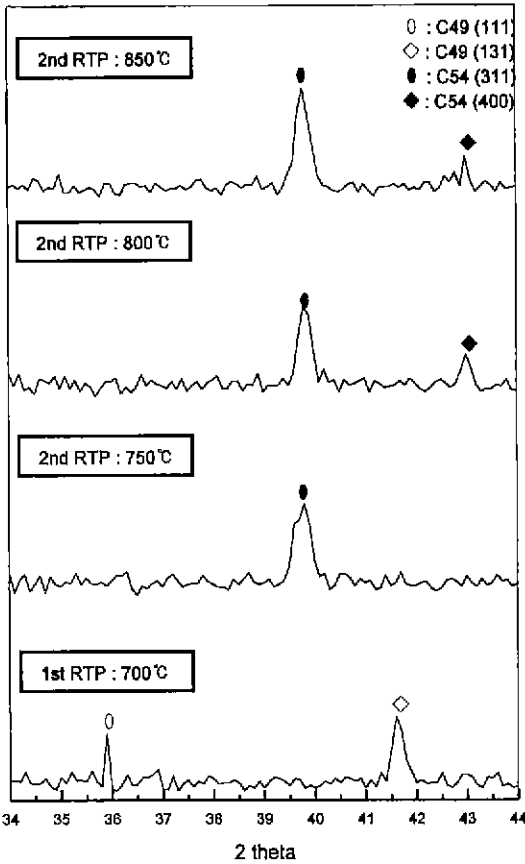


Fig. 2. XRD spectra of $TiSi_2$ films on Si (100) substrates after RTP treatments.

의 형성을 위하여 750, 800, 850°C에서 2차 RTP 처리를 하였다. 타이타늄 실리사이드 박막의 면저항은 그림 1에서 보는 바와 같이 750°C 열처리 후 급격히 감소하였으며, 이러한 저항의 감소는 그림 2의 750°C 이상의 온도에서 RTP 처리한 경우 저저항 C54 상의 형성을 나타내고 있는 XRD 결과와 일치한다. 2차 RTP 처리 온도를 800°C, 850°C로 증가시키에 따라 면저항의 큰 감소는 없었으며, XRD 결과에도 큰 변화가 없었다.

As 또는 B이 이온 주입에 의해 각각 $5 \times 10^{15}/cm^2$, $2 \times 10^{15}/cm^2$ 로 도핑된 실리콘 단결정 또는 다결정 실리콘을 기판으로 사용하여 실리사이드화 반응을 관찰하였다. 처리 온도에 따른 박막의 면저항의 변화를 그림 3에 나타내었다. 도핑이 되지 않은 단결정 실리콘 기판 상의 경우와는 달리, 800°C 이상에서 면저항의 감소 및 상전이가 이루어졌다. 그리고, As이 도핑된 다결정 실리콘 기판 위에서는 800°C에서 RTP 처리 후 면저항의 감소가 나타난 반면, B이 도핑된 다결정 실리콘 기판 위에서는 750°C에서 RTP 처리 후 면저항의 감소가 나타났다.

그러나, 이후 800°C RTP 처리에 의해 면저항의 감소가 계속되는 것으로 보아 750°C RTP 처리에 의해서 비교적 불완전한 상전이가 일어났음을 알 수 있다. 그림 4의 XRD 결과로부터 800°C 이상의 RTP 처리에 의해 C54 상으로의 상전이가 이루어졌음을 알 수 있다. 또한, 도핑이 되지 않은 실리콘 기판 상의 경우와 비교했을 때, C54 (400) 면의 피크가 상대적으로 증가되었다.

이와 같은 실험 결과는 이온 주입에 의해 실리콘 기판에 고농도로 도핑된 As, B 도펀트가 실리사이드화 반응 및 저저항 C54 상으로의 상전이에 있어서 영향을 미치고 있음을 나타낸다. As, B 도펀트는 타이타늄 실리사이드 박막 내에서 고상용해도가 매우 낮고, 각각 실리사이드화 반응 온도 범위내에서 타이타늄 실리사이드 박막 내에서 $TiAs$, TiB_2 화합물을 형성하고있는 것으로 보고된 바 있다.⁸⁹⁾ 이러한 화합물의 형성은 실리사이드화 반응에 있어서 실리콘 입자의 확산을 방해할 뿐만 아니라, 저저항 C54 상으로의 상전이를 어렵게 하여, 결과적으로 상전이 온도의 증가를 야기한다고 보고되고 있다.^{10,11)}

As 또는 B이 고농도로 도핑된 실리콘 기판 상에서 이온 주입에 의한 기판 비정질화에 따른 실리사이드 형성 반응의 변화를 관찰하였다. 이를 위하여 As 이온 주입 에너지를 40 KeV로 설정. 이온 주입량을 $10^{14}/cm^2$, $10^{15}/cm^2$ 의 범위에서 변화시켰다. 다음 그림 5의 TEM 사진으로 확인한 결과, 비정질화된 실리콘 층의 두께는 약 300 Å 이었다. 이는 타이타늄/실리콘 고상 반응에 의한 타이타늄 실리사이드 박막의 형성에 소모되는 실리콘 층 내에 포함되는 영역이므로, 실리사이드화 반응 이후, 비정질 실리콘 층의 잔존으로 인한 후속 열처리에 의한 박막의 응집현상 심화 및 소자의 전기적 안정성에 영향을 주지 않는 두께이다.

비정질화된 기판 상에서의 RTP 처리 온도에 따른 박막의 면저항의 변화를 그림 6에 나타내었다. 기판 비정질화에 의해 현저하게 나타난 현상은 무엇보다도 박막의 면저항 감소를 나타내는 온도의 감소이다. 이는 전술한 바와 같이 저저항 C54 상으로의 상전이 온도 감소에 의한 것이다. 특히, As 또는 B이 도핑된 다결정 실리콘 기판 상에서 비정질화에 의해 면저항의 감소를 나타내는 온도가 800°C에서 750°C로 감소되었다. 그리고, 단결정 실리콘 기판 상에서는 비정질화에 의한 효과가 미미하였다. 또한, As 이온 주입 농도에 따른 영향은 두드러지게 관찰되지 않았으나, B이 도핑된 단결정 실리콘 기판 상에서의 타이타늄 실리사이드 박막의 면저항은 As 이온 주입량이 $10^{15}/cm^2$ 인 경우에 750°C에서 급격한 저항의 감소를 나타내었다. 이는 비정질화의 목적으로 주입된 As 이온의 양이 타이타늄 실리사이드 박막의 상전이에 있어서 부분적인 영향을 미치고 있다는 점을 나타

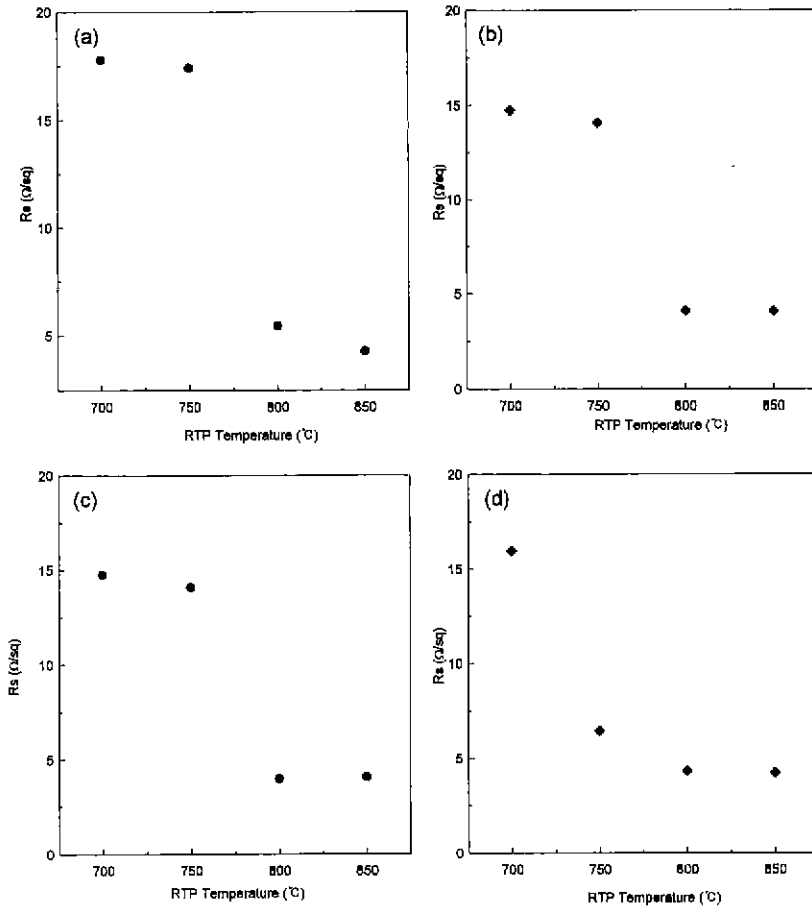


Fig. 3. Sheet resistance values of $TiSi_2$ films with various RTP temperatures (a) on As doped Si (100) substrates, (b) on B doped Si (100) substrates, (c) on As doped poly Si substrates and (d) on B doped poly Si substrates.

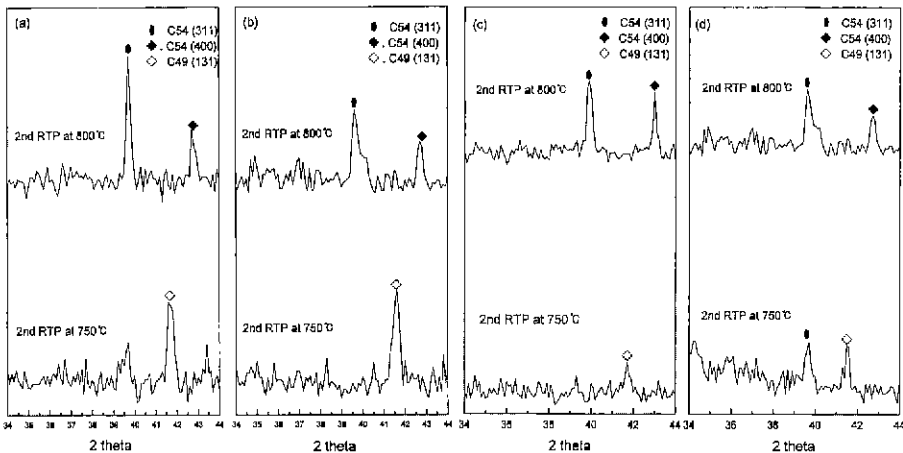


Fig. 4. XRD spectra of $TiSi_2$ after RTP treatments (a) on As doped Si (100) substrates, (b) on B doped Si (100) substrates, (c) on as doped poly-si substrates and (d) on B doped poly-si substrates.

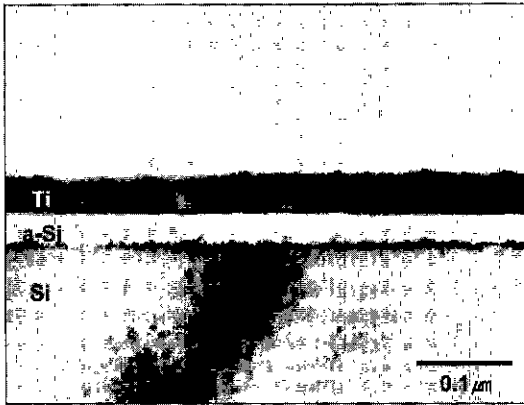


Fig. 5. Cross-sectional TEM photograph of as-deposited Ti film on preamorphized Si (100) substrate.

내고 있는 것이다.

As이 도핑된 다결정 실리콘 기판 상에서 기판 비정질화에 의해 형성된 타이타늄 실리사이드 박막의 미세구조의 변화를 관찰하기 위하여 TEM 분석을 수행하였다. 다음 그림 7은 각각 기판 비정질화에 의해 As이 도핑된 다결정 실리콘 상에 700°C RTP 처리에 의해 형성된 C 49 $TiSi_2$ 박막과, 이후 750°C RTP 처리에 의해 형성된 C54 $TiSi_2$ 박막을 보여주고 있다.

기판 비정질화에 따른 전기적 특성의 변화는 무엇보다도 실리사이드화 반응의 변화로 인한 타이타늄 실리사이드 박막의 미세구조 변화 및 상전이 기구의 변화에 의한 것으로 생각된다. 타이타늄/비정질 실리콘 간의 반응인 경우에는 타이타늄 실리사이드의 형성에 필요한 반응의 구동력 증가로 인해, C49 $TiSi_2$ 형성 반응이 향

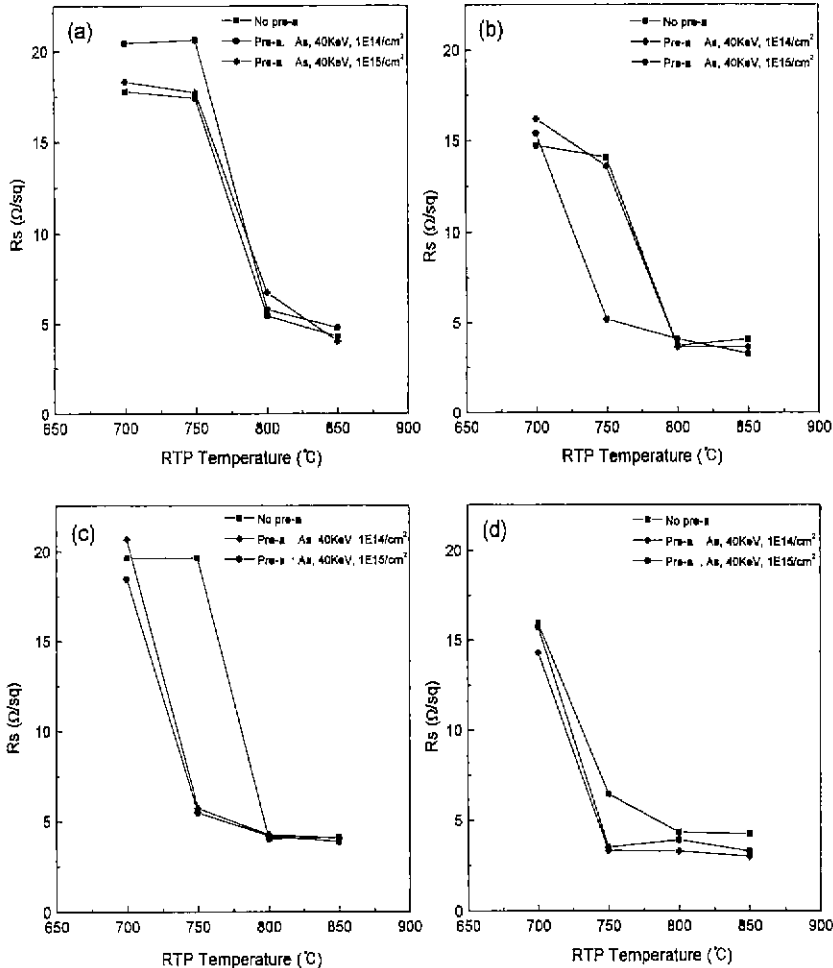


Fig. 6. Sheet resistance values of $TiSi_2$ films with various RTP temperatures (a) on pre-amorphized As doped Si (100) substrates. (b) on pre-amorphized B doped Si (100) substrates. (c) on pre-amorphized As doped poly Si substrates and (d) on pre-amorphized B doped poly Si substrates.

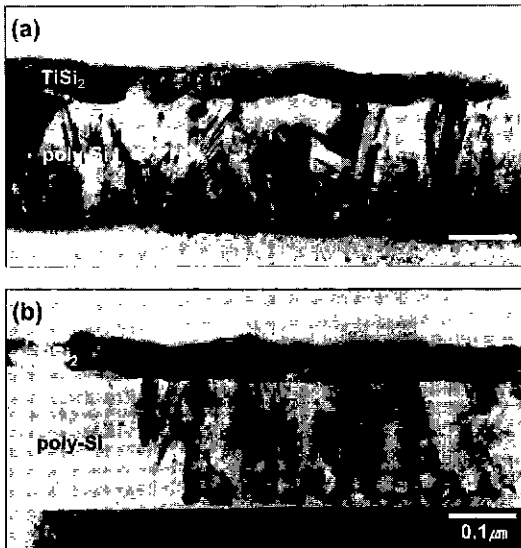


Fig. 7. Cross-sectional TEM photographs of (a) C49 $TiSi_2$ film formed by RTP at $700^\circ C$, (b) C54 $TiSi_2$ film formed by RTP at $750^\circ C$ on As-doped poly-Si substrates with pre-amorphization treatment.

상되고 동시에, $TiSi_2$ 핵밀도가 증가하는 것으로 보고되고 있다.^{12,13} 본 연구에서는 As 이온 주입에 의해 그림 5와 같이 약 300 \AA 의 비정질 실리콘 층을 형성하여, 타이타늄/비정질 실리콘 간의 반응을 유도하여, C49 $TiSi_2$ 형성 반응의 향상 및 핵밀도의 증가를 초래한 것으로 생각되며, 이러한 준안정 C49 상의 형성 반응 향상 및 핵밀도 증가에 의해 C49-C54 상전이 온도가 감소된 것이다. 이는 C49-C54 상전이는 핵생성 단계가 전체 반응의 유효단계임을 고려하여 핵생성 단계를 중심으로 다음과 같이 설명될 수 있다. C49-C54 상전이에 따른 주된 핵생성 기구는 C49 상의 입계면 및 입계모서리에서의 불균일 핵생성에 의한 것으로 보고되고 있다. 불균일 핵생성은 균일 핵생성에 비하여 새로운 상의 형성에 따른 계면에너지 차가 감소하기 때문에 핵생성에 필요한 에너지 장벽의 감소를 나타내게 된다.¹⁴ 반응계 내에서 입계면 및 입계모서리는 이와 같은 불균일 핵생성에 기여하게 되고, 불균일 핵생성이 전체 핵생성 반응을 주도하게 된다. 따라서, C49 상의 핵생성 밀도 증가에 의한 입계면의 상대적 증가는 핵생성 자리의 증가 및 핵생성 에너지 장벽의 감소를 야기한 것으로 생각된다.

4. 결 론

기판 조건 변화에 따른 타이타늄-실리사이드의 형성

기구의 변화 관찰을 바탕으로 기판 비정질화에 따른 타이타늄-실리사이드의 형성기구의 변화 및 전기적 특성의 향상에 관한 본 연구에서 얻은 결론은 다음과 같다. 도핑이 되지 않은 단결정 실리콘 기판 상에서 $750^\circ C$ 에서의 RTP 처리에 의해 두께 550 \AA , 면저항 $2.8\sim 3.2 \Omega/\square$ 의 저저항 C54 타이타늄 실리사이드 박막을 형성하였다. As 또는 B이 도핑된 단결정 실리콘, 다결정 실리콘 기판 상에서는 C49-C54 상전이 온도가 증가하여, $800^\circ C$ 에서의 RTP 처리에 의해 저저항 C54 상이 형성되었다. 또한, As 이온 주입에 의해 기판이 비정질화된 경우, 타이타늄/비정질 실리콘 간의 반응유도에 의해 C49-C54 상전이 온도가 감소하였다.

감사의 글

본 연구는 서울대학교 반도체공동연구소의 교육부 반도체 분야 학술연구조성비(과제번호: ISRC 96-E-1064)에 의해 수행되었습니다.

REFERENCES

1. T. Yamazaki, K. Goto, T. Fukano, Y. Nara, T. Sugi and T. Ito, "21 psec Switching $0.1 \mu m$ -CMOS at Room Temperature Using High Performance Co-salicide Process," IEDM Tech. Dig., 906-908 (1993).
2. T. Takeuchi, T. Yamamoto, A. Furukawa, T. Tamura and K. Yoshida, "High Performance Sub-Tenth Micron CMOS Using Advanced Boron Doping and WSi_2 Dual Gate Process," 1995 Symposium on VLSI Technology, 9-10 (1995).
3. C. Y. Ting, M. Wittmer, S. S. Iyer and S. B. Brodsky, "Interaction between Ti and SiO_2 ," *J. Electrochem. Soc.*, **131**, 2934-2939 (1984).
4. K. Goto, T. Yamazaki, Y. Nara, T. Fukano, T. Sugii, Y. Arimoto and T. Ito, "Ti Salicide Process for Subquarter-Micron CMOS Devices," *IEICE Trans. Electron.*, **E77(3)** 480-483 (1994).
5. G. E. Georgiou, F. A. Baiocchi, S. A. Eshraghi, N. T. Ha, R. Key, S. nakahara and M. R. Bakr, "Thermal Instability of Thin $TiSi_2$ -Effect on Materials Properties and MOS Device Characteristics," VMIC 1993, 308-310 (1993).
6. R. Beyers and R. Sinclair, "Metastable Phase Formation in Titanium-silicon Thin Films," *J. Appl. Phys.*, **57**, 5240-5245 (1985).
7. L. A. Clevenger, R. A. Roy, C. Cabral Jr., K. L. Saenger, S. Brauer, G. Morales, K. F. Ludwig, Jr. G. Gifford, J. Buccignano, J. Jordan-Sweet, P. Deharen, and G. V. Stephenson, "A Comparison of C54- $TiSi_2$ Formation in Blanket and Submicron Gate Structure Using In-situ X-ray Diffraction During Rapid Thermal

- Annealing," *J. Mater. Res.*, **10**, 2355-2360 (1995).
8. R. P. Elliot, *Constitution of Binary Alloys*, first suppl., McGraw-Hill, New York, 1985.
 9. F. A. Shunk, *Constitution of Binary Alloys*, second suppl., McGraw-Hill, New York, 1985.
 10. X.-H. Li, J. R. Carlsson, S. F. Gong and H. T. G. Hentzell, "Effect of Sb on Phase Transformation of Amorphous $TiSi_2$ Thin Film," *J. Appl. Phys.*, **72**, 514-519 (1992).
 11. H. K. Park, J. Sachitano, M. Mcpherson, T. Yamaguchi and G. Lehman, "Effect of Ion Implanatation Doping on thd Formation of $TiSi_2$," *J. Vac. Sci. Technol.*, **A2**, 264-268 (1984).
 12. J. A. Kittl, Q. -Z. Hong, M. Rodder, D. A. Prinslow and G. R. Misium, "A Ti Salicide Process for 0.10 μm Gate Length CMOS Technology," 1996 Symposium on VLSI Technology. Digest of Technical Papers, 14-16 (1996).
 13. Ivo J. M. M. Raaijmakers and Ki-Bum Kim, "A Comparison of the Reaction of Titanium with Amorphous and Monocrystalline Silicon," *J. Appl Phys.*, **67**, 6255-6264 (1990).
 14. Z. Ma and L. H. Allen, "Kinetic Mechanisms of the C49-to-C54 Polymorphic Transformation in Titanium Disilicide Thin Film: A Microstructure-Scaled Nucleation-Mode Transition," *Phys. Review B*, **49**, 13501-13511 (1994).