클록초기치 누적방식을 사용한 DDFS 변조기 구현과 성능평가

Implementation and Performance Test of DDFS Modulator using the Initial Clock Accumulating Method

최 승 덕*, 김 경 태**
(Seung Duk Choi*, Kyung Tae Kim**)

요 약

디지털신호의 변조에는 기본적으로 진폭 편이 변조(ASK : Amplitude-Shift Keying), 주파수 편이 변조(FSK : Frequency-Shift Keying), 위상 편이 변조(PSK: Phase-Shift Keying) 등의 세 가지 방법이 있다.

본 논문에서는 표본클록 합성계수 방식에 관한 이론을 고찰하고, 클록초기치 누적방식의 DDFS를 이용하여 위에서 언급한 변조방법을 실현할 수 있는 주파수 도약 대역 확산 통신에 적합한 변조기를 구현하였다. 또한, 합성된 출력주파수의 정현파형에 대한 스펙트럼 분석과 PN(Pseudo Noise) 부호를 사용한 순시적인 주파수 도약 상태, 위상제어의 가능성 등을 확인한 결과 실험으로부터 다음과 같은 결과를 얻었다. 첫째, 합성된 출력주파수는 주파수 Index에 따라 기준주파수에 정확히 정수배가 되며, 둘째, 합성된 정현파형의 스펙트럼으로 기본파와 여러 고조파의 크기를 비교하여 본 결과 50[dB] 이상의 차이가 남으로서 고조파 성분들이 상당히 감소되었음을 확인하였고, 셋째, PN 코드를 사용하여 순시적인 주파수 도약 상태를 확인하여 본 결과 스위칭 시간이 빠르기 때문에 주파수 도약 특성이 뛰어남을 알 수 있었으며 또한, 누산기의 set/reset 상태를 변화시킴에 따라 위상이 제어됨을 입증하였다.

ABSTRACT

There are basically three methods, that is, ASK(Amplitude-Shift Keying), FSK(Frequency-Shift Keying), PSK(Phase-Shift Keying), in modulating digital signal.

In this paper, sample clock counting method is reconsidered in the side of output wave formula expression. We constructed three modulator system for the frequency hopping spectrum communication using DDFS of Initial Clock Accumulating Method.

The spectrum of synthesized sine waveform is simulated and compared with a measured value, and its the coherence frequency hopping state is confirmed by PN code sequence. We also confirmed possibility of phase control.

The results obtained from the experiments are as follows; First, the synthesized output frequency is proportional to the sampling frequency, according to index, K. Second, the difference of the gain between the basic frequency and the harmonic frequencies was more than 50[dB], that is, this means facts that is reduced the harmonic frequency factor. Third, coherence frequency hopping state is confirmed by PN code sequence. Here, we confirmed the proposed method cut switching time, this verify facts that is the best characteristic of the frequency hopping. We also verified the fact that the phase varies as the adder is operated set or reset.

I. 서 론

여러 가지 장점을 지니는 대역 확산 통신[1],[2],[7]방법중의 하나로 주파수도약(FH ; Frequency Hopping) 방법이 있으며 FH/SS (Frequency-Hopping Spread Spectrum system)에서의 주파수 도약 패턴은 정보신호보다 주파수가 높은 PN 코드에 의해서 수행되어진다. 따라서, 이러한 시스템을 구현함에 있어서 발생주파수의 안정도가 뛰어난 주파수 합성기는 필수적인 구성요소가 된다. 주파수를 합성하는 방법에는 직접방식과 PLL을 이용한 간접방식, 그리고 표본화이론과 D/A 변환 기술을 근간으로 출력파형을 합성하는 직접 디지털 방식으로 구별된다.[8],[9]

위의 방식 중에서 PLL을 이용한 간접방식은 직접방식에 비해 전기적 특성이 양호하고, 주파수 대역의 확장이 용이한 광대역 특성을 지니고 있기 때문에 현재 널리 사

* 한국생산기술연구원 부설 산업기술교육센터
** 경원대학교 전자공학과

접수일자 : 1998년 10월 27일

용되고 있으나 귀환루프를 이용하기 때문에 필연적으로 과도응답을 갖게되어 출력주파수를 고속 스위칭을 행하는데 제한을 받는 단점이 있다. 이에 비해, 직접 디지털 방식은 주파수 해상도 및 안정도가 좋으며 발생 주파수의 변화가 연속위상을 이루고, 순시 주파수 천이시간이 매우 짧은 장점을 갖는다.[5],[6]

따라서, 직접 디지털 방식은 FH 시스템에서 요구하는 출력주파수의 정확성과 임의의 출력주파수로 고속변환이 가능해야 하는 조건을 만족하게 된다.

그러나, 기존의 위상 누적방식을 이용한 DDFS는 초기치 위상을 누적하여 정현파형의 출력주파수를 직접 합성하는 방식으로서 파형을 합성하는 과정 중에 불규칙적인 위상왜곡이 나타나게 되어, 출력주파수에 해당하는 완전한 정현파형의 합성이 어렵게 되고, 스펙트럼 상에 불요잡음이 많아지는 단점이 있으며,[3],[4],[5] 표본클록 합성부를 PLL을 사용한 DDFS는 PLL의 단점사항인 locking/pull in 시간이 요구되는 단점이 있다.

본 논문에서는 이러한 단점을 개선하기 위하여 임의로 설정되는 클록 초기치를 계속 누적함으로서 임의의 표본클록을 합성하고, 이 클록에 의해 일정하게 설정된 한 주기당 표본치를 계수하는 클록 초기치 누적방식의 DDFS를 구성하여, 기존의 DDFS 보다 불요 고조파 성분이 감소됨을 확인하였고, 실제 제작된 주파수 합성기의 성능을 해석하기 위하여 ASK, FSK, PSK 변조기를 구성하여, 실험하였다. 그 결과, 랜덤한 PN 부호 열에 대하여도 빠르고 안정된 주파수 도약 상태를 보이고 위상제어가 가능함을 확인함으로서 FH 시스템에 사용이 가능함을 확인하였다.

II. 시스템 동작원리

1. 클록 초기치 누적방식의 제안 배경

위상누적방식은 회로동작 특성 때문에 위상의 왜곡이 발생하므로 많은 불요 고조파 성분이 포함되어 깨끗한 정현파형을 발생시키지 못한다.

위상누적방식에 의해 만들어진 출력파형을 LPF를 통과하지 않은 상태에서 최대진폭을 "1"로 하면 다음 식으로 표현된다.

$$S(t) = \sin\{MOD(k \cdot m,\ 2^M) \cdot 2\pi/2^M\} \cdot [U\{t-(k/f_c)\} - U\{t-(k+1)/f_c\}] \quad (1)$$

단, $k/f_c < t < (k+1)/f_c$이며, f_c는 클록 주파수, M은 위상제어 비트 수, m은 $1 \le m \le 2^M$으로서 주파수 세어값이고, k는 표본시각 위치를 표시한 자연수, MOD(·)는 Moduler 연산함수, U(t)는 단위 계단 함수이다. 여기서, 출력주파수에 해당되는 정현파형을 LPF를 거치지 않은 상태에서 고려한 이유는 LPF를 통과하기 이전의 구성 알고리즘에 의해서 합성주파수 상에 생기는 전체적인 불요 고조파성분을 고찰하여 해당하는 주파수의 정현파형 상의 문제점을 파악하기 위한 것이며, FH용으로 사용시 랜덤한 주파수도약에 따른 적절한 LPF 작용을 예측하기 위해서이다.

식(1)에서 시스템에 가해진 클록주파수 f_c가 2의 멱승꼴로 주어지고 특정한 주파수 제어 비트 값(m)과 위상제어 비트 수(M)에 따라 $2^M/m$이 자연수가 될 때에만 완전한 한 주기에 해당되는 출력진폭을 가지면서 $f_0 = m \cdot f_c/2^M$에 해당되는 주파수가 발생한다.

그러나, $2^M/m$이 자연수가 되지 않는다면 시간변화에 따른 한 주기 당 불규칙적인 진폭의 변화가 일어나게 되어 위상왜곡을 가지는 주파수가 발생하게 된다. 이와 같이 특정주파수를 제외하고는 합성파형 상에 왜곡이 발생하여 주파수 스펙트럼 상에 고조파성분이 증가된다.

따라서, 이러한 위상누적 방식의 위상왜곡이 발생되는 단점을 없애기 위하여 불완전한 진폭치 누적을 초래하는 시스템 전단의 위상 누적부를 희망주파수 지정부로 클록 초기치를 지정하여 식(1)에서 표시한 진폭치의 MOD 연산기능을 위상제어 비트 수(m)와 무관한 상태로 변환함으로써 식 (2)로 표시된 진폭 파형을 갖게 한다면 위상왜곡으로부터 발생된 불요잡음을 없앨 수 있다.

이와 같은 상태로 최대진폭을 "1"로 하였을 때, 최종 LPF를 통과하기 이전의 출력파형 식은 다음과 같다.

$$S(t) = \sin\{MOD(k \cdot 2^N) \cdot 2\pi/2^N\} \cdot [U\{t-(k/f_m)\} - U\{t-(k+1)/f_m\}] \quad (2)$$

여기서, $k/f_m < t < (k+1)/f_m$이며, f_m은 합성된 표본 클록 주파수이다.

2. 클록 초기치 누적방식의 시스템 설계

합성된 표본클록 주파수 f_m의 최대 주파수 대역은 시스템 클록 f_c 범위의 1/4에 해당되는 특징이 있고, 이를 수식으로 표현하면 다음과 같다.

$$f_{m,max} = r \cdot f_c/2^{R+2}\ [Hz] \quad (3)$$

여기서, r은 R 비트로 주어지는 표본클록 초기치 ($1 < r < 2^R$, 정수)이다.

희망주파수 지정부는 표본클록 f_m을 입력으로 하여 2^N진 계수기에 의해 한 주기 합성에 필요한 진폭 갯수를 지정하는 부분으로서, 합성하고자 하는 임의주파수의 한 주기 당 표본치를 항상 2^N개로 일정하게 하고, 표본진폭 변환부의 해당번지를 순차적으로 지정하여, 위상 왜곡 잡음이 제거된 균일의 양자화 잡음만이 존재하는 순도 높은 파형을 합성한다. 합성된 정현 출력파형의 주파수 범위는 다음 식과 같다.

$$f_0 = f_{m,max}/2^N = r \cdot f_c/2^{N+R+2}\ [Hz] \quad (4)$$

표본진폭 변환부는 한 주기 정현파형의 진폭 데이터가 2^N개 저장된 부분으로, 표본클록(f_m)으로 구동되는 희망주파수 지정부의 출력값에 의해서 순차적으로 지정된 번지 내의 진폭 데이터 값을 출력하게 된다. 이 부분의 저장

데이터 값은 합성하고자 하는 출력 파형에 따라 이산적인 데이터 값을 저장하게 된다. 여기서는 다음 식으로 얻어지는 정현파형의 진폭 데이터 D(t)를 EPROM에 저장하여 사용하였다.

$$D(t) = [\sin\{k \cdot 2\pi/2^m - 1\} + 1]/2 \cdot (2^n - 1) \qquad (5)$$

단, D(t)는 저장되는 진폭 데이터 값, u는 ROM의 출력 데이터 비트수, m은 ROM의 입력 어드레스 비트수이고, $1 < k \leq 2^m - 1$이다.

최종단의 D/A 변환부에서는 진폭 데이타에 해당되는 출력신호레벨을 결정하게 되고, LPF는 D/A변환 할 때 발생하는 출력파형의 이산적인 불연속성분을 제거하게 된다.

III. 시스템 구성

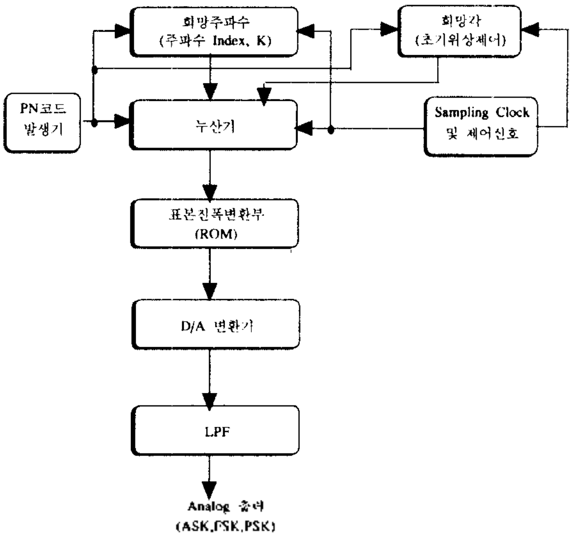


그림 1. 클록 초기치 누적방식의 DDFS 변조기 구성도
Fig. 1. Block Digram of system.

1. 시스템의 동작

그림 1은 클록 초기치 누적방식의 DDFS 변조기에 대한 전체 시스템의 구성도로서 단일 Sin ROM을 이용하여 FSK파형, ASK파형, PSK파형이 발생하도록 설계하였으며 그 구성 도의 동작은 다음과 같다.

① PN 코드 발생기는 빠른 주파수 도약 특성을 확인하기 위하여 random한 신호를 발생시 킨다.
② PN 코드 발생기에서 생성된 정보신호에 따라 희망하는 Mark 주파수와 Space 주파수를 결정하는 주파수 Index, K를 2진 부호 입력에 따라 두 가지 값이 되도록 하면 FSK 변 조기가 된다.
③ FSK 변조기와 같은 회로에서 한 쪽의 주파수 Index, K를 모두 "0"으로 하면 ASK 변 조기가 된다.
④ 누산기는 ②,③에서 정한 K값에 따라 T초마다 A = nK Modulo N을 계산한다.
⑤ 누산기에 있는 D F/F의 set/reset 단자를 조절하면 PSK 변조기가 된다.
⑥ A값은 표본진폭 변환부의 번지를 결정한다.
⑦ 표본진폭 변환부에서는 미리 저장된 부호화된 표본치를 A번지에 따라 출력한다.
⑧ 부호화된 표본치는 D/A변환기와 LPF를 통하여 복호화(Decoding)되어 FSK, ASK, PSK 파형을 발생한다.

2. 시스템의 설계기준

그림 1의 설계기준은 다음과 같다.

1) 표본진폭변환부 : ROM(2732)
2) 주파수 Index, K : 8 bits
   Dip Switch × 2
   Quad 2 input Multiplexer : 74LS157 × 2
3) PN code generator : 74LS74 × 2, 74LS86 × 1
4) 누산기 길이 : 10 bits
   Adder : 74LS283 × 3
   Hex D F/F : 74LS174 × 2 (ASK, FSK)
   74LS74 × 2 (PSK)
5) 표본화수 : 10 bits (1024개)
6) 표본치 부호화 : 8 bits
7) D/A 변환기 : DAC 0800
8) 발생주파수 갯수 : 256개
9) 발생주파수 범위 :
   512[kHz]의 샘플링클록 : 500[Hz] ~ 128[kHz],
   1024[kHz]의 샘플링클록 : 1[kHz] ~256[kHz]

3. 주파수도약특성실험

주파수도약특성을 실험하기 위하여 그림 2와 같은 24 − 1 주기를 갖는 4단 PN 코드 발생 기를 구성하여 희망주파수 입력단에 인가하였다.

이때 출력파형은 "111100010011010"의 시퀀스를 갖는다.

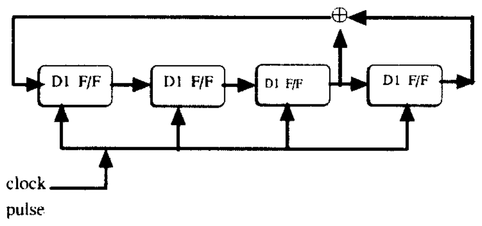


그림 2. 생성다항식이 $g(x) = x^4 + x^1 + 1$인 4단 PN 부호 발생기
Fig. 2. Circuit digram of PN code generator.

IV. 실험결과 및 검토

앞서 구성한 클록초기치 누적방식의 DDFS에서 출력된 결과를 표 1, 표 2, 그림 3~그림 11에 나타내었다.

표 1. 합성출력주파수 측정
Table 1. output frequency.

Frequency Index K	발 생 주 파 수 (Hz)	
	f_s = 512,000	f_s = 1,024,000
1	500	1,000
2	1,000	2,000
3	1,500	3,000
4	2,000	4,000
5	2,500	5,000
6	3,000	6,000
7	3,500	7,000
8	4,000	8,000
9	4,500	9,000
10	5,000	10,000
20	10,000	20,000
30	15,000	30,000
40	20,000	40,000
50	25,000	50,000
60	30,000	60,000
70	35,000	70,000
80	40,000	80,000
90	45,000	90,000
100	50,000	100,000
150	75,000	150,000
200	100,000	200,000
255	127,500	255,000

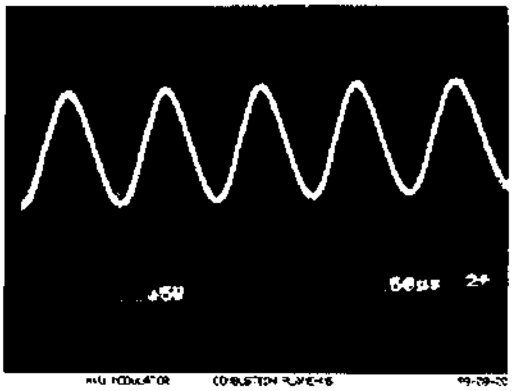


그림 3. fs = 512 [kHz], K = 20일 때의 10[kHz] 파형
Fig. 3. Wave of 10[kHz].

표 1은 기준주파수 fs가 512[kHz]와 1024[kHz]인 때 주파수 Index, K에 따라 발생하는 합성출력주파수를 측정한 값이다. 이 결과로부터, 출력주파수는 기준주파수에 정확히 정수배로 합성됨을 확인하였고, 그 예로 그림 3에 fs = 512 [kHz], K = 20일 때 합성주파수가 10[kHz]로 됨을 보였다. 또한, 그림 4는 출력주파수가 26[kHz]인 때 LPF를 거치지 않은 출력파형을 스펙트럼 분석기를 통하여 측정된 결과를 나타낸 것으로서 불요 고조파가 −50~−40 [dB] 발생되었고, 이것은 기존의 위상누적 방식의 시스템에서 보다 불요잡음의 전력레벨이 20~30[dB]정도 감소되었음을 보이며, 그 이외의 소자 동작에 따른 Glitch 잡음 등이 부가되어 나타났다. 표 2는 fs = 512 [kHz]에서 여러 합성 출력주파수에 대하여 기본파와 고조파의 크기를 비교한 것으로써 이 결과를 살펴보면 고조파 성분들은 기본파에 대하여 50 [dB]이상 차이가 남을 알 수 있었다.

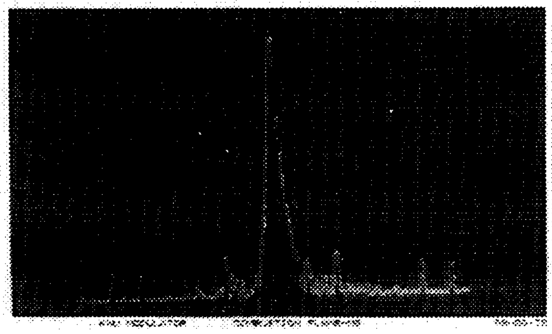


그림 4. K = 52 일 때 합성주파수 10[KHz]의 주파수 스펙트럼
Fig. 4. Spectrum of 26[kHz].

표 2. 기본파와 고조파의 비교
Table 2. Comparison of Basic and harmonics waveform.

기본파 [kHz]	기본파 크기 [dB]	고 조 파		
		제2 [dB]	제3 [dB]	제4 [dB]
1	+6.8	−47.3	47.6	−47.7
2	+6.7	46.5	−47.3	47.4
3	+7.0	−49.1	49.5	−49.5
4	+6.9	45.5	−47.3	49.1
5	+6.9	45.8	−48.4	−48.5
6	+6.9	45.4	46.4	−46.5
7	+6.8	46.3	−46.9	−48.5
8	+6.9	−45.4	48.4	48.6
9	+6.9	45.5	−46.4	46.8
10	+7.4	−46.7	48.3	−48.6
20	+7.0	45.4	−45.7	46.4
25	+7.1	45.3	−45.8	−46.9

시스템 설계에 있어서 출력주파수는 표본진폭 변환부로 쓰이는 ROM의 access시간과 D/A변환기의 변환 시간에 좌우되며, 그 중 사용한 ROM의 access시간이 200[nsec]로서 더 길게 되어, 최대 표본클록 주파수 f_m = 1/200[nsec] = 5[MHz]까지 동작이 가능하여 시스템 클록은 최대로 4배인 20[MHz]까지 인가할 수 있음을 계산상으로 알 수 있었지만, 본 논문에서는 1.024[[MHz]를 사용하였다. 이때의 최대 출력주파수는 255[kHz]이다.

그림 5와 그림 6은 각각 전송속도 1200[bps]에 대한 FSK와 ASK 파형의 주파수도약 상태를 나타낸 것이고, 그림 7과 그림 8은 각각 FSK와 ASK 파형에 대한 도약주파수의 스펙트럼을 관찰한 것으로 주파수 스펙트럼 상태가 이산적으로 균일한 분포를 가지지 못했는데, 그 이유는 최종 출력단의 필터 설계에 있어서 합성 가능한 최대주파수 반을 고려하여 설계하였기 때문에 낮은 출력 주파

수에서는 고조파항 들이 그대로 분포되었다고 판단된다.

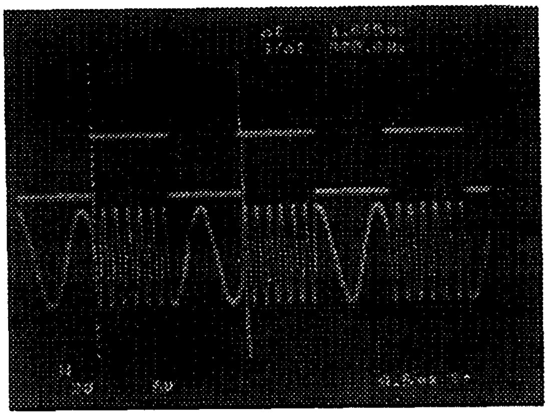


그림 5. FSK 변조파형
Fig. 5. FSK waveform.

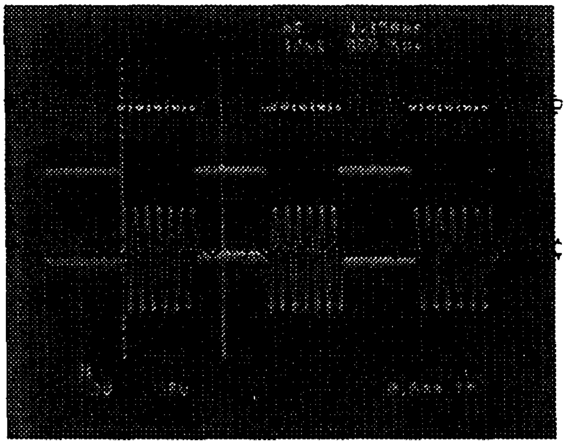


그림 6. ASK변조파형
Fig. 6. ASK waveform.

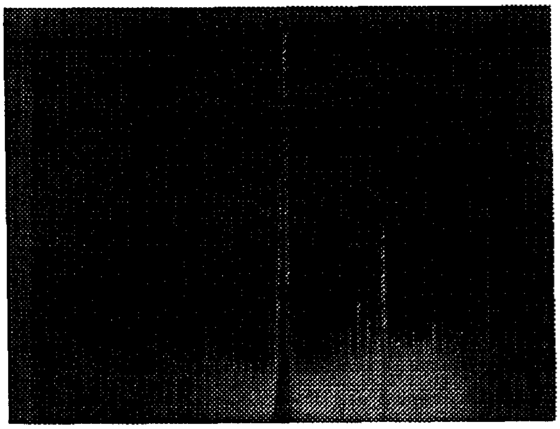


그림 7. FSK 파형의 스펙트럼
Fig. 7. Spectrum of FSK waveform.

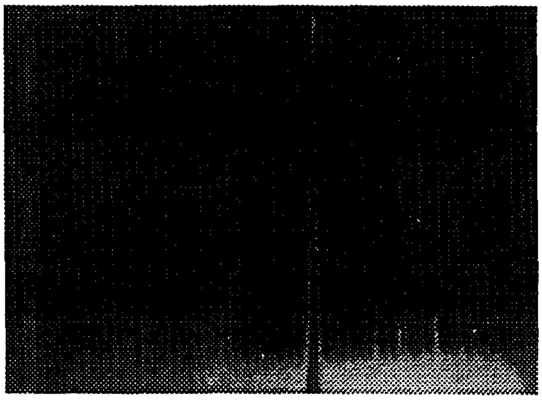


그림 8. ASK 파형의 스펙트럼
Fig. 8. Spectrum of ASK waveform.

또한, 그림 9와 그림 10은 4단 PN코드 발생기의 출력을 클록 Pulse로 인가할 때의 FSK 변조파형과 ASK 변조파형을 보인 것으로 주파수 이동에 따른 천이시간이 거의 없으므로 주파수도약용으로 활용 가능함을 알 수 있었다.

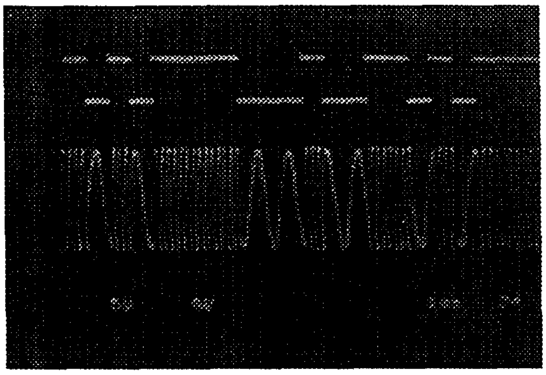


그림 9. 출력 시퀀스(111100010011010)에 따른 FSK 변조파형
Fig. 9. FSK waveform for PN code generator.

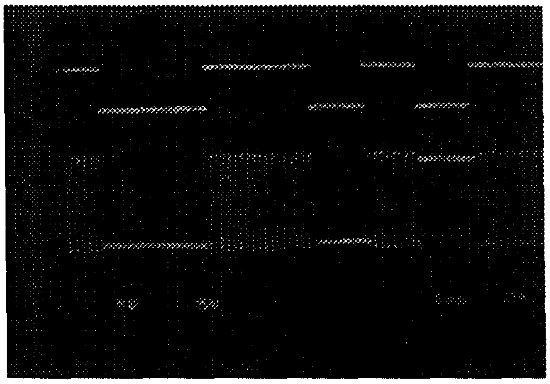
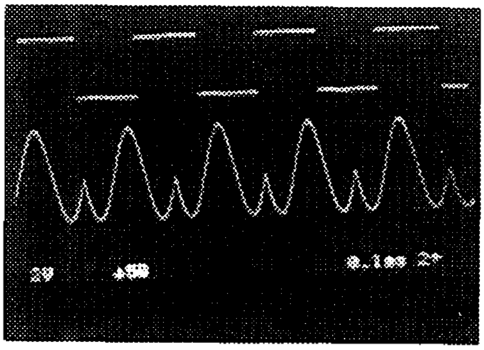
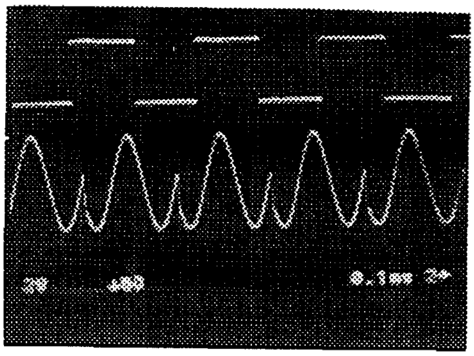


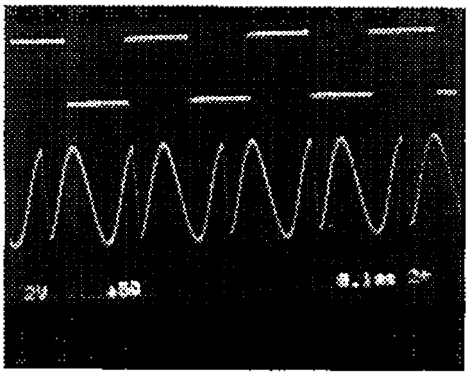
그림 10. 출력 시퀀스(111100010011010)에 따른 ASK 변조파형
Fig. 10. ASK waveform for PN code generator.



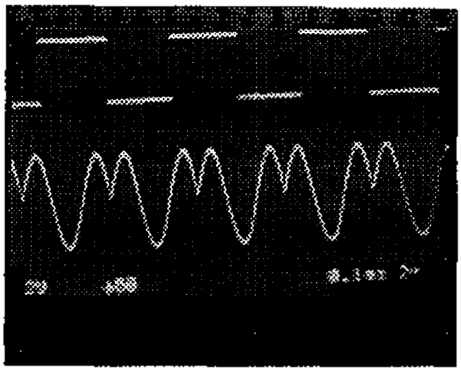
(a) 위상제어 : 0°



(b) 위상제어 : 45°



(c) 위상제어 : 90°



(d) 위상제어 : 180°

그림 11. PSK 변조기의 위상변화
Fig. 11. Phase of PSK modulator.

그림 11은 누산기의 Set/Reset 단자를 조절하므로서 위상이 제어되는 PSK 변조파형을 보인 것이다.

V. 결 론

실험 결과, 본 논문에서 사용한 클록초기치 누적방식의 DDFS는 위상왜곡을 제거하고 균일한 양자화 잡음만을 갖게 함으로서 위상누적방식의 DDFS 보다 불요 고조파의 전력레벨이 20~30[dB] 정도 감소시켰다. 또한, 희망 주파수 Index, K로서 Mark 주파수와 Space 주파수를 가변 시킴으로서 ASK, FSK 변조기를 구현하였으며 4단 PN code 발생기를 이용하여 순시적인 주파수 도약 상태를 확인하였고, PSK 변조기를 구성하여 위상제어가 가능함을 알았다. 따라서, 본 논문에서 사용한 클록 초기치 누적방식의 DDFS는 빠른 스위칭 타임을 필요로 하는 제어시스템 뿐 아니라, 코히어런트 검파를 이용한 통신, 광 신호의 강도 변조 등 이동통신을 비롯한 디지털 신호처리 분야에 폭넓게 이용이 가능하리라 사료된다. 한편, 이산적인 표본치에 의해서 불요 고조파 성분이 존재함에 따라 대역 변환 필터기술이 요구되는 단점도 있다. 하지만, access 시간이 짧은 ROM과 비트 수가 좀 더 크고 settling 시간이 짧은 D/A 변환기를 사용함으로써 주파수 특성이 더욱 더 좋게 개선될 수 있으리라 예상한다.

참 고 문 헌

1. Jonathan Sooki Min, "Analysis and Design of A frequency-hopped spread spectrum transceiver for wireless personal communications", pp.33-47, California. 1995.
2. Alex W. Lam and Sawasd Tantaratana "Theory and Applications of spread-spectrum systems", pp.5-9, pp.119-132 Monterey, May. 1994.
3. P.O'leary and F.Maloberti, "A Direct digital synthesizer with improved spectral performance", IEEE Trans. Comm., vol.39, no.7, 1991.
4. R.J.Zavrel., G. Edwards "The DDS Handbook; Alias and Spurious Response in DDS Systems", a1-a7, Stanford Telecom Inc., 1990.
5. H.Hikawa, et al, "A Digital frequency synthesizer with a phase accumulator", IEICE, vol.E72, no.6, June 1989.
6. F.A.B. Cereas, Direct Digital frequency synthesizer for a frequency-hopped spread spectrum system, Thesis, Masters of science in Electrical and Computer Engineering, IST-Lisbon, 1988.
7. R.C Dixon, "Spread Spectrum System," John Wiley & Sons, Inc., pp.72-85, 1982.
8. J. Gorski-Popiel, Editor, "frequency synthesis Techniques and Applications", New York; IEEE Press, pp.121-149, 1975.
9. J. Tierney, C.m. ader and B. Gold, "A Digital frequency synthezer," IEEE Trans. Audio Electro acoust, Au-19, pp.48-57, 1971.

▲최 승 덕(Seung Duk Choi) 1955년 3월 20일생

1980년 2월 : FIC 2년 수료
1985년 2월 : 숭실대학교 전자공학과 졸업
1988년 2월 : 숭실대학교 대학원 전자공학과 공학석사
1996년 3월~현재 : 경원대학교 대학원 전자공학과 박사과정 수료
1980년 3월~현재 : 한국생산기술연구원 산업기술교육센터 전자기기과 선임연구원 겸 부교수
※주관심분야 : 이동통신 및 신호처리 분야 등임

▲김 경 태(Kyung Tae Kim) 1954년 12월 19일생

1978년 2월 : 경북대학교 전자공학과(공학사)
1980년 8월 : 연세대학교 대학원 전자공학과(공학석사)
1987년 2월 : 연세대학교 대학원 전자공학과(공학박사)
1987년 9월~현재 : 경원대학교 전자공학과 정교수
1991년 12월~1992년 12월 : 미국 펜실베니아 주립대학 객원교수
※주관심분야 : 광통신, 이동통신, 광영상 및 신호처리