

레이다용 IF SDLA의 제작

Fabrication of IF SDLA for Radar Applications

임경택* · 김화열** · 조홍구**

K. T. Lim* · H. Y. Kim** · H. G. Cho**

요 약

본 논문에서는 군사용 레이더 장비에서 필수적인 연속검파 형태의 대수증폭기를 높은 다이내믹 레인지 및 낮은 대수 오차를 얻을 수 있도록 설계 제작하였다. 제작된 대수 증폭기는 하이브리드 형태로 구현되었으며, 0.5~1.5 GHz에서 dynamic range는 80 dB 이상, 대수오차는 ± 1.4 dB 이하, 잡음지수 5.5 dB 이하, 감도는 -76 dBm, VSWR 2.0:1 이하의 특성을 나타내었다. 제작된 대수 증폭기는 기존의 MA/COM사에서 제작된 대수 증폭기에 비해 다이내믹 레인지가 훨씬 높고 다른 특성면에서는 큰 차이가 없으므로, 크기 및 전력소모를 줄여서 레이더 시스템에 응용할 수 있을 것이다.

Abstract

In this paper, a high dynamic range IF logarithmic amplifier was designed and fabricated by the successive detection technique for radar systems. The fabricated IF successive detection logarithmic amplifier (SDLA), a hybrid MIC type, achieves a logarithmic linearity of ± 1.4 dB and a dynamic range of 80 dB over 0.5 GHz to 1.5 GHz. The tangential signal sensitivity is -76 dBm, the NF is smaller than 5.5 dB, and the input VSWR is 2.0 : 1. This IF SDLA can be applied to radar systems by reducing the size and power consumption.

I. 서 론

레이더 시스템은 초고주파 기술의 응용분야인 항공, 해양, 기상, 천문학, 우주탐사, 미사일, 지도제작 등 민간, 군사, 과학분야에 걸쳐 광범위하게 활용되고 있고, 특히 걸프전에서 입증된 패트리어트 미사일에 응용된 위상배열 안테나 및 이에 연결되어 있는 시스템의 활용 등 군사적 응용분야인 EW 시스템에서 눈부신 발전을 가져왔다.

레이더 시스템의 경우, 전기적 스캐닝을 위해 수천개의 페라이트 위상천이가 부착된 안테나 빔을 기계적으로 스캐닝하여 속도가 매우 빠른, 고도의 정밀도를 요구하게 되는데, 이들을 송수신 RF모듈에 연결하여 시스템을 구성하게 된다.

이렇게 구성된 레이더 시스템은, 송신 시스템에서 보내진 신호가 원거리에 있는 목표물과의 충돌에 의해 반사된 신호를 검출하여 속도, 거리, 위치 등을 분석하는 시스템으로서 아주 민감한 수신 시스템을 갖춰야 하는데, 레이더 수신 시스템의 요건

* 인천전문대학 전자과 (Dept. of Electronic, Incheon J. T. College)

** 국민대학교 전자공학과 (Dept. of Electronic Eng., Kookmin University)

· 논문 번호 : 980210-018

· 수정완료일자 : 1998년 3월 27일

은 아주 작은 레벨의 신호에도 민감하게 동작할 증폭기가 필수적이고, 신호의 크기에 있어서도 아주 넓은 동작범위를 갖고 있어야 한다. 특히 넓은 동작 범위에 있어서 순간적인 작은 신호의 검파와 넓은 입력 동작범위를 작은 출력 동작범위로 압축하여 처리할 수 있어야 하는데, 이에 적합한 증폭기가 대수 증폭기이다.

대수 증폭기는 대수 IF 증폭기(Logarithmic IF Amp. : LIFA)와 검파 대수 비디오 증폭기(Detection Logarithmic Video Amp. : DLVA)의 두 종류가 있다. LIFA는 주파수대가 2 GHz로 제한되나 약 80 dB정도의 넓은 동작범위를 갖고 있는 반면, DLVA의 동작범위는 50 GHz 정도로 IF 보다는 작으나 동작 주파수가 18 GHz 이상이고 주파수 대역폭도 15 GHz 이상인 장점을 가지고 있다.

본 논문에서는 대수 IF 증폭기의 설계방법 중 하나인 DLVA의 특성을 이용한 연속적 검파 대수 증폭기(SDLA : Successive Detection Logarithmic Amplifier)의 기술을 도입하였는데, 이의 시스템은 IF 증폭기, 전력 분배기, 검파기, 리미터로 구성된 회로의 각 단에서 검파된 신호를 여러 단계 걸쳐서 합해주는 가산회로로 이루어져 있어 회로가 커지거나 넓은 동작 범위를 갖는다는 장점을 가지고 있다^[1].

그러나 IF SDLA의 설계시 IF 증폭기의 이득을 작게 하고 동작 범위 및 대수 선형성을 좋게 하면 단수가 증가하여 전체 회로의 크기가 커지는 단점이 있고, IF 증폭기의 이득을 크게하면 크기는 작게 할 수 있지만 대수 선형성이 나빠져 원하는 대수 오차 특성을 얻기 어려운 단점이 있으므로 회로 크기와 대수 오차 간의 타협점을 찾아 설계해 주어야 한다.

본 논문에서는 기존에 나와 있는 MA-COM MWL1000 제품의 사양을 참조하여 높은 다이내믹 레인지와 낮은 대수 오차특성에 중점을 두고 설계하였고, 하이브리드 형태로 제작하였으므로 크기에 대한 고려는 하지 않았으며, 제작상의 어려움 때문에 MIC로 설계, 구현하였다.

II. SDLA의 동작 원리

IF SDLA는 아주 작은 레벨의 신호를 IF 증폭기를 이용하여 증폭한 후, 다이오드 검파기가 검파할 수 있는 신호 레벨로 만들어 검파한 후 리미터로 신호의 크기를 제한해 가산회로로 합해서 입력 신호 레벨에 따라 출력 펄스의 크기가 대수적으로 변화하도록 해주므로서, 넓은 영역의 신호를 작은 범위의 크기를 갖는 신호로 압축·출력하는 방식의 증폭기이다. 그림 1(a)는 IF SDLA를 이용한 수신기의 기본 블록도이고^[2], 그림 1(b)는, IF SDLA의 블록도를 나타내었다.

2-1 IF SDLA

대수 증폭기는 대수 비디오 증폭기와 대수 IF 증폭기로 나눌 수 있으며, 대수 비디오 증폭기는 PSLVA(Parallel Summation Logarithmic Amplifiers), DLVA(Detector Logarithmic Video Amplifiers), SLLVA(Series Linear Limit Logarithmic Video Amplifiers)로 구분되는데 이중 DLVA가 많이 사용되고, 대수 IF 증폭기는 SDLA(Successive Detection Logarithmic Amplifiers), TLA(True Logarithmic Amplifiers)로 구분되며, DLVA는 광범위한 주파수 범위에 걸쳐 적용되므로 낮은 감도가 문제이고 또한 검파 다이오드의 제곱법칙에서 선형 영역으로의 천이에 대한 보상이 필요하다. TLA는 각 단이 RF에서 동작하며 검파기를 사용하지 않기 때문에 반송파 정보를 갖고 있으면서도 각 단이 상이한 쌍들로 구성되어 있기 때문에 비교적 낮은 주파수에서만 구현이 가능한 단점을 갖고 있다.

SDLA의 기본 구조는 지연선을 이용하는 구조와 비디오 리미터를 이용하는 구조가 있는데, 지연선을 이용하는 것은 비디오 신호를 비디오 증폭기에 동시에 도달할 수 있도록 구성한 것으로 펄스 응답을 크게 개선하기 위한 것이다. 그러나 이는 많은

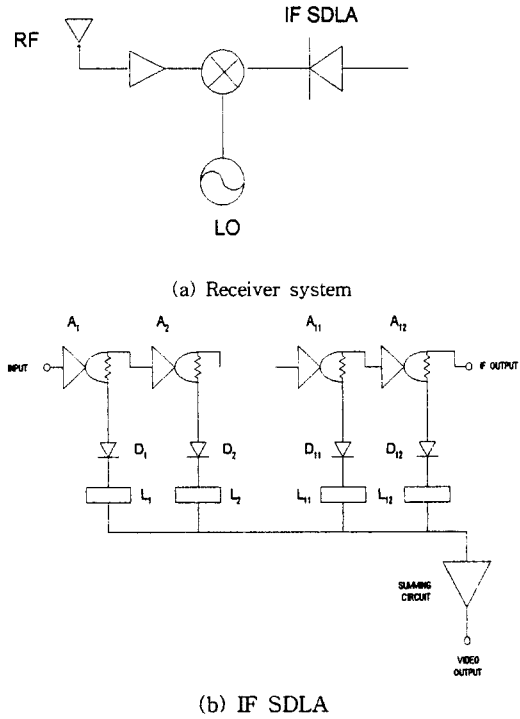


그림 1. IF SDLA의 블록도
Fig. 1. Block diagram of IF SDLA.

문제점을 수반하므로, 이를 보완하기 위해서 Lansdowne과 Kelly가 비디오 리미터를 이용한 그림 1 (b)와 같은 기본 구조를 제시하였다. 이는 리미터에 의한 왜곡의 제거가 가능하고, 온도 특성이 우수하며, 대수 특성에 더 정확히 근접하므로 정확한 제어 가능하며, 지연선을 제거하므로 크기를 줄일 수 있다.

12단으로 구성된 그림 1(b)에서, 선형 증폭기 A_1, \dots, A_{12} 는 입력신호를 증폭하고, 증폭된 신호는 전력 분배기에 의해 다음 단의 입력과 검파기의 입력으로 신호가 분배되며, 검파기는 분배된 신호를 검파하여 비디오 신호를 출력하고, 리미터는 비디오 신호를 어느 크기 이상을 리미팅하여 출력하고, 이들 각 단의 신호를 가산회로에 가산하여 입력 신호의 크기에 따라 비디오 신호의 전압 크기로 출

력하게 된다. 여기서 12번째 단인 A_{12} 는 가장 낮은 크기의 신호를 증폭하고, 이에 이은 검파기는 가장 낮은 신호를 검파하게 된다.

그림 2는 IF SDLA의 동작 특성을 나타내고 있다^[1]. 그림 2에서 실제적인 대수 특성은 개별 단 수가 증가할수록 이상적 대수 특성에 접근해 가는 형태를 보이고 있으므로 증폭기의 이득은 작게 하고 단 수를 증가 시키는 것이 대수 오차를 줄일 수 있다.

또한 IF SDLA에서는 IF 증폭단은 일정한 이득 및 P_{1dB} 를 각 단의 증폭기에서 유지하는 것이 대수 증폭기에서 좋은 특성을 얻는데 중요한 역할을 한다. 그러나 실제로 BJT, FET를 이용하여 증폭기를 설계, 제작하면 일정한 이득 및 P_{1dB} 를 얻는 것이 어렵고 소자 수가 많아져 구조가 복잡한 SDLA에서 문제점이 발생하기 쉬우므로 MMIC 증폭기를 사용하였다. 검파기가 제곱 법칙 영역에서 동작하다가 어느 신호 레벨 이상에서는 선형영역에서 동작하므로 증폭기가 어느 정도의 신호에서 포화되거나 증폭기 출력에 리미터 회로를 첨가하여 출력 전력을 일정하게 제한하는 역할을 해주어야 한다.

검파기는 입력 임피던스 정합이 입력 주파수에 걸쳐 전체적으로 이루어져야 하므로 넓은 주파수

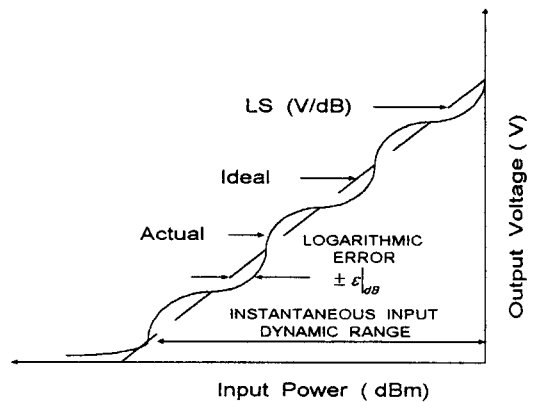


그림 2. IF SDLA의 대수 특성
Fig. 2. Logarithmic Characteristic of IF SDLA.

대에서 입력 정합회로를 구성하는 것이 중요하다^[3]. 그리고 리미터는 바이어스에 따라 제한하는 크기가 다르므로 대수적 특성을 유지할 수 있도록 바이어스 전압을 조정해야 한다^[4].

2-2 선형 증폭기

IF 연속적 검파 대수 증폭기는 대수 증폭기의 기본 구조에서 보듯이 IF 신호가 각 단의 선형 증폭기의 입력을 통해 들어와 검파기의 검파를 거쳐 리미팅된 각각의 신호들이 가산회로에 의해 합해져 비디오 신호로 출력되는 동작특성을 갖고 있다.

그러나 이런 대수 증폭기는 이상적인 대수 전달함수 특성을 근사적으로 접근해 가기 때문에 선형 증폭기의 이득을 각 단에서 일정하게 일정하게 유지하는 것이 이상적인 대수 전달함수 특성을 얻는데 중요한 역할을 한다.

여기서 1 dB Compression Point(P_{1dB})를 0 dBm 정도로 유지하는 것이 중요한데, 이는 리미터에서 신호를 리미팅해 주지만 검파기에서 제곱법칙 영역을 벗어나 선형 영역에서 동작하게 되면, 신호 레벨이 커져 리미터의 제한특성이 무의미해지므로 대수 특성을 얻기가 어려워지기 때문이다.

따라서 선형 증폭기에서 어느 정도 신호의 크기를 제한해 주는 것이 필요하며, 검파기의 다이오드가 제곱법칙 영역에서 동작할 수 있도록 신호의 크기를 조정함으로써 우수한 대수 특성을 얻을 수 있다.

또한, 선형 증폭기의 각 단에서 일정한 크기의 유지 외에도 대수 전달함수의 중요한 역할은 리미터이며, IF 동작 주파수 범위에 걸쳐 일정한 평탄도를 유지하여 신호를 제한해야만이 대수 전달함수에 기여할 수 있다. 여기서 리미터의 일정한 레벨에서의 제한보다는 선형 증폭기의 이득을 각 단에서 얼마나 균일하게 유지하는 것도 설계시 고려해야 할 요소이다.

2-3 전력 분배기

전력 분배기는 마이크로파 측정 장비 및 마이크로파 시스템에서 입력신호를 분배하여 출력하거나 입력신호를 합치는데 사용되는 중요한 능동소자이며, 광대역 특성을 얻기 어려운 단점이 있으나 손실이 적고 구조가 간단하여 널리 사용되고 있다. 전력 분배기는 T접합 전력 분배기와 저항성 전력 분배기, Wilkinson전력 분배기가 있는데, T접합 전력 분배기는 모든 포트에 대한 정합이 어렵고 출력 포트에서의 격리가 어렵다. 또한 저항성 전력 분배기는 모든 포트에 대해서 정합이 가능하나 손실이 많고 출력 포트에서의 격리가 어렵다. 따라서 본 논문에서는 모든 포트에서 정합이 가능하며 출력 포트에서 격리를 이룰 수 있고 손실이 적은 Wilkinson 전력 분배기를 선정하였다.

2-4 다이오드 검파기

검파기는 낮은 레벨의 진폭 변조된 RF전력을 변조된 DC신호로 전환하는데 이용되며, 검파기의 출력은 변조된 정보를 검색하는데 즉 RF 레벨을 결정하는데 이용된다. 다이오드 동작 영역중 출력전압이 접합에서 RF전압의 제곱에 비례하는 제곱법칙 영역에 있으면 검파기는 다이오드와 같은 영역에서 동작하게 되고, 입력신호의 크기가 다이오드가 처리할 수 없을 정도로 커지게 되면 포화상태가 된다. 따라서 다이오드가 제곱법칙 영역에서 동작할 때 검파기로서 동작하게 된다.

2-5 다이오드 리미터

리미터는 다양한 크기의 입력신호를 일정한 크기를 갖는 출력신호로 변환해 주는 회로로서 EW, 레이다 시스템에 폭넓게 사용되는 소자로서, 3가지 구현방법이 있다. 첫 번째 리미터 구현방식은 PIN 다이오드 또는 Schottky다이오드를 이용하여 구현하는 것으로, 이는 예리한 제한특성을 얻기가 어렵다.

두 번째 방식은, Tunnel다이오드를 이용하여 리

미터를 구현하는 방식인데, 이는 옥타브(Octave) 주파수 범위 이상에 걸쳐 우수한 포화전력의 평탄도를 보여준다. 그러나 이는 첫 번째 방식에서와 같이 출력전력이 낮고 포화특성이 좋지 못하며 10 dB의 이득 압축을 갖는 단점이 있다.

세 번째 방식은 출력 고조파를 크게 감소시키면서 증폭단을 선형영역에서 유지하기 위해 제어 게이트를 갖는 이중 게이트 MESFET를 이용하는 방식으로, 우수한 출력신호의 스펙트럼 특성을 제공하나 제한특성이 순간적이지 않으며 시정수가 FET의 제어 게이트를 동작시키는 회로의 루프 응답시간에 의해 정해진다는 단점을 가지고 있다. 본 논문에서는 가격이 저렴하고 손쉽게 구할 수 있으며 특성이 좋은 첫 번째 방식인 Schottky다이오드를 이용한 다이오드 리미터를 택하였다.

2-6 가산회로

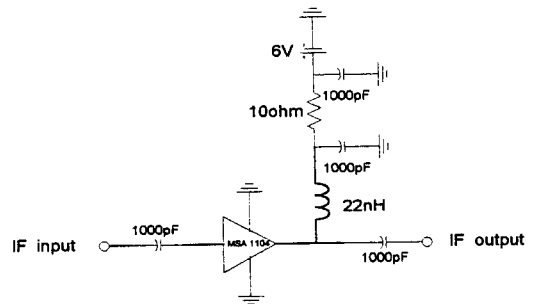
가산회로는 일반적으로 비디오 증폭기를 이용하여 설계하는데, 비디오 증폭기로 사용된 연산증폭기는 큰 전압이득을 가진 소자로서 안정한 전압이득을 위해 부궤환을 이용한다. 연산증폭기에 이용되는 차동증폭기는 큰 개방회로의 전압이득, 큰 입력 임피던스 및 작은 출력 임피던스를 갖고 있으므로, 이런 특성을 이용한 연산증폭기는 주로 스케일 변환, 아날로그 컴퓨터 회로, 위상이동, 발진기 및 계측기 회로에 많이 사용되고 있으며, 또한 비디오 증폭기에도 널리 사용된다.

비디오 증폭기를 이용한 가산회로 구성방법은 입력신호에 대해서, 출력이 위상변환 시키는 반전단자를 이용하는 방법과 위상변환이 없는 비반전단자를 이용하는 방법 등이 있는데, 본 논문에서는 비반전단자를 이용하는 방법을 선정하였다.

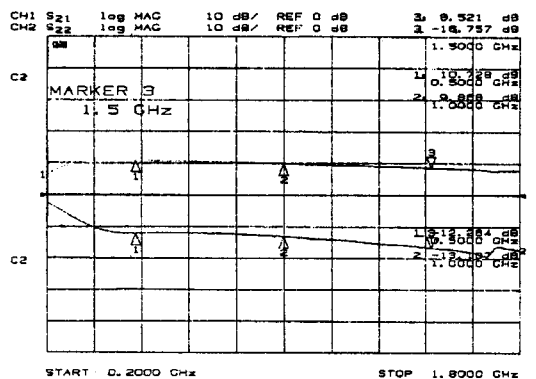
III. SDLA의 개별 회로 설계 및 제작

3-1 선형 증폭기의 설계 및 제작

이상적인 대수 전달함수 특성에 근접된 전달특성을 얻기 위해 IF 증폭기용 소자는 HP-Avantek 사의 MSA-1104 silicon BJT MMIC를 사용하였으며, 증폭기의 개별 이득은 1 GHz에서 약 10 dB 정도이고 입·출력 반사손실은 -10 dB 이하의 특성을 가지고 있다. 그림 3(a)는 증폭기 모듈의 회로도를 보인 것이고, (b)는 특성을 측정한 결과를 나타낸 것이다. 증폭기의 이득이 1.5 GHz에서 상대적으로 낮게 나타나므로 RF-choke용 인덕터를 2 GHz 근처에서 공진하는 22 nH을 이용하여 전체



(a)



(b)

그림 3. MMIC 증폭기. (a) MMIC 증폭기의 회로도, (b) MMIC 증폭기의 이득 및 입력반사손실 특성

Fig. 3. MMIC amplifier. (a) Schematic of MMIC amplifier, (b) Gain and input return loss of MMIC amplifiers.

적으로 이득이 고르게 되도록 하였다^[8].

선형 증폭기의 설계 목표치는, 주파수 범위가 0.5~1.5 GHz, 입 출력 VSWR 2.0:1, 이득 9.5 GHz이지만, 실제로 소자가 갖고 있던 특성보다 실험한 결과 약 1 dB 정도의 이득차를 좁힐 수 있었다.

3-2 전력 분배기의 설계 및 제작

주파수 범위가 넓은 경우 Wilkinson 전력 분배기는 협대역 특성을 갖고 있으므로 보통 중심 주파수가 1 GHz에 맞춰 설계하나, 본 논문에서는 증폭기의 이득이 0.5 GHz에서 높고 1.5 GHz에서 낮기 때문에 평탄한 특성을 위해, 증폭기의 이득 특성이

고주파에서 낮게 나타나므로 1.5 GHz를 중심으로 설계하여 전체 시스템에서 고주파 특성이 떨어지는

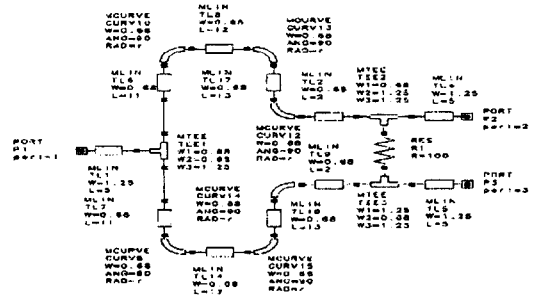
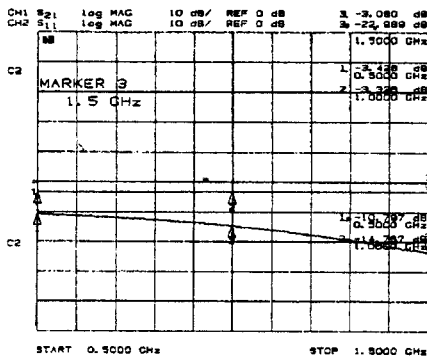
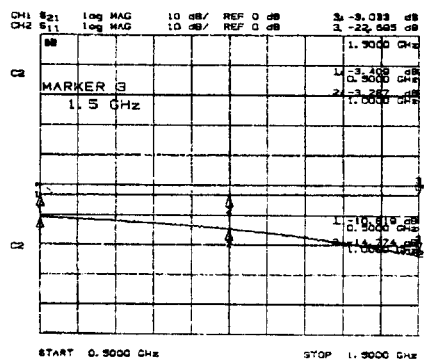


그림 4. 전력분배기 회로도

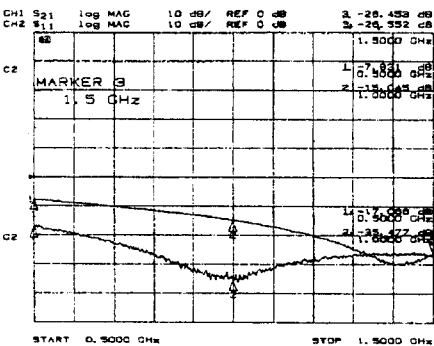
Fig. 4. Schematic of the power divider.



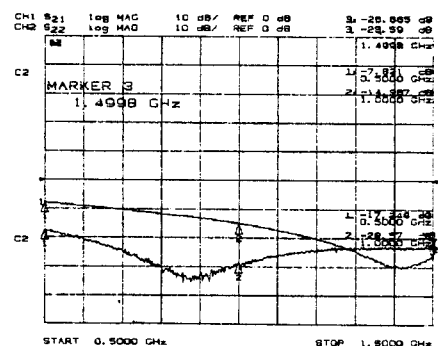
(a) S_{11} , S_{21} response.



(b) S_{11} , S_{31} response.



(c) S_{22} , S_{23} response.



(d) S_{33} , S_{23} response.

그림 5. 구현된 전력분배기의 주파수 특성

Fig. 5. Frequency response of the implemented power divider.

것을 보상하도록 하였다^[8]. 그림 4 및 그림 5에서는 전력 분배기 회로도 및 특성을 나타내었다.

제작된 전력 분배기의 특성은 0.5~1.5 GHz에서, Isolation(S_{23})은 17 dB 이상, 삽입손실은 0.4 dB 이하, 반사손실은 7.8 dB가 되었다. 이상은 구현된 Wilkinson 전력 분배기의 측정된 S 파라미터를 그림 5(a)~(d)에 나타내었다.

3-3 다이오드 검파기의 설계 및 제작

검파기는 HP-Avantek사의 5082-2835 detector 용 다이오드를 사용하였고, 설계는 EESOF사의 Libra 6.0을 이용하였다. 선형 증폭기와 전력 분배기의 경우 50 Ω 시스템이므로 검파기의 입력 임피던스를 50 Ω에 정합시켜야 하고, IF 주파수 범위가 0.5~1.5 GHz로 넓기 때문에 광대역 정합을 이루어야 한다.

따라서 검파기는 0.5~1.5 GHz 사이에서 광대역 특성을 나타내도록 입력 정합회로를 삽입하여 설계하였으며 원하는 특성을 위해 적절한 부하저항을 선택하였다.

그림 6은 설계한 검파기의 회로도이며, 그림 7과

8은 설계한 결과이다. 그림 7은 1 GHz에서 입력전력 대 출력전압의 크기를 나타내며, 그림 8은 전체 주파수에서 입력정합 상태의 설계결과를 나타내고 있다.

그림 8은 실제 제작한 검파기의 입력전력 대 출력전압의 특성을 나타내며, 그림 9에서는 검파기의 측정된 입력정합 특성을 smith 도표로 나타내었다.

3-4 다이오드 리미터의 설계 및 제작

제한특성이 좋고 사각파를 얻기가 쉬운 리미터용 다이오드는 HP-Avantek사의 5082-2835 Schottky 다이오드를 사용하여 그림 10과 같이 설계하였다. 설계된 회로에서 저항 3 kΩ은 포화상태에 이르는 전압레벨을 결정하는데 있어 중요한 역할을 하는데, 이 값이 아주 작은 값(또는 0)인 경우 포화상태에 이르는 전압레벨이 커지면 대수 증폭기에서의 압축력에 영향을 미치게 되고, 너무 큰 값을 같게 되면 포화상태에 이르는 전압레벨이 작아져 대수적 특성을 이루지 못하게 된다. 그러므로 바이어스 저항값에 따라 바이어스 전압이 변하므로 바이어스 저항을 잘 선택하는 것이 중요하다.

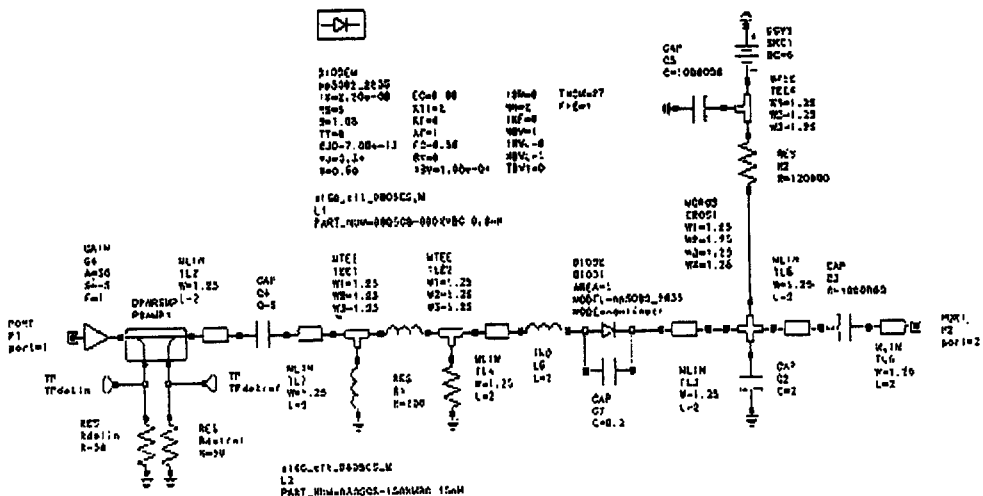


그림 6. 설계된 검파기 회로도.

Fig. 6. Schematic of designed detector.

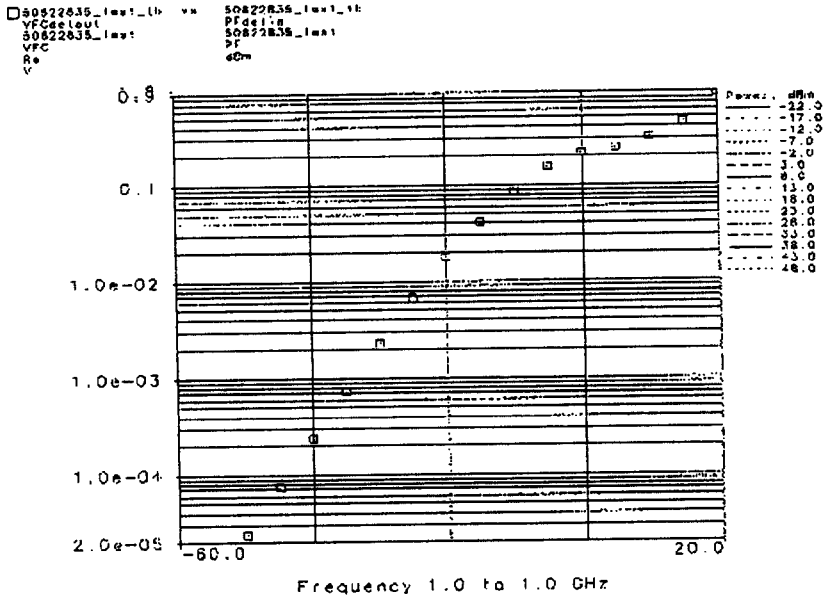


그림 7. 입력 전력에 따른 출력 전압의 simulation 결과.

Fig. 7. Simulated characteristics of output voltage to input power.

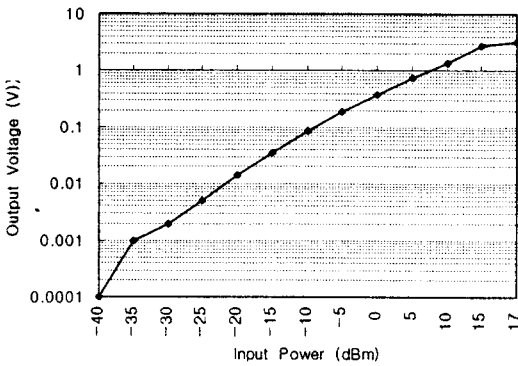


그림 8. 검파기의 입력 전력 대 출력 전압의 측정 결과
Fig. 8. Measured characteristics of output voltage to input power.

설계된 리미터의 경우 전체 회로의 대수 특성이 나올 수 있도록 바이어스 전압을 조정해 줄 필요가 있는데, 여러 가지 바이어스 저항에 따른 입력전압

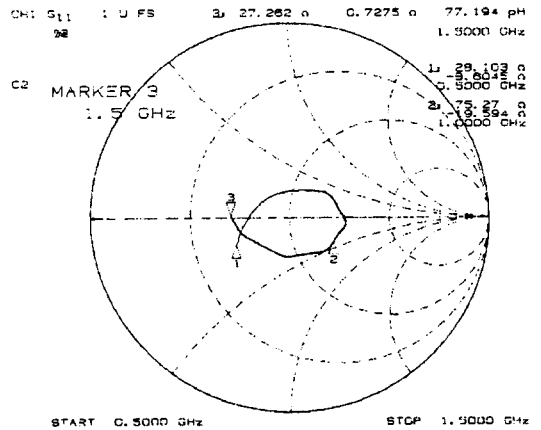


그림 9. 검파기의 입력 임피던스의 측정 결과.

Fig. 9. Measured characteristic of input impedance matching.

대 출력전압의 변화를 그림 11에 나타내었다.

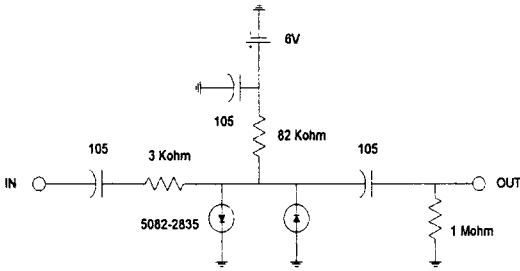


그림 10. 다이오드 진폭 제한기의 설계된 회로도
Fig. 10. Schematic of designed diode limiter.

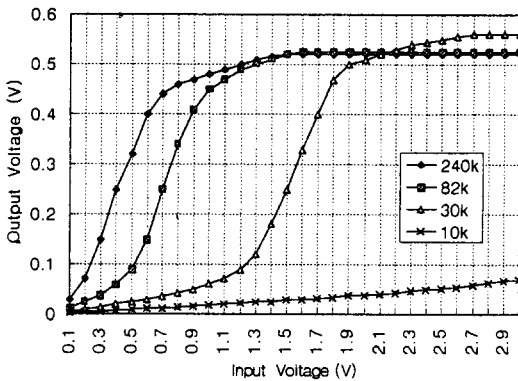


그림 11. 바이어스 저항 값에 따른 리미터의 입·출력 특성
Fig. 11. Characteristics of diode limiter with bias resistor value.

본 연구에서는, 그림 11과 같이 대수적인 특성에 근접한 특성을 보인 저항값은 82 kΩ으로 하고, 전체 회로 구현시 대수 특성이 나오도록 개별적으로 조정을 하였다. 왜냐하면 MMIC 증폭기의 출력전력이 17 dBm 이상이고 별도의 IF 출력 제한기가 없기 때문에 검파기가 제공영역 밖에서 동작하고 리미터에도 예상보다 큰 전압이 걸리기 때문이다.

3-5 가산회로의 설계 및 제작

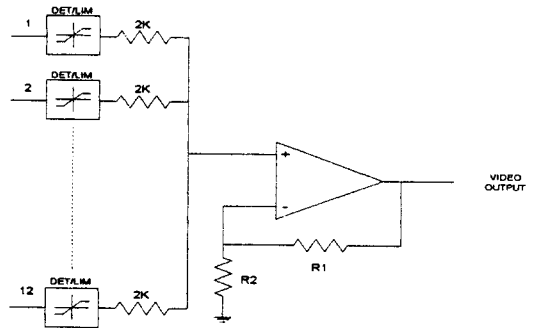


그림 12. 가산회로의 블럭도
Fig. 12. Block diagram of summing circuit.

각 단의 출력신호는 가산회로에서 합해져 최종 출력신호로 나간다. 가산회로는 OP Amp의 비반전회로를 이용하여 설계 하였다. 그림 13은 가산회로의 기본회로와 실제회로를 나타내고 있다[2]. 이 회로에서 입력된 신호를 이득없이 가산하기 위해서는 OP Amp가 단위 이득을 가져야 한다. 이를 위해서는 R1, R2의 관계식을 이용하여 단위 이득을 얻을 수 있다.

$$A_v = \frac{R1+R2}{R2}, V_{in} = \frac{V1+V2+\dots+V12}{12},$$

$$V_{out} = A_v * V_{in}$$

여기서 가산회로에 사용된 비데오 증폭기는 MAXIM 사의 MAX452이며 R1, R2 저항은 11 kΩ과 1 kΩ이다.

IV. SDLA의 제작 및 실험 결과

압축력이 뛰어나고 동작범위가 넓으며 감도특성이 우수한 1단 IF SDLA는 선형 증폭기[그림 3 (a)], 전력 분배기[그림 4], 다이오드 검파기[그림 6], 다이오드 리미터[그림 10] 등 부분 회로도를 이용하여 기본회로를 그림 13과 같이 구성하였다.

본 논문에서는 그림 1(b)와 같이 1단 IF SDLA

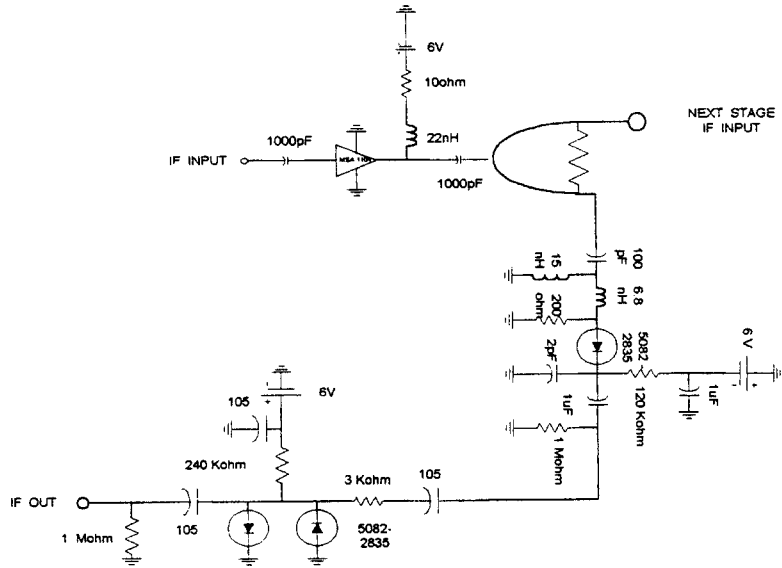


그림 13. SDLA의 한단 회로도
 Fig. 13. Schematic of designed one stage circuit.

를 12단으로 연결하여 전체회로를 설계하였고, IF SDLA를 MIC 형태로 제작하였으며 사용한 기판은 $E_r=3.0$, $H=0.508$, $T=0.018$ 인 타코닉사의 테프론 기판을 이용하였다. 여기서 입력전력에 따른 출력전압 특성이 대수적인 결과를 얻을 수 있도록 하기 위하여, 대수 증폭기의 선형성을 나타내는 대수오차는 ± 1.5 dB 이하로, 동작범위는 80 dB로, VSWR 및 잡음지수 등을 고려해서 설계하였다.

그림 1(b)와 같이 구현된 IF SDLA의 실제 기구물 사진은 그림 14와 같고, 전달특성은 그림 15와 같이 $-75 \sim +5$ dBm의 입력전력 범위에 대해 $0 \sim 1.12$ V의 출력전압으로 압축되어 다이내믹 레인지가 80 dB를 나타낸다.

측정 조건으로, 반송파 주파수는 1 GHz이고 26.4 kHz Pulse로 내부 변조하여 실험한 결과이다. 그림 16은 제작된 IF SDLA의 전체 주파수 대역에서의 입력 전력에 따른 출력 전압의 변화를 나타내고 있다. 여기서 1.5 GHz에서는 출력전압이 0.5

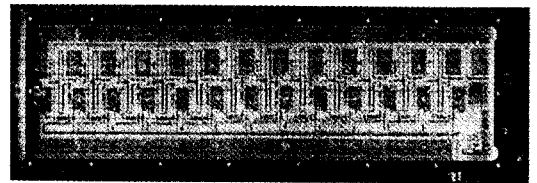


그림 14. 구현된 중간주파수 대수증폭기의 사진.
 Fig. 14. Photograph of implemented IF SDLA.

GHz에 비해 낮게 나타나는데 이것은 MMIC 증폭기 이득 및 검파기의 검파 감도가 고주파에서 낮기 때문이다. 이러한 현상을 보정하기 위해 전력분배기의 중심주파수 및 바이어스용 인덕터의 중심 주파수를 1.5 GHz로 하였지만 한계가 있음을 보았다. 그림 17은 대수 증폭기의 선형성을 나타내는 입력전력에 따른 대수 오차가 -75 dBm \sim $+5$ dBm 에서 ± 1.5 dB 이내 임을 나타낸다. 그림 18

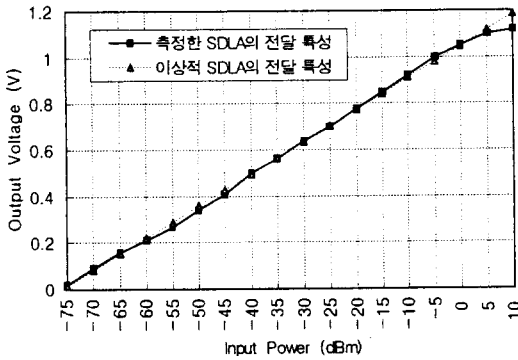


그림 15. 측정된 전달 곡선과 이상적인 전달 곡선. (입력주파수 1 GHz)

Fig. 15. Measured transfer curve and ideal transfer curve. (input freq. 1 GHz)

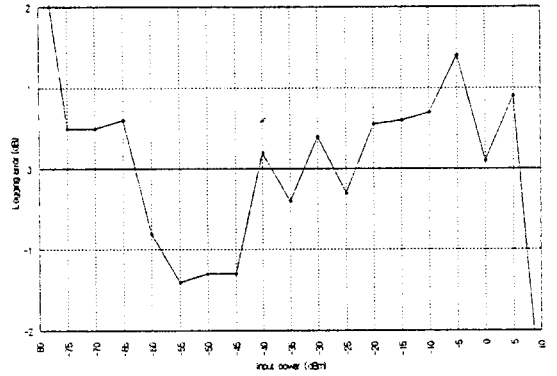


그림 17. 구현된 IF SDLA의 선형성

Fig. 17. Linearity of implemented IF SDLA.

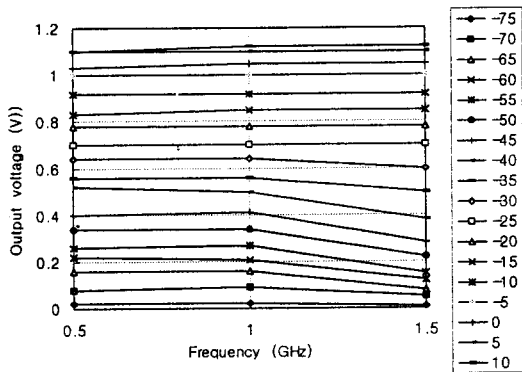


그림 16. 입력 전력에 따른 출력전압의 주파수 특성.

Fig. 16. Frequency characteristics of implemented IF SDLA with input power.

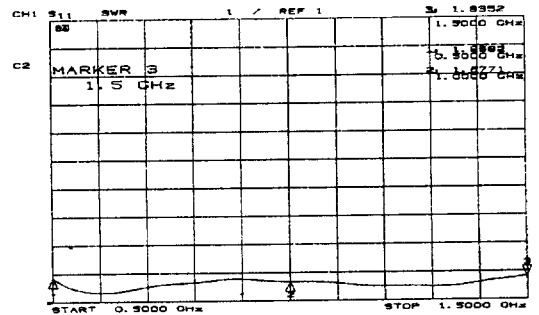


그림 18. 구현된 IF SDLA의 입력 정재파비

Fig. 18. Input VSWR of implemented IF SDLA.

은 대수 증폭기의 선형성을 나타내는 입력전력에 따른 대수 오차가 $-75 \text{ dBm} \sim +5 \text{ dBm}$ 에서 $\pm 1.5 \text{ dB}$ 이내 임을 나타낸다. 그림 18은 대수 증폭기의 입력 VSWR 특성으로 설계목표 2.0:1 이하를 만족하는 결과를 보여주고 있다. 그림 19는 대수 증폭기 전체 시스템의 잡음지수가 6 dB 이하임을 보여준다. 표 1은 전체 시스템의 사양을 정리한 것으로, MA-COM 사의 MWL1000과 비교한 결과 목

표했던 다이내믹 레인지는 더 좋게 나왔고 다른 특성은 근접한 값을 얻을 수 있다는 것이 확인되었다. 하지만 크기와 전력 소모를 고려하지 않고 하였기 때문에 전체 회로의 크기 및 전력소모가 상당히 크게 구현되었다.

V. 결 론

본 논문에서는 레이더 및 EW 시스템의 하부 시스템인 IF SDLA를 설계, 제작하여 80 dB의 넓은

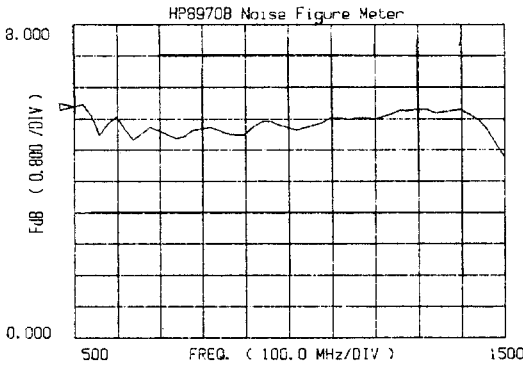


그림 19. 구현된 IF SDLA의 잡음지수
 Fig. 19. Noise Figure of implemented IF SDLA.

표 1. 구현된 IF SDLA의 특성 (상온)
 Table 1. Characteristic of implemented IF SDLA.
 (room temperature)

	This work	MA-COM (MWL1000)
동작 주파수 (GHz)	0.5~1.5	0.5~1.5
입력 동작범위 (dBm)	-75~5 (80 dB)	-65~0 (65 dB)
입력 VSWR	1.9 : 1 Max.	2.0 : 1 Max.
NF (dB)	5.5 dB	Non.
대수 선형성 (dB) (logging error)	±1.4 Max.	±1.0 Max
대수 기울기 (mV/dB)	13.5 Nom.	15 Nom.
출력 전압 범위 (V)	0~1.12	0~1
load 임피던스 (Ω)	824	93
소비전력	3.6 W	1.8 W
전체 회로 크기 (mm)	300×75	63×25

동작 범위와 우수한 대수 선형성을 얻을 수 있었다. 구현한 IF SDLA의 특성은 -75 dBm~5 dBm의 동작범위와 ±1.4 dB의 선형성, 출력전압 범위는 0~1.12 V, 2.0:1 이하의 VSWR, 약 5.5 dB의 잡음지수, 13.5 mV/dB의 대수 기울기, 50 Ω의 IF

임피던스, 824 Ω의 비디오 임피던스를 얻었다. 이들 특성들은 설계목표치를 거의 만족하였지만, 앞으로 소형화, 경량화, 저전력화를 이루도록 MMIC로의 제작이 진행되어야 할 것으로 사료되며, IF 주파수대에서는 Down Converter 부분이 필요하므로 RF 주파수인 6~18 GHz에서 광대역에 걸쳐 SDLA를 제작하는 것이 필요하다고 생각된다.

참고 문헌

- [1] Richard Smith Hughes, *Logarithmic Amplification with Application to Radar and EW*, Artech House, Inc. 1986.
- [2] N. Scheinberg and R. Michels, "A Monolithic GaAs Low Power L-Band Successive Detection Logarithmic Amplifier", *IEEE Journal of Solid-State Circuit*, vol. 29, no. 2, pp. 151-154, February 1994.
- [3] Thomas, R., "Broadband Impedance Matching in High Q Networks", *EDN*, pp. 62-69, December 1973.
- [4]. Hewlett Packard Company, *Schottky Diodes for High Volume, Low Cost Applications*, HP application Note 942, pp. 10-13, May 1973.
- [5] BAHL and BHARTIA, *Microwave Solid State Circuit Design*, John Wiley & Sons, Inc. pp. 540-600, 1988.
- [6] DAVID A. BELL, *Operational Amplifiers Applications, Troubleshooting, and Design*, Prentice-Hall, Inc. pp. 54-57, 1990.
- [7] MA-COM inc. *Logarithmic IF Amplifiers*, MA-COM Inc. Application 527, pp. 2-123-2-137, 1994.
- [8] 황치전, "Radar 용 IF Successive Detection Logarithmic Amplifier의 설계 및 구현에 관한 연구", 국민대학교 전자공학과 석사학위 논문, August 1997.

임 경 택



1952년 9월 23일생
1977년 2월 : 인하대학교 전자공학과
(공학사)
1980년 2월 : 명지대학교 대학원 전
자공학과 (공학석사)
1995년 3월~현재 : 국민대학교 대학

원 박사과정 수료

1998년~현재 : 시립 인천전문대학 교수

[주 관심분야] RF/MMIC 회로

조 홍 구



1949년 9월 15일생
1972년 2월 : 서울대학교 전자공학
과(공학사)
1979년 2월 : 서울대학교 대학원
전자공학과(공학석사)
1987년 2월 : 서울대학교 대학원

전자공학과(공학박사)

1980년 9월~현재 : 국민대학교 교수

1993년 3월~현재 : 국민대학교 RF/MMIC 연구소장

1988년 1월~1988년 12월 : University of Colorado 객원
교수

1997년 2월~현재 : 국민대학교 행정처장

[주 관심분야] 마이크로파 평면회로 시뮬레이터, MMIC
회로설계

김 화 열



1967년 4월 15일생
1993년 2월 : 국민대학교 전자공학과
(공학사.)
1995년 2월 : 국민대학교 대학원 전
자공학과(공학석사)
1995년 3월~현재 : 국민대학교 대

학원 박사과정 수료

1994년 9월~1995년 7월 : 전자통신연구원 반도체 연구단 위
촉연구원

1996년 2월 : 삼지전자 통신기술연구원 초빙 연구원

1998년 2월~현재 : 목성전자 책임 연구원

[주 관심분야] RF/MMIC 회로