

## 석영 기판 위에서 텅스텐 실리사이드 게이트 전극 형성에 관한 연구

오상현 · 김지용 · 김지영 · 이재갑 · 임인곤\* · 김근호\*

국민대학교 금속재료공학부  
\*LG종합기술원

### Formation of Tungsten Silicide Gate Electrode on Quartz

Sang-Hun Oh, Ji-Yong Kim, Ji-Young Kim, Jae-Gab Lee, In-Gon Lim\* and Geun-Ho Kim\*

Dept. of Metallurgical Engineering, Kookmin University, Seoul 136-702

\*LG Electronics Research Center

(1997년 7월 9일 받음, 1997년 11월 25일 최종수정본 받음)

**초 록** 본 연구에서는 석영을 기판으로 사용하여 텅스텐 실리사이드 게이트를 고온에서 결정화시키고, 이때 발생하는 crack에 대한 생성원인을 조사하였다. 증착된 텅스텐실리사이드의 실리콘 조성과 실리콘 완충층의 두께가 증가함에 따라 열응력이 감소하는 경향이 관찰되었으며, 과잉의 실리콘 조성을 가진 실리사이드를 열처리한 경우에는 crack에 대한 저항이 증가함을 알 수 있었다. 그러나 실리콘 완충층을 사용한 경우는 두께가 증가함에 따라 열응력이 감소하는 경향이 있으나, crack이 보다 쉽게 발생하는 결과를 얻었다. 이는 실리사이드 반응에 의하여 거칠어진 계면에 응력이 집중되어 crack 생성을 쉽게하는 것으로 여겨진다. 결과적으로 석영과 텅스텐실리사이드의 열팽창계수차이에 의하여 생성되는 열응력이 crack 생성의 주원인으로 작용하고, 실리콘 완충층을 사용한 구조에서는 계면에서 일어나는 실리사이드반응이 crack 생성에 큰 영향을 미치는 것으로 생각된다.

**Abstract** We have investigated the mechanism for the formation of cracks caused by the high temperature annealing of tungsten silicide deposited on the quartz substrate. The results show that silicon-rich tungsten silicide film ( $WSi_{x>2}$ ), annealed at 1000°C, has lower tensile stress than that of tungsten-rich silicide ( $WSi_{x<2}$ ) and significantly increases the critical thickness of the tungsten silicide. (The critical thickness of silicide means the minimum thickness of silicide starting to generate cracks). The use of amorphous silicon films as buffer layers tends to decrease the tensile stress of the silicide, but decreases the critical thickness. This phenomenon can be explained by silicide reaction occurring during the crystallization of silicide.

### 1. 서 론

광학 디스플레이 소자로 광범위하게 응용되고 있는 박막 트랜지스터의 제조에는 현재 비정질 실리콘을 사용하는 공정이 저가로 대면적 패널을 제작할 수 있는 장점 때문에 널리 이용되고 있다. 그러나 비정질 실리콘 재료 특성에서 오는 낮은 전자 이동도와 높은 비저항은 비정질 실리콘 박막 트랜지스터의 응용범위를 제한하면서 빠른 응답을 요구하는 스위칭 소자 제조에 대한 적용을 불가능하게 하고 있다. 최근에 이같은 비정질 실리콘의 낮은 전자 이동도를 크게 향상시킬 수 있는 다결정 실리콘 박막 트랜지스터 개발에 많은 노력이 이루어지면서 고속 TFT (Thin Film Transistor) 회로를 실현시키고자 하는 연구가 진행되고 있다<sup>1)</sup>. 그러나 이같은 고속 TFT 회로에 적합한 다결정 박막 트랜지스터 제조에 대한 완성된 개발은 트랜지스터의 성능 향상만으로는 이루어질 수 없으며, 게이트 배선을 통한 신호 지연 시간의 감소도 함께 이루어져야 한다. 그러므로 TFT 소자 제조에서는 종래에 널리 사용되고 있는 다결정 실리콘을 대신하여 게이트 배선으로 낮은 비저항과 고온에서 안정된 성질을 보이고 있는 내열 금속 실리사이드 (refractory metal

silicide)를 사용하기 위한 노력이 활발하게 이루어지고 있다. 내열 금속 실리사이드 중에 텅스텐 실리사이드는 낮은 비저항, 높은 용융점, 산화 분위기에 대한 탁월한 안정성, 용이한 pattern 등의 장점을 가지고 있으면서, 현재 DRAM 소자 제조에 bitline으로 안정되게 적용되고 있다는 사실들로 인하여 가장 널리 검토되고 있다<sup>2)</sup>. 그러나 텅스텐 실리사이드를 단결정 석영 기판을 사용하고 있는 다결정 박막 트랜지스터 회로의 게이트 배선으로 적용될 경우 열팽창 계수 차에 의한 높은 잔류 응력이 박막에 형성되어 crack이 쉽게 발생하는 문제들이 발생되어 텅스텐 실리사이드의 원활한 적용을 위하여는 이에 대한 해결이 절대적으로 요구되고 있다.

본 실험에서는 텅스텐 실리사이드를 단결정 석영 기판위에 게이트 배선으로 적용시킬 적에 발생하는 문제점을 조사하여, 이에 대한 해결을 모색하고자 하였다. 고온 열처리에서 발생하는 실리사이드의 crack 발생은 실리사이드 게이트 배선 형성에 가장 심각한 문제로 밝혀지고 있다. 본 연구에서는 이에 대한 직접적인 원인이 열팽창계수와 실리사이드 반응이라는 점을 밝혀내었고, 또한 여러 가지 실험 변수들이 잔류 열응력과 실리사이드 영향에 미치는 영향을 검

토하였다.

## 2. 실험 방법

1.1mm 두께의 석영(quartz) 위에 저압화학증착방법을 이용하여 (실험조건 : 350°C, disilane 이용) 비정질실리콘이 두께(0~5000 Å)를 달리하여 증착되었고, SC1 세정(실험조건 : 용액조성 = NH<sub>4</sub>OH : H<sub>2</sub>O<sub>2</sub> : H<sub>2</sub>O = 1:1:5, 온도 = 80°C, 시간 = 5분)을 실시한 후에 DC magnetron sputtering을 이용하여 두께(800~2500 Å)를 달리한 실리사이드를 증착시켰다(증착조건 : 공정압력 = 6mTorr, 온도 = 250°C, power = 1KW). 이때 두가지 다른 조성의 텅스텐실리사이드 타겟(WSi<sub>2.6</sub>, WSi<sub>2.7</sub>)이 이용되어 조성이 crack에 미치는 영향을 조사하였다. 결정화 열처리하는 일반적인 수평로가 이용되었으며, 분위기는 N<sub>2</sub>, 온도는 900°C 또는 1000°C를 유지하였다.

텅스텐 실리사이드의 조성비(Si/W)는 RBS(Rutherford Back Scattering)를 이용하여 조사되었고, 면저항의 변화에 대한 조사는 Four point probe(창민사 제작)가 이용되었다. 열처리온도에 따른 텅스텐 실리사이드 응력 변화는 Flexus Stress 측정장치가 이용되어 850°C까지의 응력 변화를 측정하였다. 또한 TEM(Transmission Electron Microscopy)을 이용하여 열처리에 따라 변화된 계면을 관찰하여 crack 발생기구와 실리사이드 반응을 고찰하였다.

## 3. 결과 및 고찰

### Crack 특성

그림 1은 석영(quartz) 기판 위에 2500 Å의 비정질 실리콘을 증착시킨 후, 계속적으로 1300 Å의 텅스텐 실리사이드를 증착시킨 구조를 상온으로부터 850°C 까지 열처리시키면서 변화되는 탄성응력을 laser beam 방법을 이용하여 측정된 결과이다. (석영기판의 초기의 곡률반경을 기준으로 하여 박막들의 응력이 측정되었음.) 열처리온도가 증가되면서 박막에 대한 압축응력의 증가가 관찰되고 있다. 그러나 200°C 부근에서는 압축응력의 감소가 일어나면서 450°C 부근에서 최대 인장응력이 관찰되고 계속적인 온도

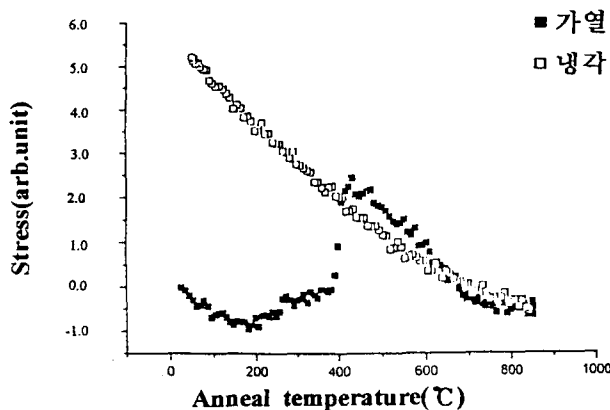


Fig. 1. Stress-temperature characteristics of sputtered tungsten silicide film/a-Si-quartz.

증가에 의하여는 응력의 감소가 일어나고 있다. 이같이 열처리 온도 증가에 따라 인장응력이 증가되는 것은 비정질의 실리사이드가 준 안정상인 HCP 구조로 변환되는 데 기인하는 것으로 알려지고 있다<sup>3)</sup>. 또한 450°C 이상의 온도에서 계속적으로 응력감소가 일어나는 것은 실리사이드의 상이 준안정상으로부터 안정상인 tetragonal 구조로 변화되는데 기인하고 있다. 750°C 이상에서는 매우 적은 응력이 나타나고 있으며, 이 사실로부터 고온에서는 열응력에 대한 완화기구가 일어나면서 효율적인 응력의 감소를 일으키는 것을 알 수 있다. 즉, 발생하는 열응력에 대하여 입자내의 slip이 진행되어 응력의 완화를 일으키는 것으로 이해되고 있다. 850°C로부터 냉각시에도 750°C까지 응력에 큰 변화가 없다가 750°C 이하부터는 냉각에 의하여 탄성적인 인장응력이 계속적으로 증가되고 있다. 이같은 결과로부터 우리는 750°C 이상의 온도로부터 시편을 냉각시킬 적에 형성되는 열응력은 750°C로부터 냉각할 적에 형성되는 열응력과 비슷한 값을 나타낼 것이라는 사실을 유추할 수 있다. 또한 다음 ①의 식에 의하여 구해진 응력은 실제적으로 측정된 텅스텐실리사이드 응력값(그림 3, 5 참조)과 비교하면 비슷한 값임을 알 수 있다. 그러므로 이같은 탄성적인 열응력은 열팽창계수의 차이에 의하여 형성되는 탄성적인 열응력임을 알 수 있다.

$$\begin{aligned} \sigma_t &= \left( \frac{E_t}{1 - \nu_t} \right) (a_t - a_s) \Delta T \\ &= \frac{300 \text{ GPa}}{1 - 0.3} \times (7.5 - 0.5) \times 10^{-6} / ^\circ\text{C} \times (750 - 25) ^\circ\text{C} \\ &\approx 2.18 \text{ GPa} \end{aligned} \quad \text{①}$$

여기서 E<sub>t</sub>는 WSi<sub>2</sub>의 Young's modulus<sup>5)</sup>(≈300GPa), ν<sub>t</sub>는 WSi<sub>2</sub>의 poisson's ratio(=0.3), a<sub>t</sub>, a<sub>s</sub>는 각각 WSi<sub>2</sub>와 quartz의 열팽창계수(σ<sub>t</sub>=7.5×10<sup>-6</sup>/°C, σ<sub>s</sub>=0.5×10<sup>-6</sup>/°C), ΔT는 열처리온도와 상온과의 차이를 나타낸다.

이같은 응력은 WSi<sub>2</sub>를 파괴하기에 충분한 응력이며, 이 응력을 제어하는 것이 crack 발생을 제어하는 것임을 알 수 있다. 열응력에 감소를 위하여 열응력에 미치는 다음의 세가지 인자(조성, 실리콘 완충층 사용, 열처리 효과)들에 대해 연구하였다.

### 타겟조성 효과

그림 2는 타겟 조성 및 비정질 실리콘 완충층의 두께가 crack이 발생하는 실리사이드 임계두께에 미치는 영향을 보여주는 결과이다. 임계두께란 crack이 발생되기 시작하는 두께로 정의하였다. 실제적으로 임계두께를 정확히 측정하기는 어렵기 때문에 본 논문에서는 실리사이드 두께를 달리하여 열처리를 실시한 후에 crack의 발생여부를 조사하여 임계두께가 존재하는 범위를 그림 2에 표시한 바와 같이 빗금친 부분으로 표시하였다. Crack 발생은 Four point probe를 이용한 저항변화와 함께 광학현미경을 이용하여 조사되었다. 임계두께는 실리콘의 조성이 증가할수록 완충층의 두께가 감소할수록 증가하는 경향을 보여주고 있다. 우선 조성이 미치는 영향을 조사하기 위하여 응력의 차이를

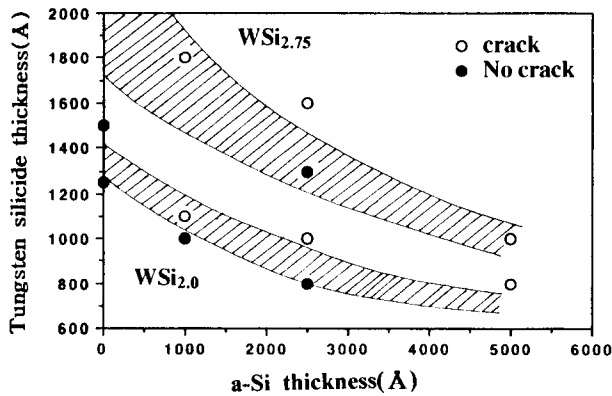


Fig. 2. Effects of target composition, buffer layer thickness on the critical thickness of WSi<sub>x</sub> (x=2.0 and x=2.75).

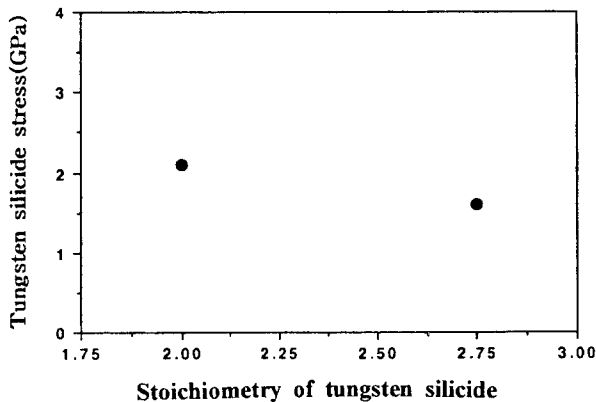
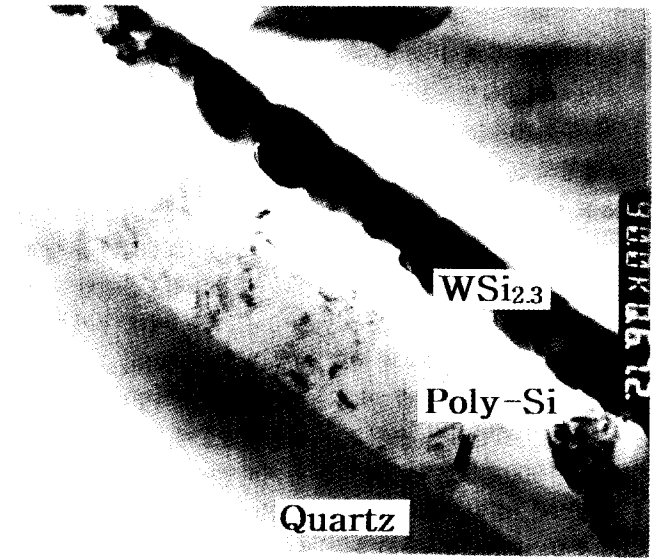
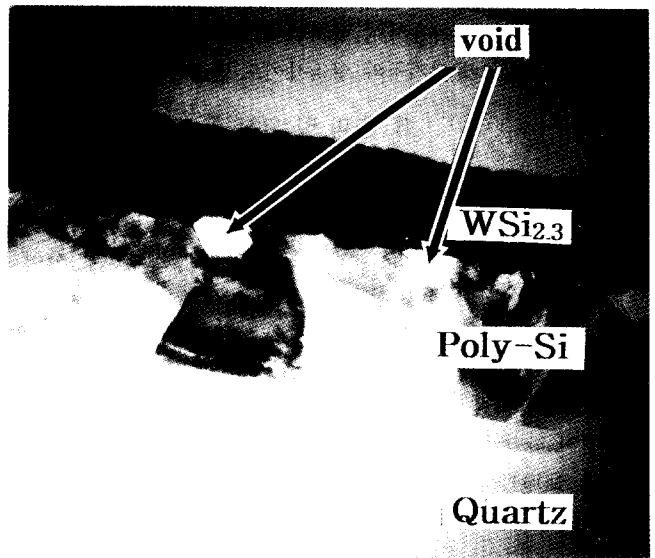


Fig. 3. Composition effects on the stress of tungsten silicide.

그림 3과 같이 조사하였다. WSi<sub>x</sub>(1500 Å)/Si(2500 Å)/Quartz (1.1mm) 구조의 샘플을 1000 °C에서 열처리한 후에 조사된 응력의 변화에 의하면 Si/W의 조성비가 2.75인 경우에 약 25% 정도 감소한 것을 알 수 있어, 2.75 조성의 타겟 사용이 응력면에서 유리하여 임계두께를 향상시킬 것 이란 것을 예측할 수 있다. 그러나 임계두께가 평균적으로 50% 정도 증가한 것을 고려한다면 응력의 감소만으로는 임계두께의 증가를 설명하기에는 어려움을 알 수 있다. 그림 4는 조성이 2.0, 2.75인 타겟들을 이용하여 증착시킨 텅스텐 실리사이드들을 1000 °C에서 열처리한 후에 TEM을 이용하여 단면의 변화를 조사한 사진들이다. 2.75 타겟의 경우 열처리에 의하여 입자성장이 일어나면서 실리사이드와 실리콘 경계면이 비교적 거친 특성을 보이고 있다. 이에 반하여 2.0 타겟을 사용한 경우에는 실리사이드와 다결정 실리콘 사이에 void들이 형성이 된 것을 관찰할 수 있다. 이같은 void의 형성은 냉각시에 박막에 형성되는 인장응력에 대하여는 응력 집중 효과를 일으켜 비교적 낮은 응력에서도 쉽게 파괴를 일으키는 것으로 이해된다. 이같은 void가 2.0 조성의 타겟을 사용한 경우에만 발생하는 것은 열처리 중에 안정적인 화학 양론적(stoichiometry) 조성을 갖춘 텅스텐 실리사이드를 형성시키기 위하여 다결정 실리콘으로부터 부족한 실리콘이 하지층(다결정실리콘)으로부터 원활한 공급이 이루어지지 않은데 있다. 즉, 계면에 존재하



(a)



(b)

Fig. 4. Cross-sectional TEM of (a) WSi<sub>2.75</sub>/poly-Si/Quartz and (b) WSi<sub>2.0</sub>/poly-Si/Quartz annealed at 1000 °C.

는 자연산화막은 고온 열처리에 의하여 부분적으로 파괴되어 실리콘에 대한 확산 통로를 제한적으로 제공하게 되어 실리콘쪽으로 void를 남기는 것으로 설명될 수 있다.

완충층 효과

그림 5는 완충층의 두께가 실리사이드 응력에 미치는 영향을 조사한 결과이다. 1250 Å 두께의 실리콘에 대하여는 응력 감소가 일어나고 있지 않으며 2500 Å 두께로 증가시킨 경우에 응력의 감소가 보여지고 있다. 이 같은 경향은 800 Å, 1000 Å 두께의 실리사이드들에 대하여 비슷한 경향이 보이고 있으며, Fig. 6는 1000 Å 두께의 실리사이드

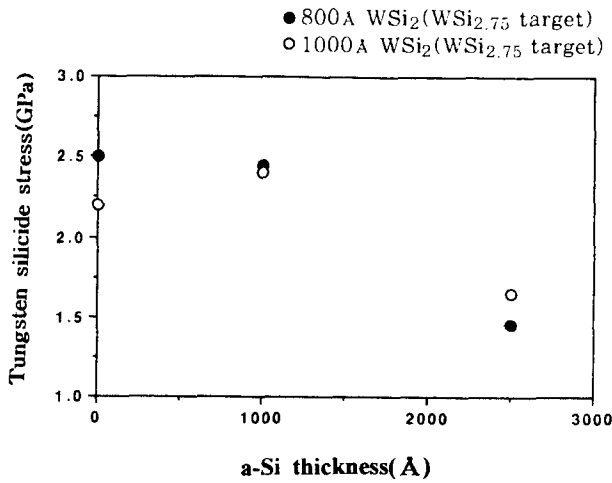


Fig. 5. Buffer layer thickness effects on the stress of tungsten silicides.

를 두가지 종류의 기판 (quartz, 2500 Å 실리콘/quartz) 에 증착한 후에 1000°C 열처리 후에 변화된 단면의 특성을 TEM 을 이용하여 관찰한 사진이다. 다결정 실리콘이 존재 하는 경우에는 열처리 후에 두께가 800~900 Å 사이로 감소한 것이 관찰이 되고 있다. 반면에 완충층이 없는 경우는 무시할 만한 두께의 변화가 보여지고 있다. 이러한 변화와 함께 특기할 만한 것은 quartz 위에 형성된 실리사이드의 경우는 quartz/WSi<sub>2</sub> 계면이 평탄한 데 반하여 다결정 실리콘 위에 증착된 경우는 계면이 매우 거친 것을 관찰 할 수 있다. 이와 같은 계면형상의 차이는 crack 발생과 밀접한 관계가 있는 것으로 판단되며, 계면의 거칠기가 응력에 대한 집중현상을 야기시키는 것으로 사료되고 있다.

그림 7은 완충층의 존재가 비저항의 변화에 미치는 영향을 조사한 결과이다. 완충층이 있는 경우에 대하여 quartz 위에 실리사이드를 직접 증착시켜 결정화를 실시한 경우에

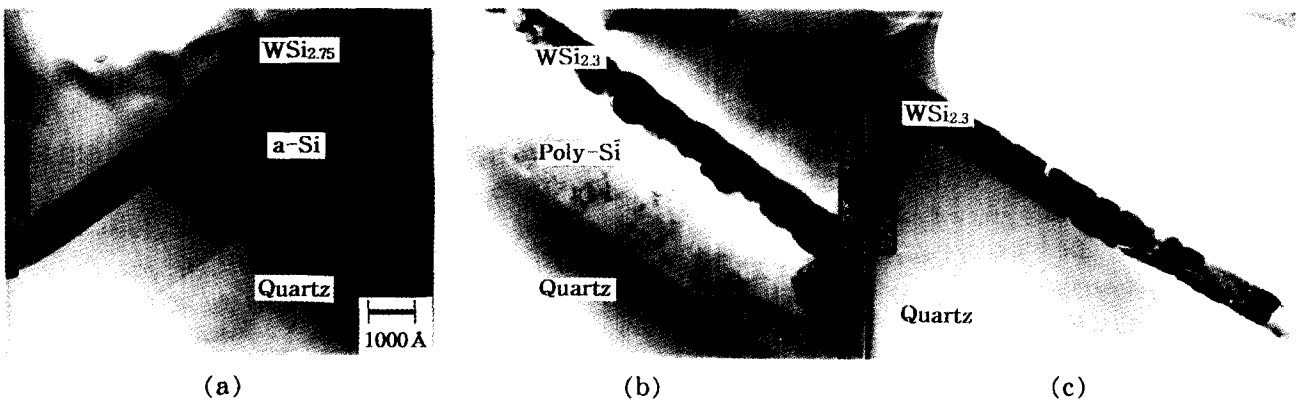


Fig. 6. Cross-sectional TEM of (a) the reference structure; (b) the annealed WSi<sub>2.75</sub>/a-Si/Quartz; (c) the annealed WSi<sub>2.75</sub>/Quartz, respectively.

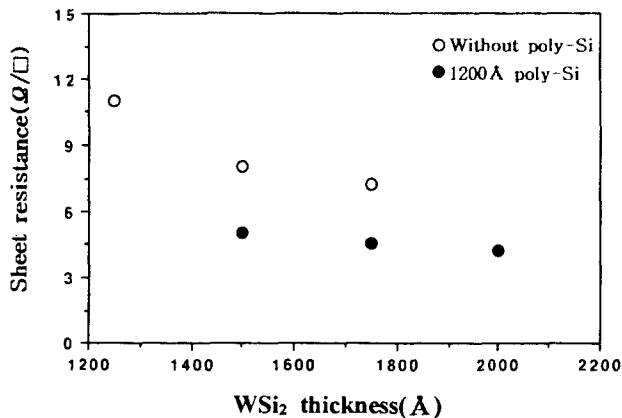


Fig. 7. Buffer layer effects on the sheet resistance of WSi<sub>2</sub>.

는 면저항이 높은 값이 나오는 것이 관찰되고 있다. 이같은 현상은 화학양론적 조성 이상의 과잉의 실리콘이 일부 표면으로 이동하고 남은 실리콘은 실리사이드 내부에서 침전이 일어나 면저항의 감소를 더디게 하는 것으로 이해된다. 그러므로 이같은 비저항에 대한 고려는 crack 특성에 대한

고려와 함께 적정 공정 확립에 고려되어야 한다.

#### 열처리 온도 효과

그림 8은 열처리 온도를 달리한 경우에 실리사이드의 두께가 증가함에 따라 감소되는 면저항을 조사한 결과이다. 900°C 열처리는 1000°C에 비하여 높은 면저항을 나타내고 있다. 또한 두께 증가에 따라 면저항이 두가지 온도 열처리에 대하여 감소를 하고 어느 두께 이상으로 증가할 경우에는 면저항이 증가되고 있다. 이와 같은 면저항의 증가는 crack의 발생에 기인하고 있다. 그러므로 임계두께는 면저항이 증가되는 두께 구간에 존재하고 있음을 알 수 있고, 이 결과를 이용하여 열처리 온도가 crack 임계두께에 미치는 영향을 알 수 있다. 온도가 1000°C에서 900°C로 감소함에 따라 임계두께가 현저하게 증가함을 알 수 있다. 이같은 온도 효과는 열응력에서 얻어지는 온도 효과를 감안하여도 매우 큰 증가임을 알 수 있다. 더욱이, 그림 1에서 조사된 응력-온도의 곡선 결과에 의하면 냉각시에 발생하는 열팽창계수 차에 의하여 발생하는 열응력은 750°C 이하에서부터 탄성적으로 증가됨을 알 수 있다. 이같은 사실은 온도 감소에 의하여 얻어지는 임계두께의 영향은 온도 차이에 의

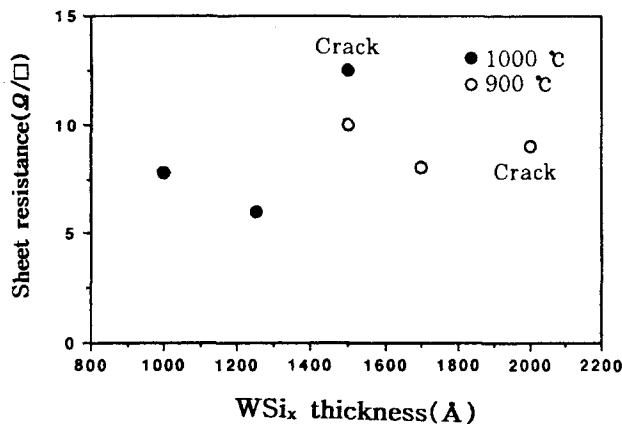


Fig. 8. Anneal temperature effects on the critical thickness of WSi<sub>2,0</sub>.

한 효과라기 보다는 낮은 온도가 박막에 미치는 다른 효과에 기인하는 것으로 여겨진다. 즉, 낮은 열처리온도에 의한 보다 미세한 입자에 의한 강도의 증가, 다결정 실리콘과 실리콘사이드 계면의 거칠기 감소들을 영향을 미칠 수 있을 것으로 예상된다.

#### 4. 결 론

본 연구에서는 석영 위에 텅스텐 실리콘사이드를 증착시키는 경우에 쉽게 발생하는 crack에 영향을 미치는 인자들에 대하여 조사하여 임계두께의 향상을 이룩하고자 하였다.

1) 냉각시에 형성되는 탄성적인 인장응력은 crack 발생의 주 원인으로 작용하고 있으며, 이같은 인장응력은 비정질 실리콘 완충층의 형성, 화학양론적인 조성 보다 과잉의 실리콘을 함유한 실리콘사이드 타겟 사용들에 의하여 감소시킬 수 있었다.

2) 과잉 실리콘 함유 타겟 사용에 의하여는 실리콘사이드

의 두께를 현저히 증가시킬 수 있으나, 완충층을 사용한 경우에는 두께의 증가에 따라 응력이 감소함에도 불구하고 임계 두께가 감소하는 현상이 관찰이 되었다.

3) 이같은 완충층의 효과는 실리콘사이드와 완충층 사이에 거칠은 계면이 형성되어, 결과적으로 응력 집중이 일어나는 데 기인하는 것으로 이해된다.

4) 또한 열처리 온도에 따라 얻어지는 비저항 값의 비교에 의하면 완충층을 보유한 구조에 비하여 석영위에 직접 실리콘사이드를 형성시킨 경우에 두배 이상의 높은 값을 보유하고 있었다. 이는 WSi<sub>6</sub>/quartz 구조에서 열처리에 과잉의 실리콘이 침전된데 기인한다.

5) 열처리 온도를 1000 °C에서 900 °C로 감소시킨 경우에 현저한 임계두께의 향상을 이룩하였다. 이같은 향상은 열응력의 감소보다는 실리콘사이드 반응에 의한 효과에 기인하는 것으로 이해된다.

#### 참 고 문 헌

1. Y. Fukushima, T. Ueda, and H. Komiya, Extended Abstracts of the 1993 International Conference on Solid States Devices and Materials, Makuhari., 993 (1993).
2. M. Kobayashi, T. Nakazono, K. Mori, H. Nakamura, H. Sato, M. Nakagawa, N. Harada, SID 94 DIGEST., 75 (1994)
3. Vivek Jain and Dipankar Pramanik, 1990 VMIC Conference., 261 (1993)
4. M. Tamura and S. Sunami, J.J.A.P. 11., 1097 (1972)
5. "Properties of Metal Silicides" edited by Karen Maex and Marc Van Rossum, EMIS Datareviews series No. 14, INSPEC, London, (1995)